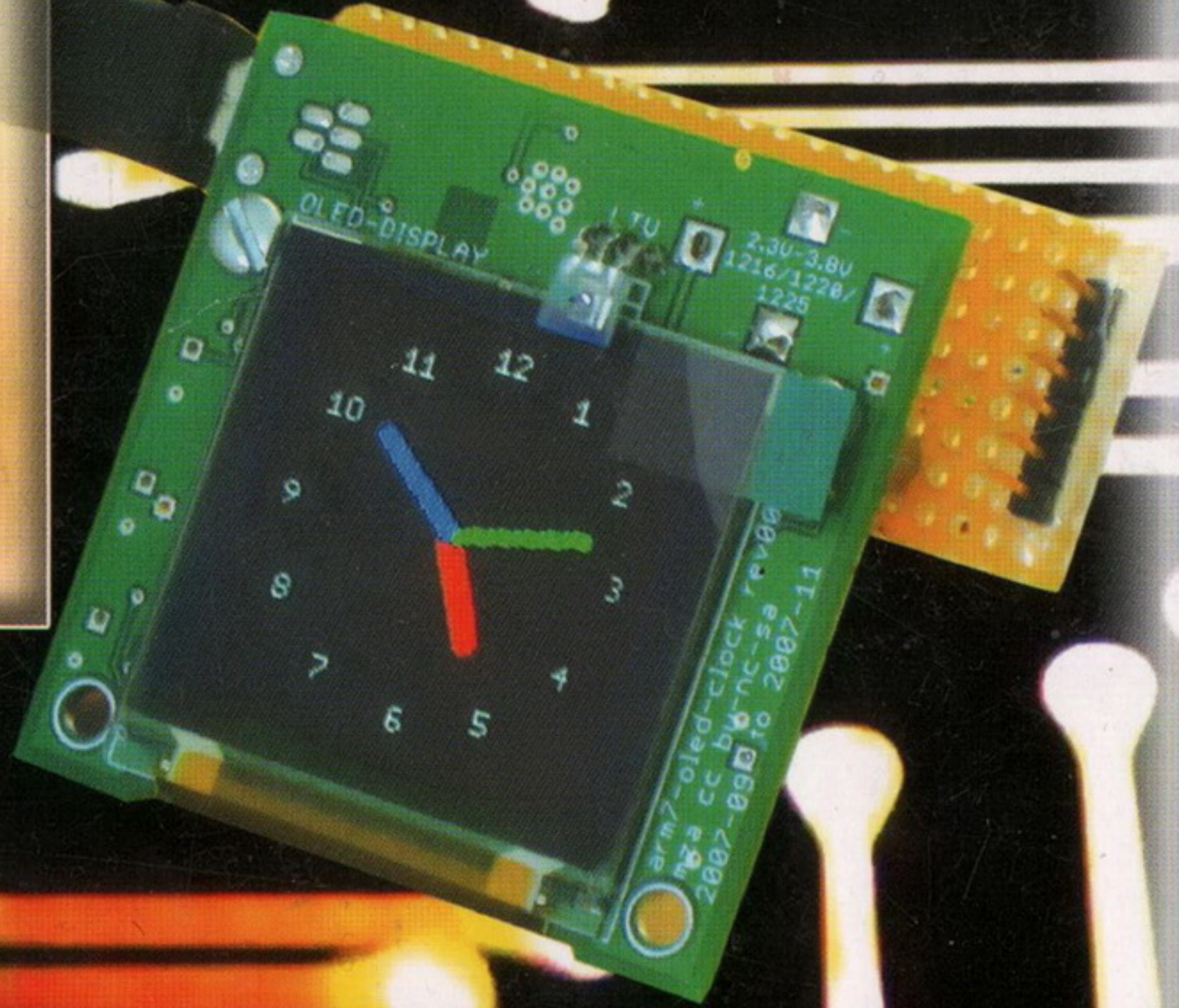


فن تصميم الدوائر الرقمية



مهندس

محمد عبد المنعم الشواربي

الكتاب : فن تصميم الدوائر الرقمية
المؤلف : م. محمد عبد المنعم
الناشر : دار الكتب العلمية للنشر والتوزيع - القاهرة
المقاس : ١٧ X ٢٤
عدد الصفحات : ٣١٢
الطبعة : الأولى
رقم الإيداع : ٢٠٠٨/٨٦٩٨
ردمك : ٩٧٧ ٢٨٧ ٨٠٩ ٧

الإخراج الفني وتصميم الغلاف : جمال خليفة
المونتاج الفني : محمد حسنى

© حقوق النشر والطبع والتوزيع محفوظة لدار الكتب العلمية للنشر والتوزيع - ٢٠٠٨
لا يجوز نشر جزء من هذا الكتاب أو إعادة طبعه أو اختصاره بقصد الطباعة أو
اختزان مادته العلمية أو نقله بأي طريقة سواء كانت إلكترونية أو ميكانيكية أو بالتصوير أو
خلاف ذلك دون موافقة خطيه من الناشر مقدماً .

دار الكتب العلمية للنشر والتوزيع
٥٠ شارع الشيخ ربحان - عابدين - القاهرة

٢٧٩٥٤٢٢٩ ☎

لمزيد من المعلومات يرجى زيارة موقعنا على الإنترنت

www.sbh-egypt.com
e-mail : sbh@link.net

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

مُقَدِّمَةٌ

أَبْدَأُ بِسْمِ اللَّهِ مُسْتَعِينًا وَالْحَمْدُ لِلَّهِ كَمَا هَدَانَا وَبَعْدَ إِنِّي بِالْيَقِينِ أَشْهَدُ بِالْحَقِّ مَا لَوْهُ سِوَى الرَّحْمَنِ	رَاضٍ بِهِ مُدَبِّرًا مُعِينًا إِلَى سَبِيلِ الْحَقِّ وَاجْتِبَانَا شَهَادَةَ الْإِخْلَاصِ أَلَّا يَعْبُدُ مَنْ جُلَّ عَنْ عَيْبٍ وَعَنْ نَقْصَانٍ
--	---

فن تصميم الدوائر الرقمية حمداً من جاءنا بالبينات والهدى

وبعد، فهذا الكتاب سميته "فن تصميم الدوائر الرقمية"، أردت من تأليفه تبسيط هذا العلم على الناطقين بلغة القرآن الكريم، حفظاً لأوقاتهم أن تهدر، وجهودهم أن تبدد في مطالعة المراجع الإنجليزية. ووضعت فيه خبرتي في تدريس هذا العلم لمدة تزيد عن ١٥ عاماً، وأكثر من الأمثلة طلباً للتسهيل، فرجاء من كل عبد لله استفاد من هذا الكتاب أن يخصني بدعوة صالحة بظاهر الغيب.

وأنصح جميع المهتمين والدارسين لمثل هذه العلوم التقنية الحديثة أن يبذلوا خبراتهم مهذبة منمقة لإخوانهم في مشارق الأرض ومغاربها، ولا يكتفون تلك المعلومات التي ستفنى في الدنيا قريباً عند انتهاء عصر النفط أو بفناء تلك العلوم نتيجة للتطور السريع لها، وحتى لا تضيع أوقات الكثير منا في اللهث وراء هذه العلوم طلباً لدنيا فانية.

أخوكم

م/ محمد عبدالمنعم الشواربي

e-mail : amrshawarby@yahoo.com

www.futrain.catch.com

الفصل الأول

1

أهداف الفصل

عند الانتهاء من دراسة هذا الفصل يمكنك استيعاب النقاط التالية:

- التحويل من أي نظام رقمي لآخر.
- تمثيل الكسور في جميع الأنظمة.
- فهم النظام العشري المكود ثنائياً.
- فهم عمليتي الإتمام والإكمال.
- إجراء جميع العمليات الحسابية في أي نظام.
- فهم أنظمة التشفير وقواعدها.

الأنظمة العددية

مقدمة

أشهر الأنظمة العددية وأكثرها استخداماً في حياتنا اليومية النظام العشري وسبب تسميته بالعشري أنه يستخدم عشرة رموز 0-1-2-3-4-5-6-7-8-9 للتعبير عن أي كمية عددية صحيحة كانت أم كسراً وأكبر رقم يمكن كتابته في الخانة الواحدة الرقم 9 ويزداد وزن الخانة كلما اتجهنا يساراً بمقدار عشرة أمثال الخانة السابقة، فالخانة الأولى آحاد والثانية عشرات والثالثة مئات وهكذا.

هذه هي كل قواعد النظام العشري ولا يخرج أي نظام في الأنظمة عن هذه القواعد وإليك قواعد النظام الثنائي مقارنة بالعشري.

النظام الثنائي

أطلقوا عليه الثنائي لأنه يتكون من رقمين 0-1، وأكبر رقم يمكن كتابته في الخانة الواحدة 1، ويزداد وزن الخانات كلما اتجهنا يساراً بمقدار الضعف للخانة السابقة؛ فالخانة الأولى آحاد، والثانية ثنائيات، والثالثة أربعيات، وهكذا.

مثال 1-1: مثل الكمية العددية خمسة وعشرون 25 بالنظامين العشري والثنائي.

النظام العشري	النظام الثنائي
أوزان الخانات 1 10 100	أوزان الخانات 1 2 4 8 16
نضع 5 في خانة الآحاد.	نضع 1 في خانة الآحاد
نضع 2 في خانة العشرات.	نضع 1 في خانة الثمانيات
$2*10 + 5*1 = 25$	نضع 1 في خانة السداسي عشر
	$1*1 + 1*8 + 1*16 = 25$
	الخلاصة: نضع 1 تحت الخانات التي مجموعها خمسة وعشرون.

مثال ١-٢: مثل الكمية ثلاثة عشر بالنظامين العشري والثنائي.

$$\begin{array}{ccc} 100 & 10 & 1 \\ & (1 & 3)_{10} \end{array}$$

النظام العشري

عشرات الآلاف	آلاف	مئات	عشرات	آحاد
10000	1000	100	10	1

لکتابۃ الرقم عشرة 10

$$0*1+1*10=0+10=10$$

نضع 0 في خانة الآحاد، 5 في خانة العشرات.

$$0*1+5*10=0+50=50$$

التالية العشرات (أكبر من التسعة بواحد).

ولذلك كان وزن الخانة الثالثة المئات (أكبر من 99 بواحد).

السابقة.

٤. رموز النظام العشري عشرة من 0-9.

٥. الصفر 0 يعبر عن خانة خالية (خواء)؛ فهو رمز يعرفنا وزن الأرقام فبدونه

كنا سنعبّر عن:

• الواحد 1 واحد في أول سطر.

• العشرة 1 واحد في الخانة الثانية.

• المائة 1 واحد في الخانة الثالثة.

٦. أي إننا يجب أن نقسم السطر لمربعات كي نستطيع التفريق بين الواحد

والعشرة والمائة باستخدام الصفر تغلبنا على هذه المشكلة.

٧. كل خانة عشرة أضعاف الخانة السابقة لها، ولذلك فالخانة السابقة للأحاد

$1/10$ وهي أول خانة أقل من واحد صحيح فهي أول الكسور.

أوزان الكسور في النظام العشري

10000	1000	100	10	1	.	$1/10$	$1/100$	$1/1000$	$1/10000$
10^4	10^3	10^2	10^1	10^0		10^{-1}	10^{-2}	10^{-3}	10^{-4}

النظام الثنائي

من اسمه له رمزان أحدهما صفر لأن الصفر لا غنى عنه كما علمنا إذاً الرمزان 0،

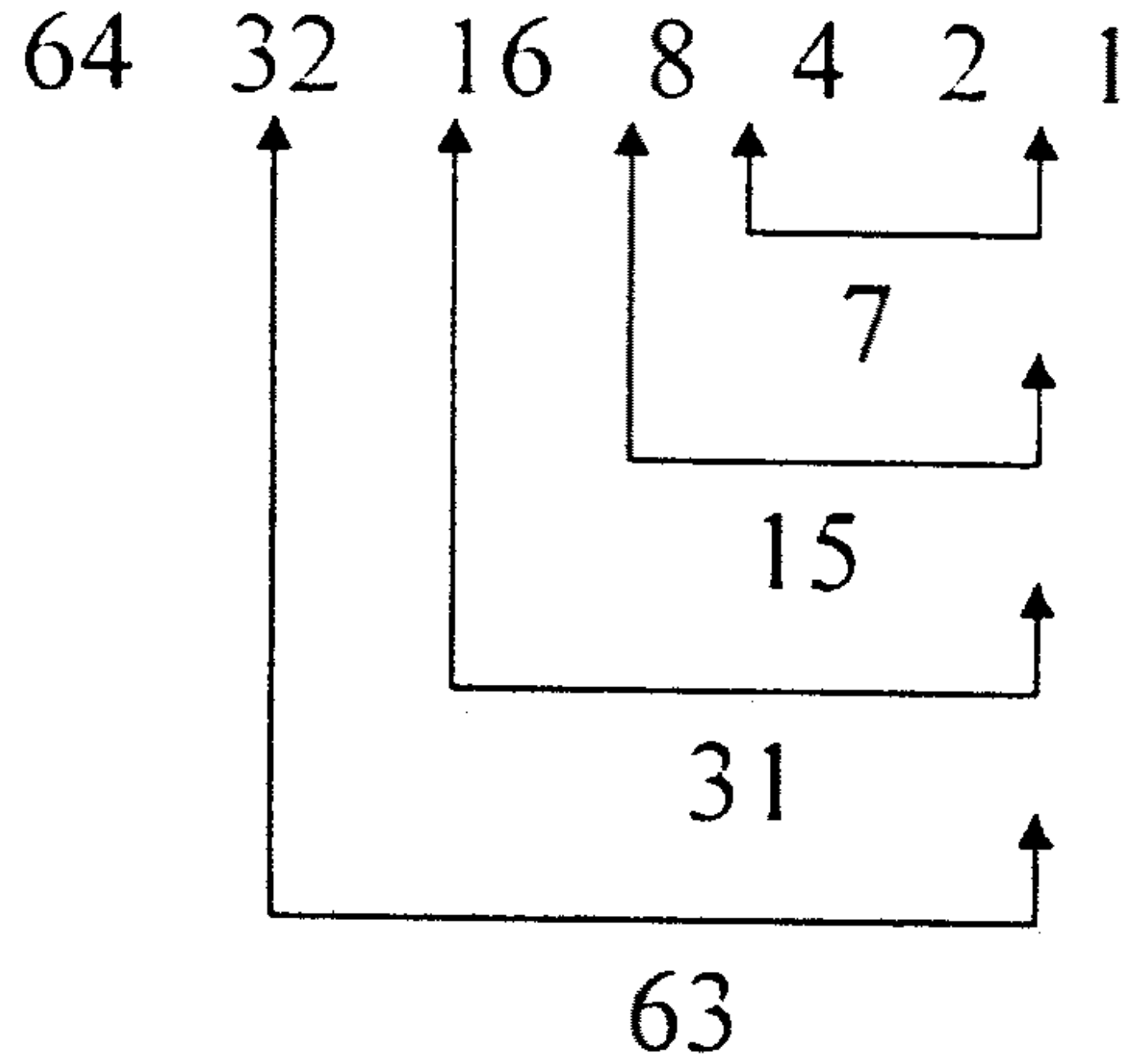
1، أي أن الواحد أكبر رقم يمكن كتابته في أي خانة، إذاً الخانة الثانية يجب أن تكون

أكبر بواحد من أكبر رقم يمكن التعبير عنه في الخانة الأولى أي أن وزن الخانة

الثانية 2.

وأكبر رقم يمكن التعبير عنه في الخانتين الأولى والثانية: $3 = 1*1 + 1*2$. إذاً الخانة

الثالثة 4.



يمكن استنتاج أوزان الثنائي بطريقة أسهل من السابقة وذلك بضرب كل خانة $2 \times$ لتعطي وزن الخانة التالية تماماً كما في النظام العشري حيث كنا نضرب كل خانة $10 \times$.

العشري	1	10	100	1000			
الثنائي	1	2	4	8	16	32	64

التعبير عن الرقم 20 في النظام الثنائي

$$64 \quad 32 \quad 16 \quad 8 \quad 4 \quad 2 \quad 1$$

$$(1 \ 0 \ 1 \ 0 \ 0)_2 = (20)$$

نضع 1 تحت أوزان الخانات التي مجموعها 20 وهي 4، 16، وأصفار تحت الباقي.

• الرقم 50 $(1 \ 1 \ 0 \ 0 \ 1 \ 0)_2$ نضع واحد تحت الأوزان 2، 16، 32 لأن مجموعهم 50.

- الرقم 7 $(1 \ 1 \ 1)$ نضع واحد تحت أوزان الخانات السابقة للوزن 8.
- الرقم 15 $(1 \ 1 \ 1 \ 1)$ نضع واحد تحت أوزان الخانات السابقة للوزن 16.
- الرقم 31 $(1 \ 1 \ 1 \ 1 \ 1)$ نضع واحد تحت أوزان الخانات السابقة.

للوزن 32.

• الرقم 250 $(1\ 1\ 1\ 1\ 1\ 0\ 1\ 0)$ لو وضعنا واحد تحت كل الأرقام

السابقة للوزن 256 لحصلنا على 255، ولذا وضعنا 0 تحت ما مجموعه خمسة وهما 1، 4 كي نحصل على الرقم 250.

النظام الثماني

يتكون من ثمانية رموز من 0 إلى 7، وأكبر قيمة 7، وكل خانة 8 أمثال الخانة السابقة لها.

$$\begin{array}{ccccc} 4096 & 512 & 64 & 8 & 1 \\ 8*512 & 8*64 & 8*8 & 8*1 & 1 \end{array}$$

للتعبير عن الرقم 63

نضع 7 تحت خانة الآحاد، 7 تحت خانة الثمانيات؛ فنحن من حقنا استخدام الرموز من 0-7 لأن النظام الثماني $63 = 56 + 7 = 8*7 + 1*7$ وهي أكبر قيمة يمكن التعبير عنها في خانتين.

أقصى قيمة يمكن كتابتها في أي خانة ثمانية هي 7، وهذا الرقم يمكن تمثيله بثلاثة خانات ثنائية.

$$7 = 4 + 2 + 1 = 4*1 + 2*1 + 1*1 = \begin{array}{ccc} 4 & 2 & 1 \\ 1 & 1 & 1 \end{array}$$

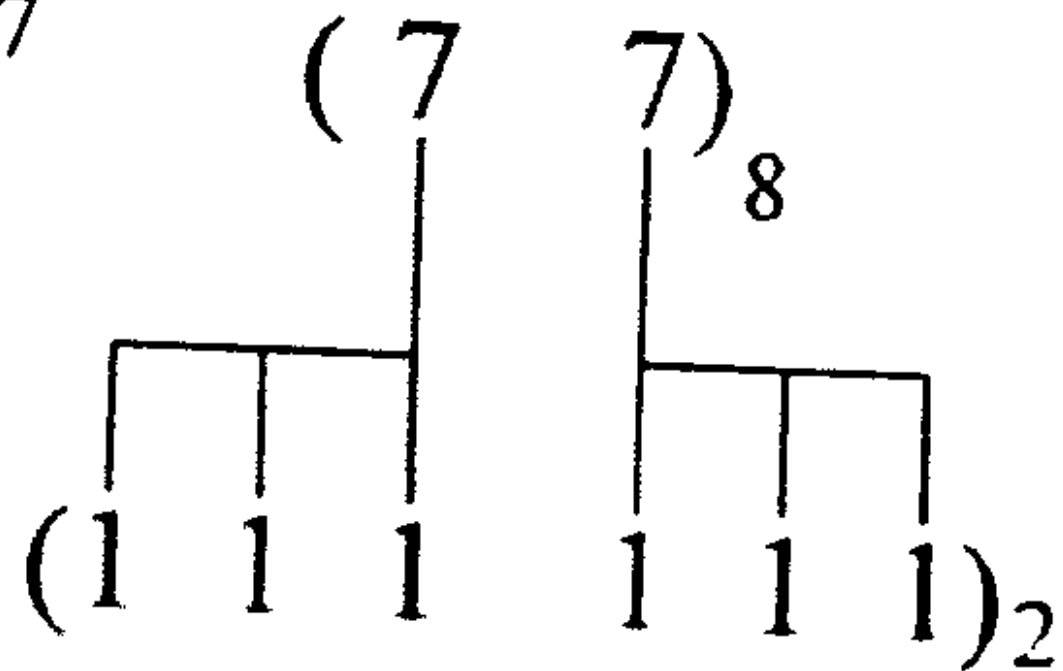
ولذا يمكننا تحويل أي رقم ثماني بتحويل كل خانة ثمانية لثلاث خانات ثنائية.

$$32*1 + 16*1 + 8*1 + 4*1 + 2*1 + 1*1 = 8*7 + 1*7$$

$$32 + 16 + 8 + 4 + 2 + 1 =$$

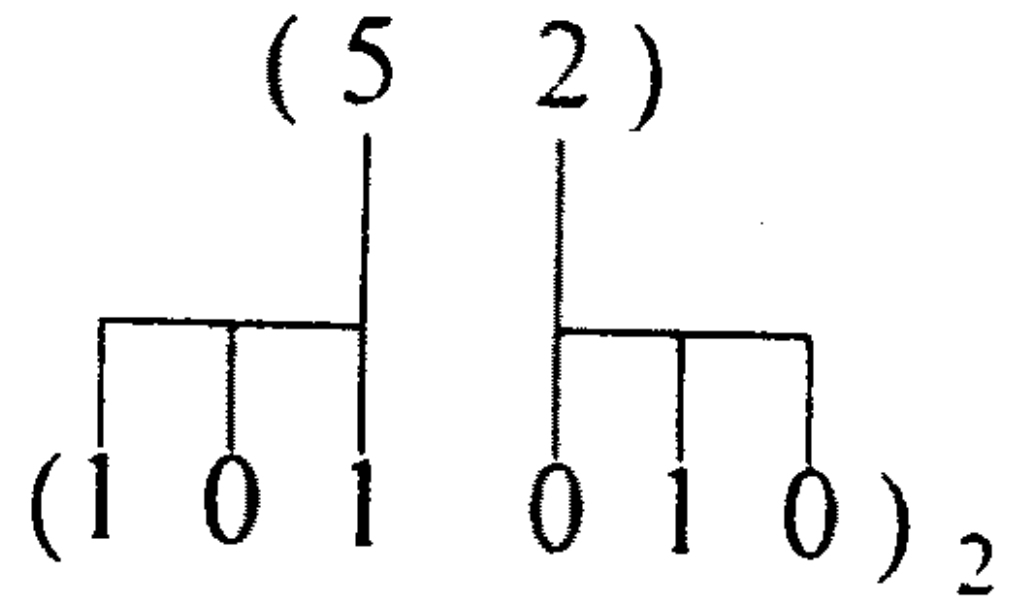
$$32 + 31 = 32 + 16 + 15 = 56 + 7$$

$$63 =$$



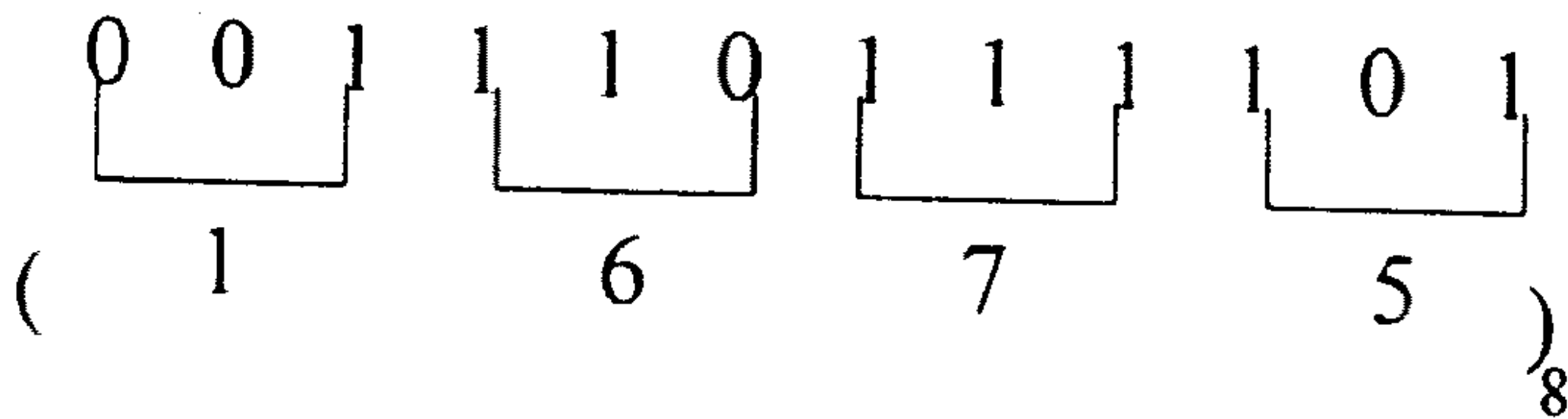
مثال ١-٣: حول 52 ثمانى إلى الثنائى والعشري.

$$(42)_{10} = 32 + 8 + 2 = (1 \ 0 \ 1 \ 0 \ 1 \ 0)_2 =$$



ملاحظات هامة

١. يجب التعبير عن كل خانة ثمانية في ثلاث خانات حتى لو كانت آخر خانة من جهة اليسار صفر.
٢. كتابة الأوزان 4 2 1 عند تحويل كل خانة للتبسيط فقط أما عند التحويل الرقم الثنائى الناتج إلى عشري يجب كتابة الأوزان الثنائية كاملة بلا تكرار.
٣. وللتحويل من الثنائى للثمانى يجب تجميع كل ثلاث خانات ثنائية في خانة ثمانية، ونبدأ العد من اليمين.



النظام السداسى عشر

رموزه

من 0-15، الكميات من 10-15 تشغل خانتان وتحدث خطأ كبيراً فتم استبدالها بالرموز [A, B, C, D, E, F]. وأوزان النظام: 1 16 256 4096
 $F=15 \ E=14 \ D=13 \ C=12 \ B=11 \ A=10$

F هي أكبر قيمة يمكن كتابتها في خانة واحدة في النظام السداسى عشر وقيمتها 15 وهذه القيمة يمكن التعبير عنها في النظام الثنائى في أربعة خانات:

8 4 2 1
1 1 1 1

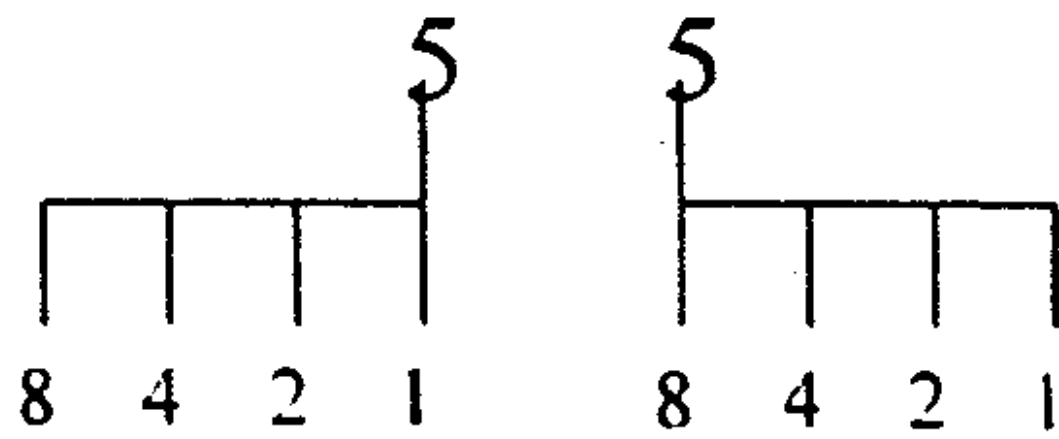
التعبير عن الرقم العشري 85 بالسداسي عشر

256 16 1
0 5 5

لأن $85 = 80 + 5 = 16 * 5 + 1 * 5$ نضع من الأرقام الخاصة بالنظام السداسي عشر $(F-0)$ ، فإننا نحصل على القيمة 85، وتأتي ذلك بوضع 5 تحت خانة 16 فحصلنا على 80، و 5 تحت خانة 1 فحصلنا على القيمة المطلوبة 85.

التحويل من السداسي عشر HEXADECIMAL للثنائي

بتقسيم كل خانة سداسي عشر إلى 4 خانات ثنائية.



ويمكن تحويلها للثماني والعشري كما يلي:

$$(85)_{10} = (01010101) = (0101 \quad 0101) \\ \begin{array}{c} \leftarrow \downarrow \quad \downarrow \quad \downarrow \\ (1 \quad 2 \quad 5)_8 \end{array}$$

ومن التقديم السابق يمكننا بناء أي نظام عددي بمجرد معرفة أسمه فمثلاً النظام الخماسي رموزه خمسة 0-1-2-3-4 أي من 0 إلى 4. وأكبر رقم يمكن كتابته 4، ووزن الخانة يزداد كلما اتجهنا يساراً بمقدار خمسة أمثال الخانة السابقة؛ فالخانة الأولى: أحاد، الثانية: خماسيات، الثالثة: خمسة وعشرون.

وزن خانات النظام الخماسي 1 5 25 125 625.

والجدول التالي يلخص قواعد العديد من الأنظمة العددية:

فن تصميم الدوائر الرقمية

اسم النظام العددي	عدد رموزه	رموزه	وزن خمس خانات منه	أكبر رقم	وزن الخمس خانات الأولى (نظام الأس)
العشري	10	9-0	0000-1000-100-10-1	9	$10^5 10^4 10^3 10^2 10^1 10^0$
الثنائي	2	1-0	16-8-4-2-1	1	$2^5 2^4 2^3 2^2 2^1 2^0$
الرباعي	4	3-0	256-64-16-4-1	3	$4^5 4^4 4^3 4^2 4^1 4^0$
الثماني	8	7-0	4096-512-64-8-1	7	$7^5 7^4 7^3 7^2 7^1 7^0$
السداسي عشر	16	F-0	256-16-1	F	$16^5 16^4 16^3 16^2 16^1 16^0$

ملاحظة: في النظام السداسي عشر احتجنا إلى استخدام ستة عشر رمزاً مستقلاً فسميناهم كالآتي:

[0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F]

F=15 E=14 D=13 C=12 B=11 A=10

الصفير يعبر عن خواء الخانة وخلوها من أي رقم ولكنه يحجز لها مكاناً.

التحويلات بين الأنظمة العددية

نحتاج في أحيان كثيرة إلى استخدام النظام الثنائي كما هو الحال في دراسة الحاسبات وبالتالي نحتاج إلى تحويل الكميات العشرية إلى ثنائية وتحويل الثنائية إلى السداسي عشر لتسهيل كتابته وقراءته وكل هذا يلزمنا بإتقان التحويلات وخير طريقة لدراسة التحويلات الأمثلة المحولة.

التحويل من النظام العشري إلى الثنائي

مثال ١-٤: حول الرقم (169) العشري إلى ثنائي.

نضع 1 تحت أوزان الخانات التي مجموعها 169:

256 128 64 32 16 8 4 2 1

1 0 1 0 1 0 0 1

$$(1 \ 0 \ 1 \ 0 \ 1 \ 0 \ 0 \ 1)_2 = (169)_{10}$$

مثال ١-٥: حول الرقم 63 إلى ثنائي.

64 32 16 8 4 2 1

1 1 1 1 1 1

نضع واحد تحت كل الخانات السابقة للخانة 64 لأن مجموع الخانات التي قبلها يقل عنها بـ 1.

مثال ١-٦: حول الرقم 60 إلى ثنائي.

64 32 16 8 4 2 1

1 1 1 1 0 0

$$(1 \ 1 \ 1 \ 1 \ 0 \ 0)_2 = (60)_{10}$$

كل الخانات التي قبل 64 مجموعها 63، إذا نضع 1 تحت كل هذه الخانات 1 ماعدا الخانات التي مجموعها 3 نضع تحتها 0 (صفر).

ملاحظات

١. وزن كل الخانات يزيد عن مجموع أوزان الخانات السابقة له بواحد فقط؛

فالخانة 4 مجموع الخانات التي قبلها 3 وهي 1-2.

٢. والخانة التي وزنها 16 مجموع الخانات التي قبلها 15 وهي 1-2-4-8

وهكذا.

مثال ١-٧: حول الرقم 1000 إلى الثنائي.

1024 512 256 128 64 32 16 8 4 2 1

1 1 1 1 1 0 1 0 0 0

كل الخانات التي قبل 1024 مجموعها 1023، إذا يجب حذف 23 كي نستطيع تمثيل الرقم 1000، ولذا وضعنا 1 تحت كل الخانات السابقة 1024 ماعدا الخانات المكونة

فن تصميم الدوائر الرقمية

للرقم 23 وضعنا تحتها 0 (صفر)، وهي 1-2-4-16.

مثال ٨-١: حول الرقم 560 إلى الثنائي.

512	256	128	64	32	16	8	4	2	1
1	0	0	0	1	1	0	0	0	0

نضع 1 تحت الخانات التي مجموعها 560.

أولاً- نضع 1 تحت 512 إذا يتبقى 48 لإكمال الرقم 560.

ثانياً- نضع 1 تحت 16-32 لأن مجموعهم 48، وبذلك سنكون قد أكملنا 560.

ثالثاً- نضع 0 تحت جميع الخانات الباقية قبل الخانة 512.

التحويل من الثنائي إلى العشري

مثال ٩-١: حول الرقم $(1\ 1\ 0\ 1\ 1\ 0\ 1)_2$ إلى النظام العشري.

128	64	32	16	8	4	2	1
1	1	0	1	1	0	1	1

نجمع أوزان الخانات التي تحتها الرقم 1 لنحصل على القيمة العشرية

$$109 = 64 + 32 + 8 + 4 + 1$$

أو بطريقة أخرى كل الخانات التي قبل 128 مجموعها 127 نطرح منها أوزان الخانات التي تحتها صفر $2 - 16 - 127 = (109)_{10}$. وهذه أسهل لأن عدد الأصفار أقل من

الوحدات.

مثال ١٠-١: حول الرقم $(1\ 0\ 0\ 1\ 0\ 0\ 1)_2$ إلى النظام العشري.

64	32	16	8	4	2	1
1	0	0	1	0	0	1

$$(73)_{10} = 64 + 8 + 1$$

$$\text{أو } (73)_{10} = 32 - 16 - 4 - 2 - 127$$

التحويل من النظام الثماني إلى النظام الثنائي

خانة ثماني	3 خانات ثنائي
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

إن أكبر رقم في النظام الثماني 7، والذي يمكن تمثيله بالثلاث خانات الأولى من النظام الثنائي لأن مجموع أوزانها $7(1+2+4)$ ، وبذلك يمكننا استبدال أي خانة من خانات الثماني بثلاث خانات من الثنائي انظر جدول للتحويل بين الثنائي والثماني.

مثال ١-١: حول الرقم $(256)_8$ إلى الثنائي والعشري.

$$\begin{array}{ccccccc} & 2 & & 5 & & 6 & \\ \hline (0 & 1 & 0 & 1 & 0 & 1 & 1 & 1 & 0) \end{array}_2$$

أولاً- نحوله للثنائي بتقسيم كل خلية لثلاث خلايا ثنائية.

للحصول على القيمة العشرية، اجمع أوزان خانات الثنائي المقابلة للوحايد

$$\begin{array}{cccccccc} 128 & 64 & 32 & 16 & 8 & 4 & 2 & 1 \\ 1 & 0 & 1 & 0 & 1 & 1 & 1 & 0 \end{array}$$

$$174 = 128 + 32 + 8 + 4 + 2, \text{ أو } 174 = 255 - 16 - 1 = 255 - 17 = 174.$$

مثال ١-٢: حول الرقم الثنائي $(10010110)_2$ إلى الثماني.

يتم تقسيمه إلى ثلاثيات منفصلة واستبدال كل ثلاثية بمقابلها الثماني.

$$\begin{array}{ccc} 010 & 010 & 110 \\ \cup & \cup & \cup \\ (2 & 2 & 6) \end{array}_8$$

التحويلات بين النظام السداسي عشر والثنائي

الثنائي	السداسي عشر
0000	0
0001	1
0010	2
0011	3
0100	4
0101	5
0110	6
0111	7
1000	8
1001	9
1010	A
1011	B
1100	C
1101	D
1110	E
1111	F

إن أكبر رقم يمكن استخدامه في خلية واحدة بالنظام السداسي عشر F ($F=15$)، وهذه القيمة يمكن تمثيلها بأربع خانات بالنظام الثنائي لأن مجموع أوزانها 15 ($8+4+2+1$)، وبذلك يمكننا استبدال أي خانة من السداسي عشر بأربع خانات من الثنائي انظر جدول للتحويل بين الثنائي والسداسي عشر.

مثال ١-١٣: حول الرقم $(AB)_H$ إلى ثنائي، ويكتب أيضاً هكذا ABH .

$$\begin{array}{cccccc} & A & & B & & \\ (1 & 0 & 1 & 0 & 1 & 0 & 1 & 1)_2 \\ (1 & 0 & 1 & 0 & 1 & 0 & 1 & 1)_2 = (AB)_H \end{array}$$

مثال ١-١٤: حول الرقم الثنائي $(10001011001001)_2$ إلى النظام السداسي عشر.

$$0010 \quad 0010 \quad 1100 \quad 1001$$

$$(2 \quad 2 \quad C \quad 9)_H$$

التحويل من النظام العشري إلى الثنائي، الثماني، السداسي عشر

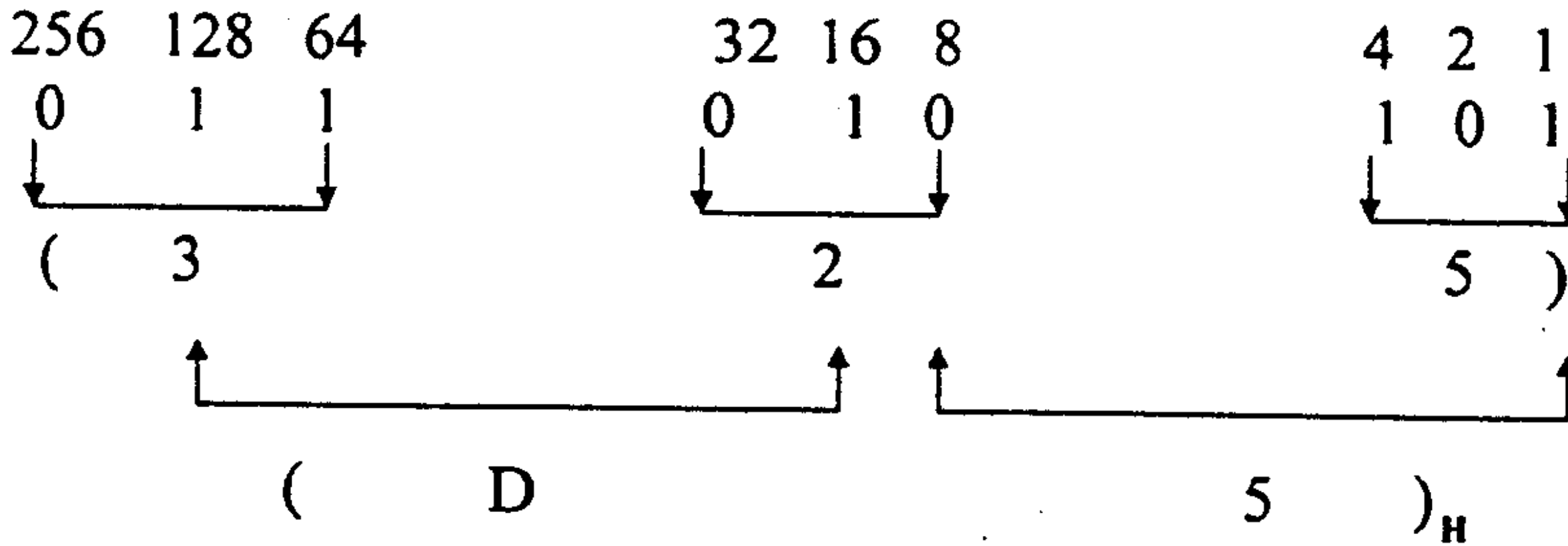
مثال ١-١٥: حول $(213)_{10}$ إلى الثنائي والثماني والسداسي عشر.

١. نسرّد أوزان النظام الثنائي.

٢. نضع 1 تحت الأوزان التي يساوي مجموعها الرقم 213. ثم نضم كل ثلاث

خانات معاً للتحويل للثماني، ثم نعيد ضم كل أربع خانات معاً للتحويل

للسداسي عشر.



ملاحظة: $(D5)_H = (325)_8 = (11010101)_2 = (213)_{10}$ كلما صغر النظام زادت قيمة

الرقم بين القوسين بل وربما زاد عدد خاناته، فالثنائي < الثماني < العشري < السداسي عشر في شكل الرقم وعدد خاناته.

التحويل من النظام الثنائي لأي نظام (ثماني/السداسي عشر/العشري)

١٦-١: حول الرقم $(1011100011000)_2$ إلى (الثماني/العشري/السداسي عشر).

4096	2048	1024	512	256	128	64	32	16	8	4	2	1	
1	0	1	1	1	0	0	0	1	1	0	0	0	→ ثنائي
1		3		4		3		0					→ ثماني
1		7		1		8							→ سداسي عشر

$$(1718)_H = (13430)_8 = (1011100011000)_2$$

$$(4096 + 1024 + 512 + 256 + 16 + 8)_{10} =$$

$$(5912)_{10} =$$

الشرح

• للتحويل للثماني قسمنا الرقم الثنائي لمجموعات ثلاثية ثم وضعنا مكان كل

مجموعة قيمتها الثمانية.

• للتحويل للسداسي عشر قسمنا الثنائي إلى مجموعات رباعية ثم وضعنا مكان كل

مجموعة قيمتها بالنظام السداسي عشر.

• للتحويل للعشري جمعنا أوزان الثنائي التي تحتها وحيد

التحويل من النظام الثماني إلى أي نظام (الثنائي/السداسي عشر/العشري)

مثال ١-١٧: حول الرقم $(576)_8$ إلى (الثنائي/العشري/السداسي عشر).

$$\begin{array}{r} \begin{array}{ccccccc} 5 & 7 & 6 \\ \hline (1 & 0 & 1 & 1 & 1 & 1 & 1 & 0) \end{array} \\ \hline (1 \quad 7 \quad E)_H \end{array}$$

ترتيب خطوات العمل

256	128	64	32	16	8	4	2	1	1
1	0	1	1	1	1	1	1	0	2
$(\quad 5 \quad \quad 7 \quad \quad 6)$									3
1			7				E		4

$$(511 - 128 - 1)_{10} = (1 \quad 7 \quad E)_H = (101111110)_2 = (576)_8$$

$$(482)_{10} =$$

الطريقة الثانية

$$(256 + 64 + 32 + 16 + 8 + 4 + 2)_{10} = (1 \quad 7 \quad E)_H = (101111110)_2 = (576)_8$$

$$(482)_{10} =$$

الشرح

في هذه الطريقة السريعة وضعنا القيمة الثنائية لكل خانة من الثماني وسردناهم بين قوسين بنفس الترتيب فحصلنا على المقابل الثنائي ثم قسمناهم رباعيات ثم استبدلنا كل مجموعة رباعية بقيمتها من النظام السداسي عشر فحصلنا على المقابل السداسي عشر ثم سردنا أوزان النظام الثنائي فوق الرقم الثنائي ثم جمعنا الأوزان التي تحتها وحيد فحصلنا على المقابل العشري.

التحويل في النظام السداسي عشر إلى نظام (ثنائي/ثماني/عشري)

مثال ١-١٨: حول الرقم $(FD5)_H$ إلى الثماني/الثنائي العشري.

4096	2049	1024	512	256	128	64	32	16	8	4	2	1
(0	1	1	1	1	1	1	0	1	0	1	0	1)
	F				D				5			
	()			
	(7				7				2			
									5)			

الطريقة السريعة

$$(4095 - 32 - 8 - 2)_{10} = (7725)_8 = (111111010101)_2 = (FD5)_H$$

$$(4053)_{10} =$$

الطريقة السريعة

من العشري إلى (16/8/2)

$$(D5)_H = (325)_8 = (11010101)_2 = (213)_{10}$$

الكسور الثنائية

يمكننا كتابة الكسور الثنائية بنفس طريقة صياغة الكسور العشرية، وإليك تذكرة بنظام الكسور العشرية.

١. أوزان خانات الكسور العشرية تبدأ من اليسار بعد العلامة العشرية مباشرة

متجهة يميناً حيث تقل كل خانة عن التي قبلها عشر مرات كالتالي:

$$1/10 \quad 1/100 \quad 1/1000 \quad 1/10000 \quad 1/100000 \quad \longrightarrow$$

٢. إذا ما أردت التعبير عن:

• $1/2$ فما عليك إلا أن تضع 5 تحت $1/10$ ، لتحصل على القيمة 0.5

$$(1/2 = 5 * 1/10)$$

• $1/5$ فما عليك إلا أن تضع 2 تحت $1/10$ ، لتحصل على القيمة 0.2
 $(1/5 = 2 * 1/10)$

بينما يكون شكل أوزان النظام الثنائي في حالة الكسور كالتالي:

0 . $1/2$ $1/4$ $1/8$ $1/16$ $1/32$

للتعبير عن $1/2$ نضع 1 تحت الخانة $(0.1)_2 = 1/2$ $(1/2 = 1 * 1/2)$

للتعبير عن $1/4$ نضع 1 تحت الخانة $1/4$ ، 0 تحت الخانة $1/2$ لتحصل على القيمة
 $(0.01)_2$ $(1/4 = 1 * 1/4)$

0. $1/2$ $1/4$ $1/8$

0. 0 1 0

الكسور في أي نظام

يمكن صياغة خانات الكسور لأي نظام بنفس هذا الأسلوب. انظر الجدول.

$1/10$ $1/100$ $1/1000$ $1/10000$	10^{-1} 10^{-2} 10^{-3} 10^{-4}	العشرية
$1/2$ $1/4$ $1/8$ $1/16$	2^{-1} 2^{-2} 2^{-3} 2^{-4}	الثنائية
$1/8$ $1/64$ $1/512$ $1/4096$	8^{-1} 8^{-2} 8^{-3} 8^{-4}	الثمانية
$1/16$ $1/256$ $1/4096$	16^{-1} 16^{-2} 16^{-3}	سداسي عشر

التحويل من الكسور العشرية إلى الكسور الثنائية والعكس

مثال ١-٩: حول الكسر $(0.63)_{10}$ إلى ثنائي.

$$(1/2)1.26 = 2 \times 0.63$$

$$(1/4)0.52 = 2 \times 0.26$$

$$(1/8)1.04 = 2 \times 0.52$$

$$(1/16)0.08 = 2 \times 0.04$$

$$(1/32)0.16 = 2 \times 0.08$$

$$(1/64)0.32 = 2 \times 0.16$$

$$(1/128)0.64 = 2 \times 0.32$$

$$(1/256)0.128 = 2 \times 0.64$$

الشرح

يتم ضرب الكسر $2 \times$ (أساس النظام الثنائي) والنتائج سيكون عبارة عن شطرين صحيح وكسر الجزء الصحيح يفصل ويوضع تحت أول خانة من خانات الكسور الثنائية من اليسار $1/2$ ثم يؤخذ الكسر ويضرب $2 \times$ مرة أخرى والنتائج نكرر معه (نفس الكلام) نضع الشطر الصحيح تحت الخانة الثانية $1/4$ والكسر نعيد ضربه $2 \times$ وهكذا حتى نحصل على ناتج كسره صفر فإذا لم نحصل على مثل هذا الناتج نجتهد في التقريب وفي هذا الكتاب سنلتزم بالحصول على كسر ثنائي لا يقل عن 8 خانات ثنائية حتى يتم تحويله للنظام السداسي عشر لأقرب خانتين (لأن كل أربع خانات ثنائية تقابل خانة واحدة سداسي عشر).

مثال ٢٠-١: حول الكسر الثنائي $(0.11010001)_2$ إلى عشري.

$$(0.11010001)_2 = (1/2 + 1/4 + 1/16 + 1/256)_{10}$$

توحد المقامات:

$$\frac{209}{256} = \frac{128 + 64 + 16 + 1}{256}$$

اجمع أوزان الخانات التي تحتها وحيد لتحصل على الكسر العشري.
تحويل الكسور العشرية لأي نظام (ثنائي/ثماني/سداسي عشر)

مثال ١-٢١: حول (0.45) إلى الثنائي - الثماني - السداسي عشر.

$$\begin{array}{l}
 0.9 = 2 \times 0.45 \\
 1.8 = 2 \times 0.9 \\
 1.6 = 2 \times 0.8 \\
 1.2 = 2 \times 0.6 \\
 0.4 = 2 \times 0.2 \\
 0.8 = 2 \times 0.4 \\
 1.6 = 2 \times 0.8 \\
 1.2 = 2 \times 0.6
 \end{array}$$

$$\begin{array}{l}
 1/2 \quad 1/4 \quad 1/8 \quad 1/16 \quad 1/128 \quad 1/256 \\
 \hline
 0.0 \quad 1 \quad 1 \quad 1 \quad 0 \quad 0 \quad 1 \quad 1 \quad 0 \\
 \hline
 \underbrace{011}_3 \quad \underbrace{001}_4 \quad \underbrace{10}_2 \quad \underbrace{11}_3 \\
 \hline
 0.0346_8 = \\
 0.730_H = \\
 \frac{64 + 32 + 16 + 2 + 1}{256} = (1/4 + 1/8 + 1/16 + 1/128 + 1/256) = \\
 \left(\frac{115}{256} \right)_{10} =
 \end{array}$$

للتحويل للثماني والسداسي عشر، نقسم الكسر الثنائي إلى مجموعات ثلاثية ولكن هذه المرة سنبدأ التقسيم من اليسار ثم نستبدلهم بالقيمة الثمانية وبالمثل السداسي عشر غير أننا سنقسمهم إلى مجموعات رباعية.

التحويل للعشري، نكتب أوزان الثنائي فوق الكسر الثنائي ونجمع الأوزان التي تحتها وحيد.

الطريقة السريعة

بعد حساب الكسر الثنائي (بضرب قيمة الكسر في 2) تقسم الخانات إلى مجموعات

ثلاثية في الذهن للحصول على الثماني وإلى مجموعات رباعية في الذهن للحصول على السداسي عشر.

$$(0.73)_{16} = (0.346)_8 = (0.011100110)_2 = (0.45)_2$$

تحويل الكسور الثنائية لأي نظام (عشري/ثماني/سداسي عشر)

مثال ٢٢-١: حول الكسر (0.000101) إلى عشري/ثماني/سداسي عشر.

$$\left(\frac{1+4}{64}\right)_{10} = (1/64 + 1/16)_{10} = (0.14)_{16} = (0.05)_8 = (0.000101)_2$$

تحويل الكسور الثمانية لأي نظام

مثال ٢٣-١: حول (0.35)₈ إلى الثنائي/السداسي عشر/العشري.

$$\frac{(16+8+4+1)_{10}}{64} = (1/4 + 1/8 + 1/16 + 1/64)_{10} = (0.74)_{16} = (0.011101)_2 = (0.35)$$

$$\left(\frac{29}{64}\right) =$$

نحول أولاً للثنائي ومن ثم يسهل علينا الحصول على العشري والسداسي عشر.

تحويل الكسر السداسي عشر لأي نظام

مثال ٢٤-١: حول (0.AF)_H إلى الثنائي/العشري/الثماني.

$$(0.536)_8 = (0.10101111)_2 = (0.AF)$$

$$\frac{(4+8+1+2+129+32)}{256} = (1/256 + 1/2 + 1/8 + 1/32 + 1/64 + 1/28)$$

$$= \frac{(165)_{10}}{256}$$

$$\frac{(115)}{256} = \frac{(3+112)}{256} = \frac{(3+16*7)}{256} = (1/256)*(3) + (1/16)*(7) = (0.73)_{16}$$

$$(0.346)_8 = (0.01110011)_2 = (0.73)_H$$

$$\left(\frac{6 + 8 \cdot 4 + 64 \cdot 3}{512} \right) = (1/512) \cdot (6) + (1/64) \cdot (4) + (1/8) \cdot (3) = (0.346)_8$$

$$\frac{115}{256} = \frac{230}{512} = \frac{6 + 32 + 192}{512} =$$

إنها نفس القيمة العشرية: إذاً الكسر الثماني صحيح.

العمليات الحسابية على النظام الثنائي

سنقارن العمليات (الجمع/الطرح/الضرب) في النظام الثنائي بالنظام العشري الذي يتقنه الجميع.

الجمع

قواعد الجمع

$$1 = 0 + 1$$

$$10 = 1 + 1 \text{ اثنين}$$

صفر في خانة الآحاد، و 1 في خانة الاثنين.

$$11 = 1 + 1 + 1 \text{ ثلاثة}$$

واحد في خانة الآحاد، وآخر في الاثنينات.

مثال ١-٢٥: اجمع

المقابل العشري

27

30

57

الباقى

1111

011011

011110

111001

الشرح

• في خانة الآحاد: $1 = 1 + 0$

- في خانة 2: $0 = 1 + 1$ ومعنا 1، نضعه في الباقي
- نجمعه على خانة 4
- في خانة 4: $10 = 1 + 0 + 1$ ، نضع 0 ويتبقى معنا 1، نضعه في خانة 8
- نجمعه على خانة 8
- في خانة 8: $1 = 1 + 1 + 1$ ويبقى معنا 1 نجمعه على خانة 16
- في خانة 16: معنا $1 = 1 + 1 + 1$ ويبقى معنا 1 نجمعه على خانة 32
- في خانة 32: معنا $1 = 0 + 0 + 1$

الطرح

قواعد الطرح

إذا استلفنا 1 من خانة 8 لخانة 4، فإنه يتحول لواحدان كل منهما وزنه 4.
إذا استلفنا 1 من خانة 4 لخانة 2، فإنه يتحول لواحدان كل منهما وزنه 2، وهكذا.

المقابل العشري

24

9

15

11000

1001

1111

الشرح

- في خانة 1: لا نستطيع أن نطرح 1 من 0 فنضطر للاستلاف نستلف 1 من خانة 8 إلى 4 فيصبح لدينا واحدان في خانة 4 نستلف منهما واحد لخانة 2 فيصبح لدينا واحدان في خانة 2 نستلف منهما واحد لخانة 1 فيصبح لدينا واحدان في خانة 1 نطرح 1 من واحدان فيبقى 1
- في خانة 2: نطرح صفر من 1 فيبقى 1
- في خانة 4: نطرح صفر من 1 فيبقى 1

- في خانة 8: نطرح 1 من صفر لأننا استلفنا الواحد الذي كان بها فنضطر إلى استلاف 1 من خانة 16 فيصبح لدينا واحدان في خانة 8 نطرح منهما 1 فيبقى 1

ملحوظة

خانة 10 أي التي وزنها 10، خانة 64 أي الخانة التي وزنها 64، وهكذا.

العمليات الحسابية على النظام الثماني

الجمع في النظام العشري

$$\begin{array}{r} \text{الباقى } 11 \\ 059 \\ 063 \\ \hline 122 \end{array}$$

- في خانة 1: جمع $9+3=12$ نكتب اثنين ونضيف 10 إلى الخانة التالية على إنها تساوي 1 لأن الخانة التالية خانة العشرات.
- في خانة 10: جمع 1 معنا $5+6=12$ نكتب 2 ونضيف 10 الخانة التالية 100 عشرة أمثال الخانة 10.

- في خانة 100: جمع 1 معنا $0+0=0$

الطرح في النظام العشري

$$\begin{array}{r} 200 \\ 55 \\ \hline 145 \end{array}$$

- في خانة 1: 5 من صفر لا يصح نستلف من التالية نجدها صفر نستلف من الثالثة 1 إلى الثانية فيتحول لعشرة نستلف فيها الأولى فيصبح لدينا عشرة في الأولى وتسعة في الثانية وواحد في الثالثة.

- نطرح 5 من 10 يتبقى 5
- في خانة 10: نطرح 5 من 9 يتبقى 4

- في خانة 100: نطرح 0 من 1 يتبقى 1

الجمع في النظام الثماني

قواعد الجمع

كما نفعل بالنظام العشري تماماً نجمع الرقمين بالخانة الأولى ونطرح منهم ما يزيد عن 10 فنكتب الزيادة ثم نضيف 1 إلى الخانة التالية. في الثماني نطرح ما يزيد عن 8.

$$\begin{array}{r} \text{الباقى} \quad 11 \\ 065 \\ 074 \\ \hline 161 \end{array}$$

الشرح

- في خانة 1: نجمع $9 = 4 + 5$ ، نطرح من الناتج 9 القيمة 8 (أساس النظام الثماني) ونضيفها إلى خانة الثمانيات (الخانة الثانية) بقيمة 1. أما الفرق $1 = 8 - 9$ نضعه في الخانة الأولى.
- في خانة 8: نجمع 1 معنا $14 = 7 + 6$ نأخذ منهم 8 نضيفها للخانة التالية (64) بقيمة 1 ونكتب الناتج 6.
- في خانة 64: نجمع 1 معنا $1 = 0 + 0$ يكتب كما هو لأنه لم يزد عن 7.

الطرح في الثماني

$$\begin{array}{r} 70 \\ 15 \\ \hline 53 \end{array}$$

- في خانة 1: 5 من صفر لا يصح نستلف 1 من الخانة التالية قيمتها 8
- 5 من 8 يتبقى 3.
- في خانة 8: 1 من 6 (لأننا استلفنا واحد من ال 7) يتبقى 5.

العمليات الحسابية في النظام السداسي عشر

الجمع

$$\begin{array}{r}
 \text{الباقي} \quad 1 \quad 1 \\
 (A \quad F) \\
 F \quad F \\
 \hline
 1 \quad A \quad E
 \end{array}$$

• في خانة 1: $30 = F + F$ نطرح منهم 16 ونضيفه للخانة التالية 16 بواحد ويتبقى لدينا $E = 14$ تكتب.

• في خانة 16: 1 معنا $26 = 15 + 10 + 1 = F + A +$ نطرح منهم 16 لنضفهم بواحد للخانة التالية فيتبقى لنا $A = 10$ تكتب.

• في خانة 256: 1 معنا $1 = 0 + 0 +$ يكتب.

ويختصر هذا إلى التالي:

$$E = F + F \quad \text{ويتبقى 1}$$

$$A = F + A + 1 \quad \text{ويتبقى 1}$$

$$1 = 0 + 0 + 1 \quad \text{ولا يتبقى شيء}$$

الطرح

20

$\frac{1F}{01}$

• في خانة 1: F من 0 لا يصح نستلف 1 (قيمه 16) من الرقم 2 الموجود بالخانة 16.

• في الخانة 1: F من $16 = 1$

• في خانة 16: 1 من $0 = 1$

النظام العشري المكود ثنائياً Binary Coded Decimal BCD

عشري	عشري ثنائياً	مكود
0	0000	
1	0001	
2	0010	
3	0011	
4	0100	
5	0101	
6	0110	
7	0111	
8	1000	
9	1001	
10	00010000	
11	00010001	
12	00010010	
13	00010011	
14	00010100	
15	00010101	

ويتم في هذا النظام تمثيل الرموز العشرية بالنظام الثنائي. مثلاً إذا أردنا أن نكتب الرقم 7 نكتب 0111 والرقم 21 (0001) (0010)، والسبب في أننا نكتب كل رقم بأربع خانات ثنائية هو أن الرقمين 8، 9 يحتاجان إلى أربع خانات. ولكي تسير الأمور على وتيرة واحدة، مثلنا كل الأرقام بأربع خانات ثنائية. انظر جدول التحويل من النظام العشري إلى BCD العشري المكود ثنائياً.

الإكمال 1's Complement

في النظام العشري هو الرقم المطلوب إضافته للحصول على أقصى قيمة 9 بينما في الثماني 7 والسادسي عشر f والثنائي 1.

الإتمام 2's Complement

في النظام العشري هو الرقم المطلوب إضافته للحصول على أساس النظام 10 بينما في الثماني 8 وفي السداسي عشر 16 والثنائي 2.

الطرح (بالإتمام)

قاعدة الطرح بالإتمام

نطرح رقم N من آخر M

اجمع M مع متمم N.

لو تبقى 1، إذا ناتج الجمع هو الإجابة (بدون حساب الواحد)، والناتج موجب.

لو لم يتبقى 1، نحسب متمم الناتج ونضع أمامه إشارة (-)، وبذلك نحصل على الإجابة.

مثال ١-٢٦: اطرح 3 من 7

$$\begin{array}{r} 7 - 3 \\ M - N \end{array}$$

$$\begin{array}{r} 1 \quad 7 \quad -1 \\ + \end{array}$$

$$\begin{array}{r} \text{متم } N \\ 1 \text{ ويتبقى } 1 \\ \hline 4 \end{array}$$

إذا الناتج هو 4 +

مثال ١-٢٧: اطرح 7 من 3

$$\begin{array}{r} 3 - 7 \\ M - N \end{array}$$

$$\begin{array}{r} 3 \\ + \end{array}$$

$$\begin{array}{r} \text{متم } 7 \\ 1 \text{ ولم يتبقى } 1 \\ \hline 6 \end{array}$$

متم الـ 6 هو 4

نضع أمامه إشارة (-)، فيكون الناتج -4

الطرح بالإكمال

قاعدة الطرح بالإكمال

نطرح رقم N من آخر M

اجمع M والمكمل N.

لو تبقى 1، فناتج الجمع المضاف إليه واحد هو الإجابة النهائية.

لو لم يتبقى 1، نحسب المكمل للناتج ونضع أمامه إشارة (-).

مثال ١-٢٨: اطرح 3 من 7

$$7 - 3 = 4$$

$$M - N$$

$$\begin{array}{r} 7 \\ + \\ 6 \\ \hline 3 \\ 1 \\ \hline 4 \end{array}$$

مكمل 3

تبقى 1، إذا نضيف 1 فيصبح الناتج 4

مثال ١-٢٩: اطرح 7 من 3

$$3 - 7 = -4$$

$$M - N$$

$$\begin{array}{r} 3 \\ + \\ 7 \\ \hline 2 \\ 5 \end{array}$$

مكمل 7

لم يتبقى 1، إذن الناتج هو مكمل 5 بإشارة سالبة. مكمل $5 = 4$. إذن الإجابة -4

مثال ١-٣٠: طرح رقمين متساويين: اطرح 7-7

أولاً- بالإكمال:

$$\begin{array}{r} 7 \\ + \end{array}$$

مكمل 7

ولم يتبقى 1، إذا مكمل ال 9 هو 0، إذا الناتج 0

$$\begin{array}{r} 2 \\ 9 \end{array}$$

ثانياً- بالإتمام:

$$\begin{array}{r} 7 \\ + \end{array}$$

تم 7

ويبقى 1، إذا الناتج هو الإجابة

$$\begin{array}{r} 3 \\ 0 \end{array}$$

من المثال السابق يتضح لنا أن الطرح بالإتمام أفضل من الطرح بالإكمال لأن الطرح بالإكمال يفرق بين $0+$ ، $0-$ وهما متساويان.

الإكمال والإتمام في النظام الثنائي

• للحصول على مكمل 1's complement لـ 1011011، اقلب كل 0 إلى واحد والعكس كل واحد إلى 0 هو 0100100.

• للحصول على متمم الرقم 1011011، احصل على مكمله واجمع عليه 1:

$$\begin{array}{r} 0100100 \\ + 1 \\ \hline 0100101 \end{array}$$

أو بعبارة أسهل، اسرد الرقم كما هو حتى أول رقم 1 يقابلك من جهة اليمين ثم اعكس بقية الأرقام للحصول على متمم الرقم 2's complement.

مثال ١-٣: تمم الرقم 0110101000

هو 01001011000 لأن المكمل:

$$\begin{array}{r} \text{الباقي } 111 \\ 1001010111 \\ + 1 \\ \hline 1001011000 \end{array}$$

الطرح باستخدام الإكمال

اطرح (1000100) من (1010100) بالإكمال، وهو ما يعرف بالإنجليزية

1's complement.

$$M = 1010100$$

$$N = 1000100$$

المقابل العشري 84

—

68

16

الباقى 111

1010100

+

0111011

نُدْفِمْ 1 طبقاً لقاعدة الطرح بالإكمال نضيفه لناتج

0001111

الباقى 1111

0001111 +

1

0010000

الطرح باستخدام الإتمام

اطرح الرقم (1000100) من الرقم (1010100) بالإتمام، وهو ما يعرف
بالإنجليزية 2's complement.

$$M = 1010100$$

$$N = 1000100$$

11111

1010100

+

متمم N

0111100

ويبقى 1، إذا الناتج هو الإجابة طبقاً لقاعدة
الإتمام

0010000

الإجابة النهائية (10000)

مثال ٣٢-١: اطرَح الرقم (1010100) من (1000100) بالإكمال والإتمام.

$$M = 1000100$$

$$N = 1010100$$

68

84 -

-16

أولاً- بالإكمال:

$$\begin{array}{r} 1000100 \text{ مكمل } N \\ 0101011 \text{ لم يتبقى 1، إذا نحسب مكمل الناتج ونضع أمامه إشارة (-)} \\ \hline 1101111 \end{array}$$

المكمل 0010000

الإجابة النهائية -10000

ثانياً- بالإتمام:

$$\begin{array}{r} 11 \text{ الباقي} \\ 1000100 \\ + \\ 0101100 \text{ متمم } N \\ \hline 1110000 \text{ ولم يتبقى 1، نحسب مكمل الناتج ونضع أمامه إشارة (-)} \end{array}$$

$$\text{المتمم } (-16)_{10} = -0010000$$

الإجابة النهائية (-10000)

الشفرات الثنائية

في الالكترونيات الرقمية يتم تمثيل الإشارات الكهربائية المعبرة عن الكميات الفيزيائية بسلسلة من النبضات الكهربائية وهي سلسلة من الأصفار والوحدات الجهود المنخفضة 0، والجهود العالية 1. ولذا مست الحاجة للحصول على أنظمة تشفير للتعبير عن الأرقام والحروف والعلامات في صورة أصفار ووحدات.

الشفرة BCD

وهذه خاصة بالتعبير عن الأرقام والحروف فيتم تمثيلها كالتالي الكود يتكون من 7 خانات.

- 4 خانات لكتابة كود الحرف أو الرقم.
- 2 خانة لتحديد نوع كود الأربع خانات الأولى.
- 1 خانة التأكد من وصول شفرة الكود صحيحة دون خطأ.

7	6	5	4	3	2	1

يتم كتابة الأرقام من 0 إلى 9 وفي الأربع خانات الأولى طبقاً لجدول النظام العددي BCD. ويشترط أن تكون قيمة الخانتين الخامسة والسادسة 0-0 أما إن كانت لهاتين الخانتين قيم أخرى فإن كود/شفرة الخانات الأربعة الأولى ستعبر عن حروف معينة تتحد طبقاً للجدول التالي:

الخانة 6	الخانة 5	نوع الشفرة في الخانات الأربعة الأولى	
0	0	9 ← 0	9-8-7-6-5-4-3-2-1
1	1	I ← A	A B C D E F G H I 9-1
1	0	R ← J	J K L M N O P Q R 9-1
0	1	Z ← S	S T U V W X Y Z 9-2

للتعبير عن الحرف B

أربع خانات	خانتان	خانة
0 0 1 0	1 1	

الـ B رقم 2 وهي واقعة بين I-A، ويتم تمثيلها من 1 إلى 9 لأنهم تسعة حروف، فحرف A يمثل بـ 0001، B يمثل بـ 0010، C بـ 0011، D بـ 0100، وهكذا.

للتعبير عن الحرف T

أربع خانات	خانتان	خانة
0 0 1 1	0 1	

الـ T رقم 3 لأنها واقعة بين S، Z ويتم تمثيلها من 2 إلى 9 لأنهم ثمانية حروف.

الخانة السابعة

تأخذ القيمة 1 أو 0 بحيث يكون عدد الواحد في الخانات السبعة فردي ويطلق عليها بالإنجليزية Odd Parity.

ففي حالة الحرف B تضع الخانة السابعة 0 حتى يكون عدد الواحد ثلاثة (فردي) وكذلك في حالة الحرف T فنضعها أيضاً 0 وذلك حتى يتم مراجعة عدد الواحد في دائرة استقبال هذه البيانات فإن وجد أنها فردية قبلها المستقبل وأن وجد أنها زوجية رفضها وطلب مراجعتها لوجود خطأ.

ومن الممكن تحديد قيمة الخانة السابعة بحيث يكون عدد الواحد زوجي ويطلق عليها بالإنجليزية Even Parity.

الشفرة القياسية الأمريكية ASCII

وهي تشبه شفرة BCD إلا أنها أكثر تفصيلاً فهي تفرق بين الحروف الكبيرة Capital والصغيرة Small وفيها علامات خاصة مثل (>، <، /، =، :)، وأكواد للأوامر الخاصة في لوحة مفاتيح الحاسب مثل (F1-F2 - F3...-F12) فهي شفرة كاملة للوحة مفاتيح الكمبيوتر الشخصي.

طريقة تمثيل الشفرة

8	7	6	5	4	3	2	1

• الخانات الأربعة الأولى لكتابة الكود.

- الخانات الثلاثة 5، 6، 7 لتحديد نوع الكود في الخانات الأربعة الأولى.
- الخانة الأخيرة 8 خانة التأكد من صحة الشفرة زوجية/فردية.

الكود	نوع الكود	ملاحظات
أوامر خاصة	000 001	
حروف خاصة	010	
9-0	011	
A-Q حروف كبيرة	100	15 حرف يعبر عنهم من F-1
P-Z حروف كبيرة	101	11 حرف يعبر عنهم من A-0
a-q حروف صغيرة	110	15 حرف يعبر عنهم من F-1
p-z حروف صغيرة	111	11 حرف يعبر عنهم من A-0

فحرف A يكتب 41، $B = 42$ ، حيث 4 تمثل نوع الكود $(100)_2$ ، 1 يعبر عن كود الحرف A. بينما a يكتب 61 حيث 6 هي نوع الكود $(110)_2$. انظر جدول

شفرة ASCII.

Decimal digit	BCD 8421	2421	Excess-3	84-2-1
0	0000	0000	0011	0000
1	0001	0001	0100	0111
2	0010	0010	0101	0110
3	0011	0011	0110	0101
4	0100	0100	0111	0100
5	0101	1011	1000	1011
6	0110	1100	1001	1010
7	0111	1101	1010	1001
8	1000	1110	1011	1000
9	1001	1111	1100	1111
Unused bit combinations	1010	0101	0000	0001
	1011	0110	0001	0010
	1100	0111	0010	0011
	1101	1000	1101	1100
	1110	1001	1110	1101
	1111	1010	1111	1110

كود جراي

هو كود ثنائي غير موزون (ترتيبه لا يعتمد على وزن الخانة) كما في شفرة BCD ويتميز بميزة هامة وهي أنه عند مقارنة شفرة رقم عشري 7 بالرقم المجاور له 8 أو 6 فإننا سنلاحظ أن خلية واحدة فقط هي التي غيرت حالتها وهذه الخاصية مفيدة في بعض تطبيقات الالكترونيات الرقمية.

وإليك طريقة استنتاج كود جراي من النظام الثنائي:

الكود الثنائي					كود جراي				
القيمة	8	4	2	1	8	4	2	1	القيمة
العشرية									العشرية
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	1
2	0	0	1	0	0	0	1	1	3
3	0	0	1	1	0	0	1	0	2
4	0	1	0	0	0	1	1	0	6
5	0	1	0	1	0	1	1	1	7
6	0	1	1	0	0	1	0	1	5
7	0	1	1	1	0	1	0	0	4
8	1	0	0	0	1	1	0	0	12
9	1	0	0	1	1	1	0	1	13
10	1	0	1	0	1	1	1	1	15
11	1	0	1	1	1	1	1	0	14
12	1	1	0	0	1	0	1	0	10
13	1	1	0	1	1	0	1	1	11
14	1	1	1	0	1	0	0	1	9
15	1	1	1	1	1	0	0	0	8

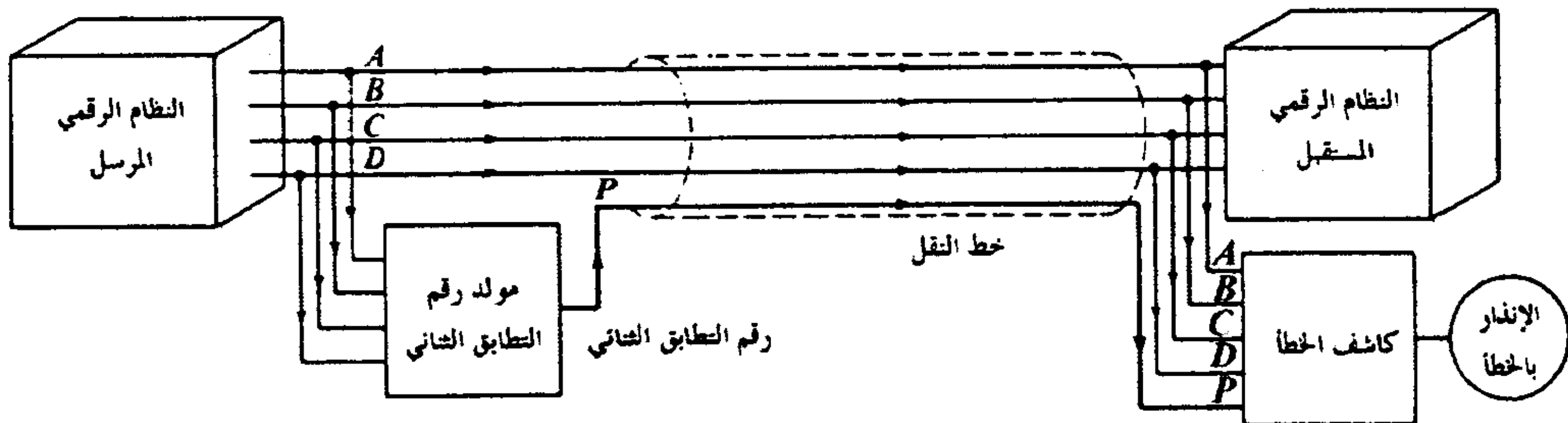
- في الكود الثنائي الخانة ذات الوزن 8 عبارة عن 8 أصفار يليها 8 وحيد.
- في الكود الثنائي الخانة ذات الوزن 4 عبارة عن 4 أصفار يليها 4 وحيد، وهكذا.
- في الكود الثنائي الخانة ذات الوزن 2 عبارة عن 2 صفر يليها 2 واحد ثم 2 صفر، وهكذا.

- في الكود الثنائي الخانة ذات الوزن 1 عبارة عن صفر يليه واحد ثم صفر... إلخ.

- في الكود جراي الخانة ذات الوزن 8 ممتلئة للخانة ذات الوزن 8 في الثنائي.
- في الكود جراي الخانة ذات الوزن 4 تنقسم لجزأين الأعلى مماثل تماماً للخانة ذات الوزن 4 في الكود الثنائي والأسفل صورة مرآة منه أي أن الواحد تلتقي عند حد المرآة Z.
- في الكود جراي الخانة ذات الوزن 2 نضيف مرأتين Y_1 ، Y_2 إلى المرآة السابقة Z.
- في الخانة ذات الوزن 1 تم إضافة 4 مرايات أخرى X_1 ، X_2 ، X_3 ، X_4 إضافة للثلاثة السابقة وبهذه الطريقة يمكننا كتابة كود جراي لأي رقم ثنائي عن طريق فكرة المرايات.
- للانتقال من الرقم 7 إلى الرقم 8 في الكود الثنائي يحدث تغير في أربع خانات.
- للانتقال من الرقم 7 إلى الرقم 8 في جراي يحدث تغير في خانة 8 فقط.
- للانتقال من الرقم 5 إلى الرقم 6 في الثنائي يحدث تغير في خانتين 1 ، 2.
- للانتقال من الرقم 5 إلى الرقم 6 في جراي يحدث تغير في خانة واحدة 2.
- وهكذا الفرق بين أي رقمين متجاورين في كود جراي تغير خانة واحدة .

دائرة تصحيح الخطأ

مخطط صندوقي يوضح دوائر تصحيح الخطأ.



اختبر نفسك

١. حول الأرقام التالية للأنظمة المقابلة:

(2, 8, 16)	$(251)_{10}$	•
(10, 2, 16)	$(500)_8$	•
(2, 8, 10)	$(500)_{16}$	•
(2, 8, 16)	$(500)_{10}$	•
(2, 8, 16, 10)	$(2000)_4$	•
(8, 10, 16)	$(101111011)_2$	•

٢. حول الكسور التالية للأنظمة المقابلة:

(2, 8, 16)	$(0.525)_{10}$	•
(8, 16, 10)	$(0.00011)_2$	•
(16, 2, 10)	$(0.735)_8$	•
(10, 2, 8)	$(0.735)_{16}$	•
(2, 8, 16)	$(0.735)_{10}$	•

٣. اجرِ العمليات الحسابية التالية حسب النظام المقابل:

(8, 10, 16)	50 - 72	•
(8, 2, 10, 16)	CD + AB	•
	$(1000111)_2 + (1011101)_2$	•
(بالإتمام - بالإكمال)	$(01111) - (110000)_2$	•

الفصل الثاني

2

أهداف الفصل

عند الانتهاء من دراسة هذا الفصل يمكنك استيعاب النقاط التالية:

١. فهم البوابات المنطقية ومعرفة رموزها ومعادلاتها.
٢. استنتاج جداول الحقيقة من المعادلات.
٣. استنتاج المعادلات من الدوائر المنطقية أو جداول الحقيقة.
٤. رسم الدوائر المنطقية للمعادلات المنطقية.
٥. اختصار المعادلات جبرياً.
٦. إثبات نظريات ومسلمات المنطق.

البوابات المنطقية والجبر

تمثيل الدوائر باستخدام البوابات العامة NAND ، NOR

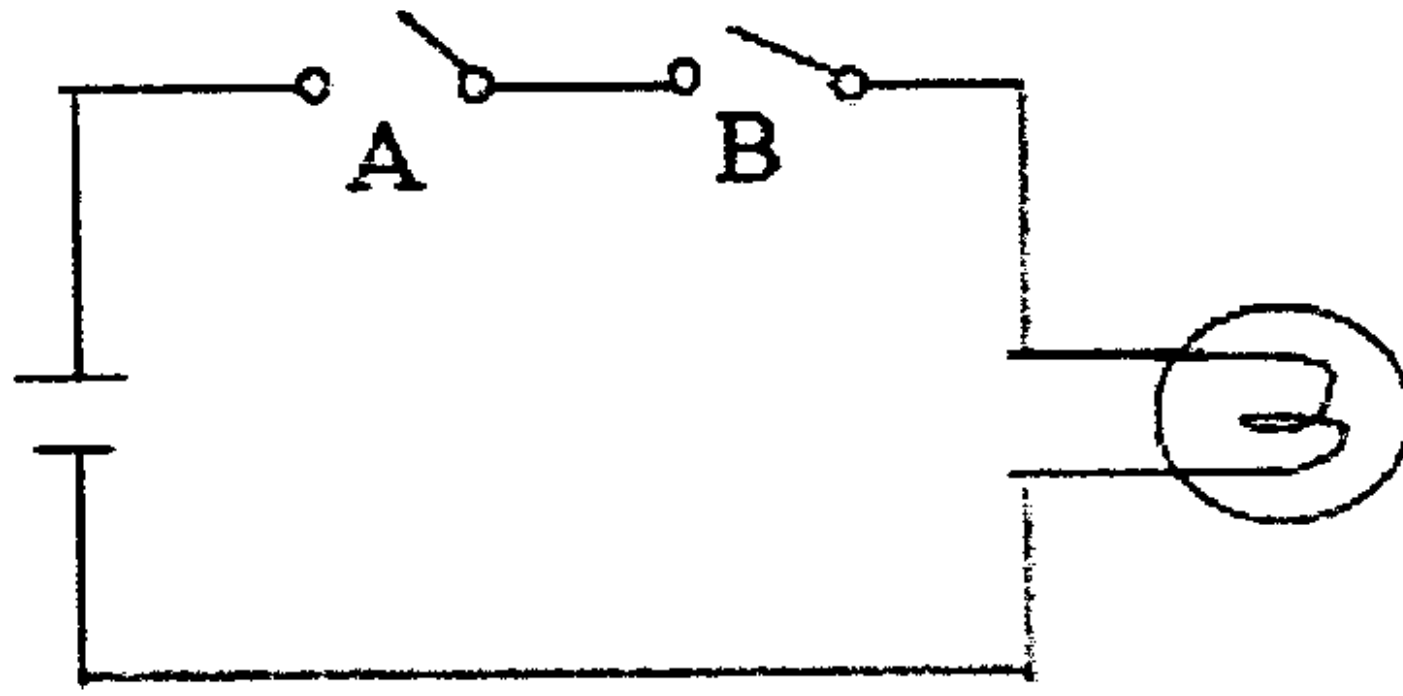
البوابة AND

١. البوابة AND ذات دخلين ومخرج واحد:

تخرج إشارة رقمية قيمتها 1 في حالة واحدة فقط إذا كان كلا دخلها في الوضع المنطقي 1، أي أنها تعمل كدالة ضرب لمدخلها.

٢. التمثيل الكهربى للبوابة AND بمدخلين:

٣. عبارة عن دائرة خرجها لمبة/جرس (حمل) يتم التحكم فيه عن طريق مفتاحي A, B موصلين على التوالي معاً فلن تضيئ اللبة إلا إذا أغلقا معاً.



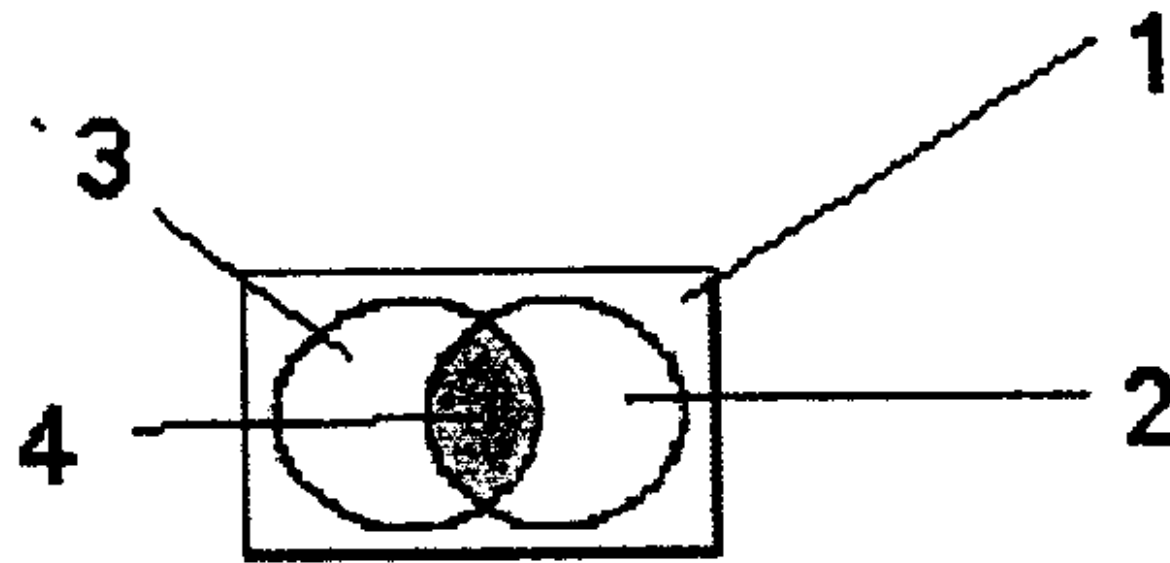
٣. التمثيل الرياضي:

عبارة عن دالة ضرب حيث A, B الدخلين ، C الخرج والنقطة علامة

الضرب $A.B = C$.

٤. التمثيل بأشكال فن:

تقاطع



الخرج C لن يتحقق إلا عند منطقة تقاطع المتغيرين (الدخلين A, B).

- المنطقة 1- ما حول الدائرتين يسمى "الفراغ"، ويعبر عنه بالصفر فهو معكوس A ومعكوس B، أي أن $A = 0$ ، $B = 0$.
- المنطقة 2 - والتي تنتمي لـ A ولا تنتمي لـ B أي أن، $A = 1$ ، $B = 0$.
- المنطقة 3 - والتي تنتمي لـ B ولا ينتمي لـ A أي أن، $A = 0$ ، $B = 1$.
- المنطقة 4 - التي تنتمي لـ A وتنتمي لـ B أي أن، $A = 1$ ، $B = 1$.
- التمثيل بجدول الحقيقة:

ويتكون من أعمدة الدخل وعمود الخرج، ففي حالة دخلين يكون الجدول

كالتالي:

نجد أن الخرج يساوي (1) في الحالة الأخيرة فقط (الدخلين)، والتي تأخذ الرقم

	A	B	F
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

العشري 3، ولو حاولنا ضرب العمودين A, B لحصلنا على C بسهولة.

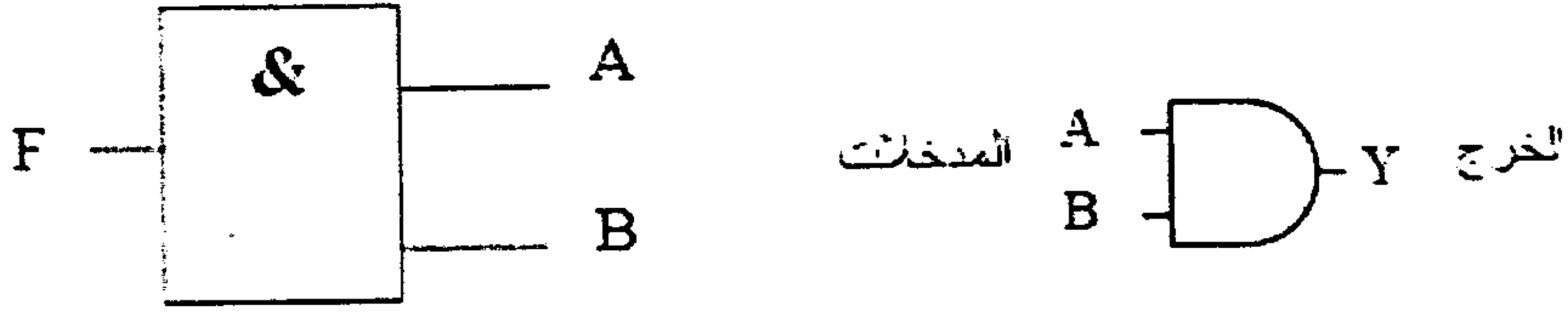
فالجدول يمثل كل الاحتمالات الممكنة لدخلي البوابة ويوضح قيمة الخرج في كل حالة.

٦. الرمز المنطقي للبوابة:

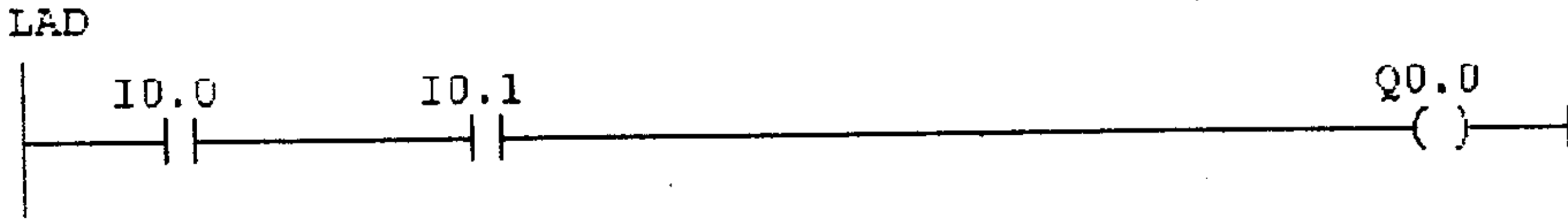
بالنظام الأمريكي

بالنظام الأوربي

AND

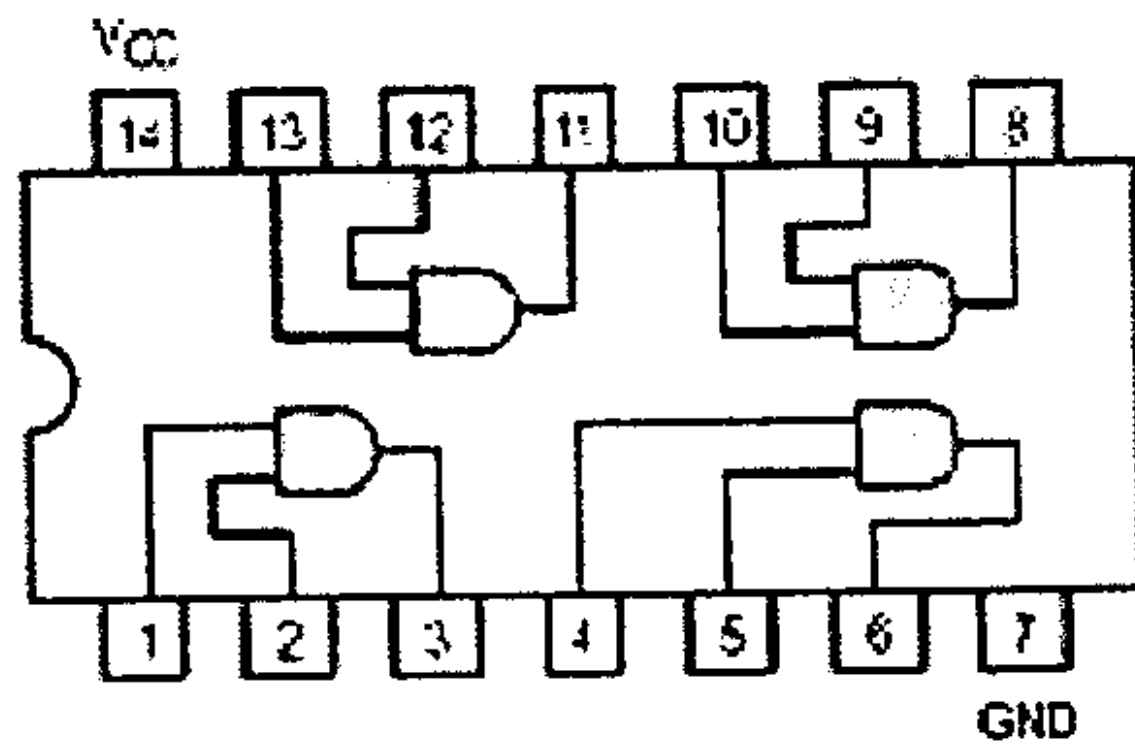


٦. رمز البوابة في المخططات السلمية PLC3:
عبارة عن مفتاحين توالي.



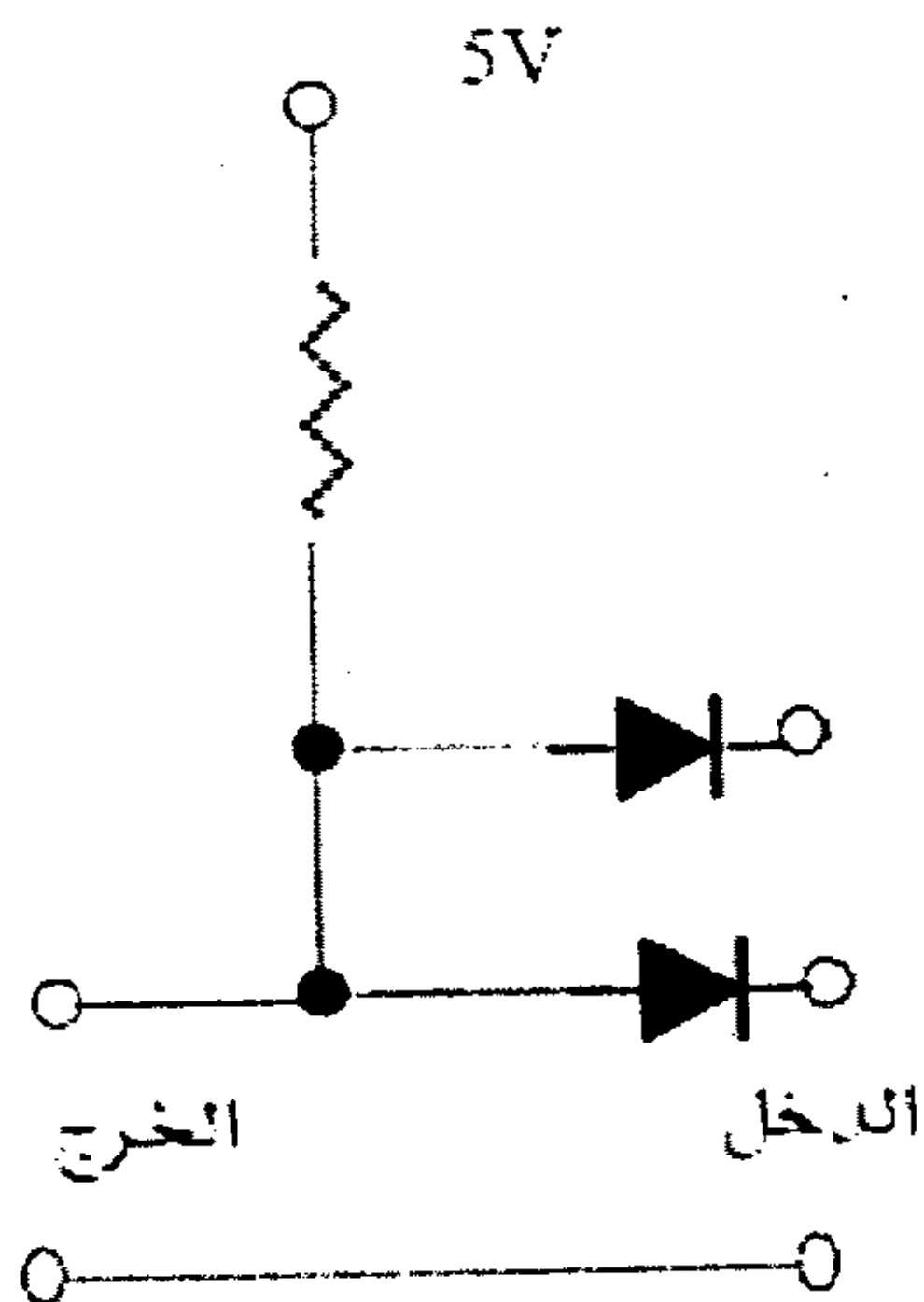
٧. الشكل التجاري للمتكاملات التي تحتوي على AND:

تحتوي المتكاملة على ٤ بوابات AND كل واحدة لها مدخلين ومخرج فيكون عدد أطراف المتكاملة $12 = 4 \times 3$ بالإضافة لطرفي الأرضي والتغذية فيكون عدد الأطراف 14 والرقم التجاري لها 4080/7408.



٩. التمثيل الإلكتروني للبوابة (تركيبها):

- في حالة $A = B = 0$ ، أي أن جهدهما صفر وبالتالي يصبح كلا الموحدين في حالة توصيل أمامي، وهذا يعني مرور تيار بالمقاومة R وبالتالي يصبح جهد الخرج V_0 صفراً لأن $V_0 = V_C - IR$ ، فالجهد كله بذل بالمقاومة R .



• في حالة $A=0$ ، $B=1$ أو $A=1$ ، $B=0$ يمر أيضاً تيار في المقاومة R عبر أحد الموحدتين وبالتالي $V_O = 0$.

• في حالة $A=B=1$ أي أن الموحدتين تم توصيلهم عكسياً أي لن يمر بهما وبالتالي لن يمر في R تيار وبالتالي $V_O = V_C$. أي أن الخرج 1 عندما كان الدخاين بـ 1، وهذا منطق البوابة AND.

١٠. الناتج المؤكد:

بالتأمل في جدول الحقيقة نجد أن أغلبية الخرج Zero (٣ خانات من أربعة) إذن الناتج المؤكد للبوابة AND هو Zero، وبالتأمل في عمودي الدخل نجد أنهما في الثلاث حالات يجب أن يكون الدخاين فيهما صفر Zero أو صفرين. وخلاصة القول، أنه إذا كان أحد المداخل صفراً ولا نعرف قيمة المدخل الآخر فإننا نكون متأكدين من أن خرج البوابة صفراً.

بينما لو كان أحد الدخاين بـ 1 والآخر مجهول فإننا نتوقف عن تحديد الخرج لأن لو كان المجهول قيمته 1 كان الخرج 1 ولو كان صفراً كان الخرج صفراً ونكتبها بصيغة مختصرة هكذا $0 \rightarrow 0$ (من فعل المؤلف). أي أن صفراً في الدخل يؤدي لصفر في

الخرج ولا بد.

١١. مفتاح التمرير:

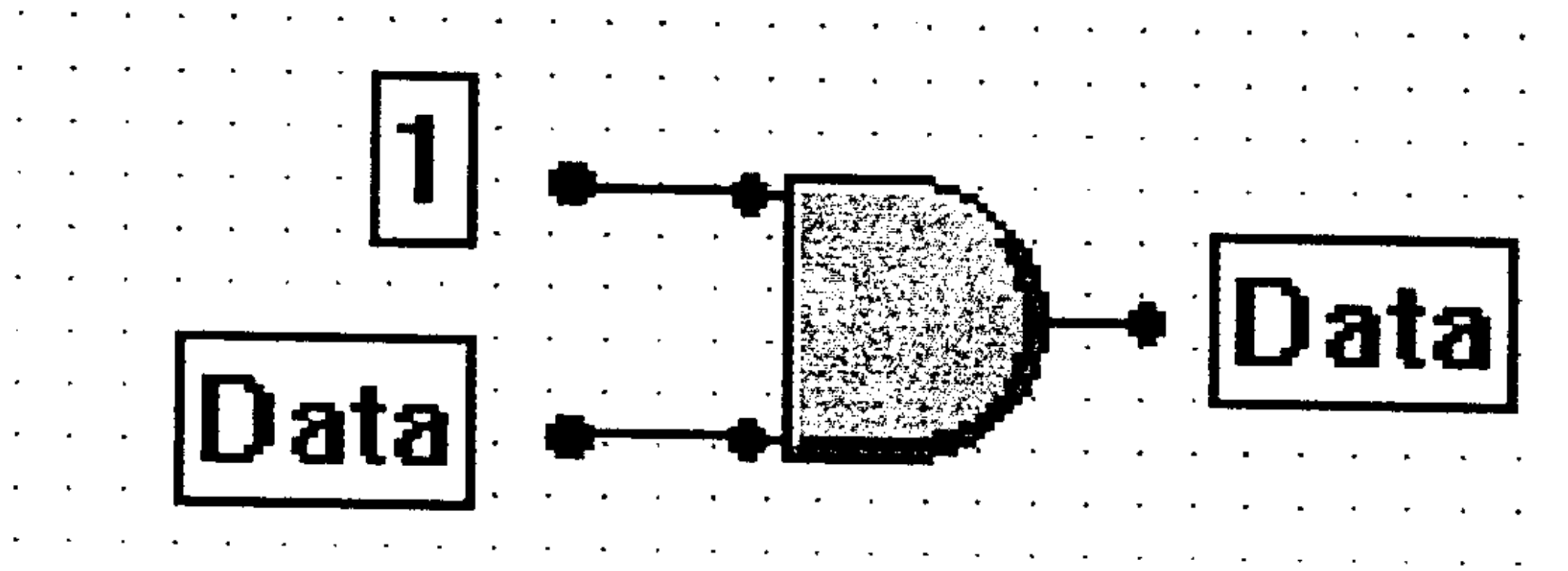
إذا كان أحد الدخلين بيانات Data يجب إخراجها كما هي أو على الأقل إخراج مقلوبها. فماذا يجب أن تكون عليه قيمة الدخل الثاني؟

يمكن الإجابة على هذا السؤال كالتالي:

- افترض أحد الدخلين وليكن A هو Data، ولاحظ قيمة الخرج عندما $B = 0$ و $B = 1$.

- نجد أن البيانات Data خرجت كما هي في حالة $B = 1$.

وهذه النتيجة يمكن تحصيلها بسهولة من معادلة البوابة:



BA

$$1 \cdot \text{Data} = \text{Data}$$

$$1 \rightarrow \text{Data}$$

١٢. المسمى بالعربية: بوابة و.

١٣. المعنى بالعربية: الدخلين معا بواحد ← الخرج = 1

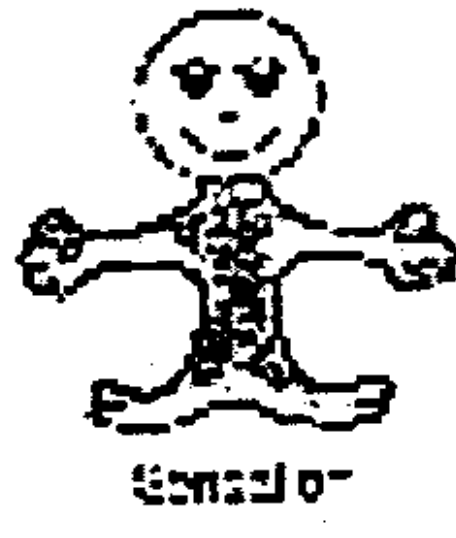
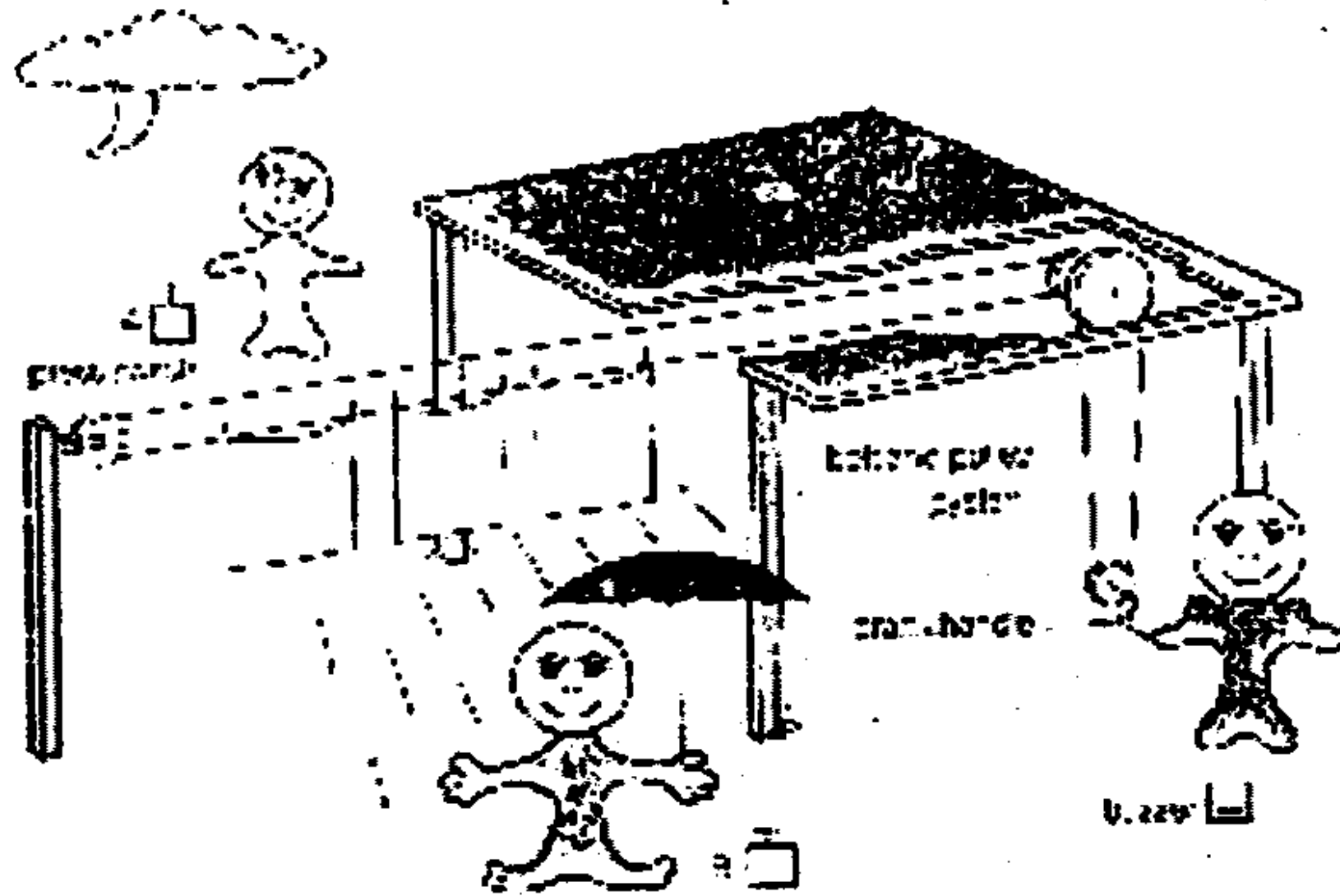
$$\text{معا } 1 \leftarrow 1$$

١٤. التمثيل الكاريكاتيري للبوابة:

زرقاء اليمامة وعنتره ومنعما ثلاث أشخاص:

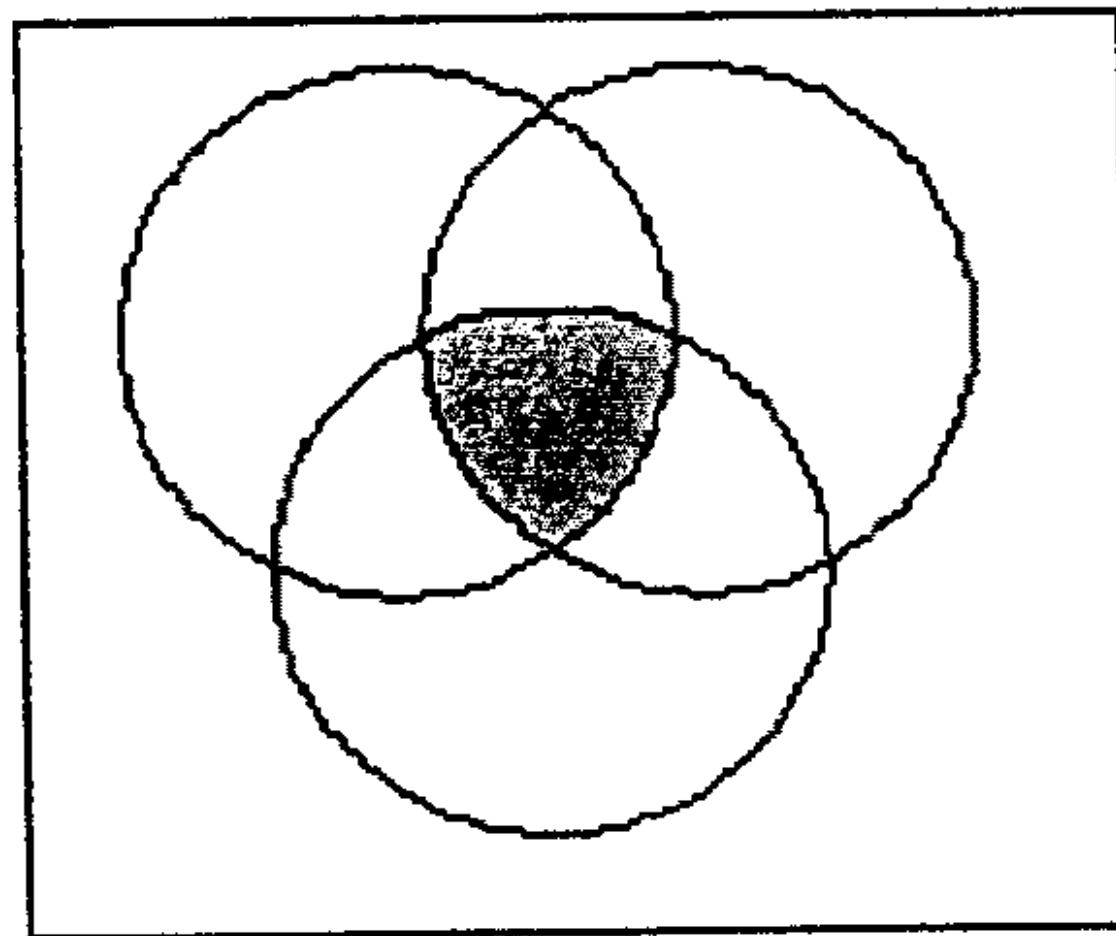
- ترصد زرقاء الشمس وينادي منعما بسقوط المطر عليه فإذا ما غابت الشمس أغلقت زرقاء اليمامة المفتاح A ولكن عنتره لن يسحب حبل الغسيل لأن منعما لم تسقط عليه قطرة واحدة من الماء وإلا فإنه سيضغط المفتاح B.

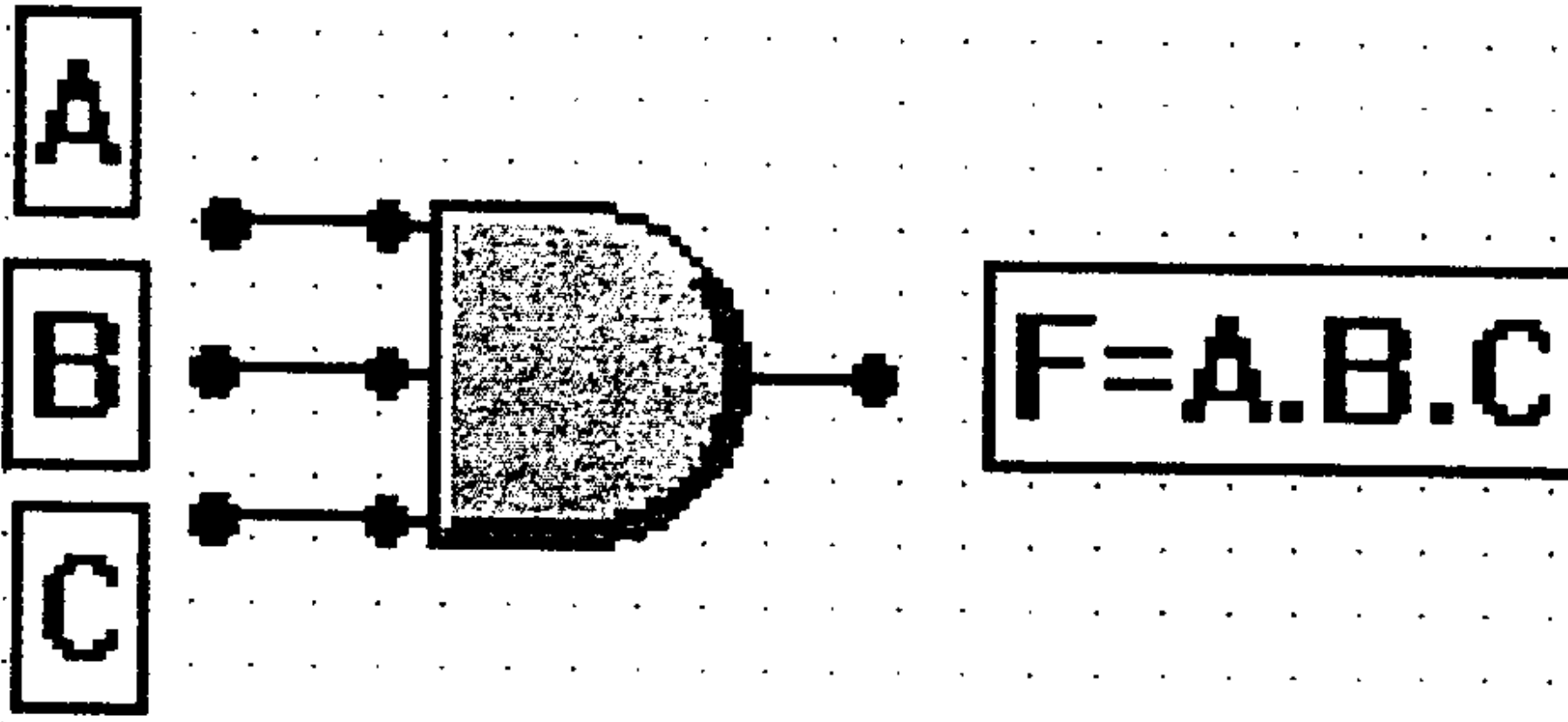
- فإذا ما تم توصيل A, B قام عنتره بسحب حبل الغسيل ليحمي الملابس تحت المظلة كي لا تبطل من المطر.



١٥. التمثيل الديني للبوابة AND:

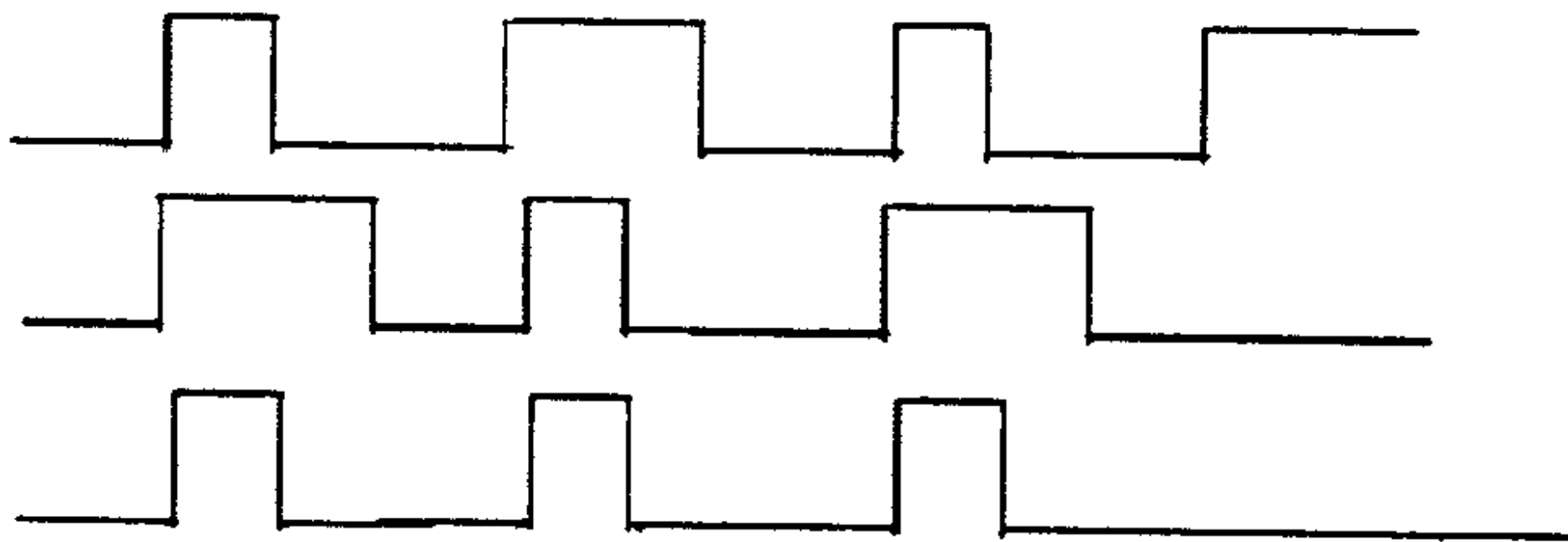
- الإخلاص والمتابعة شرطاً لقبول العمل.
 - الإيمان والعمل الصالح شرطاً لدخول الجنة.
١٦. بوابة AND بثلاثة مداخل (الجدول - شكل فن - المعادلة):





	A	B	C	AND	١٧.
0	0	0	0	0	
1	0	0	1	0	
2	0	1	0	0	
3	0	1	1	0	
4	1	0	0	0	
5	1	0	1	0	
6	1	1	0	0	
7	1	1	1	1	

المخطط الزمني.



الدخل A

الدخل B

الخرج Y

البوابة OR

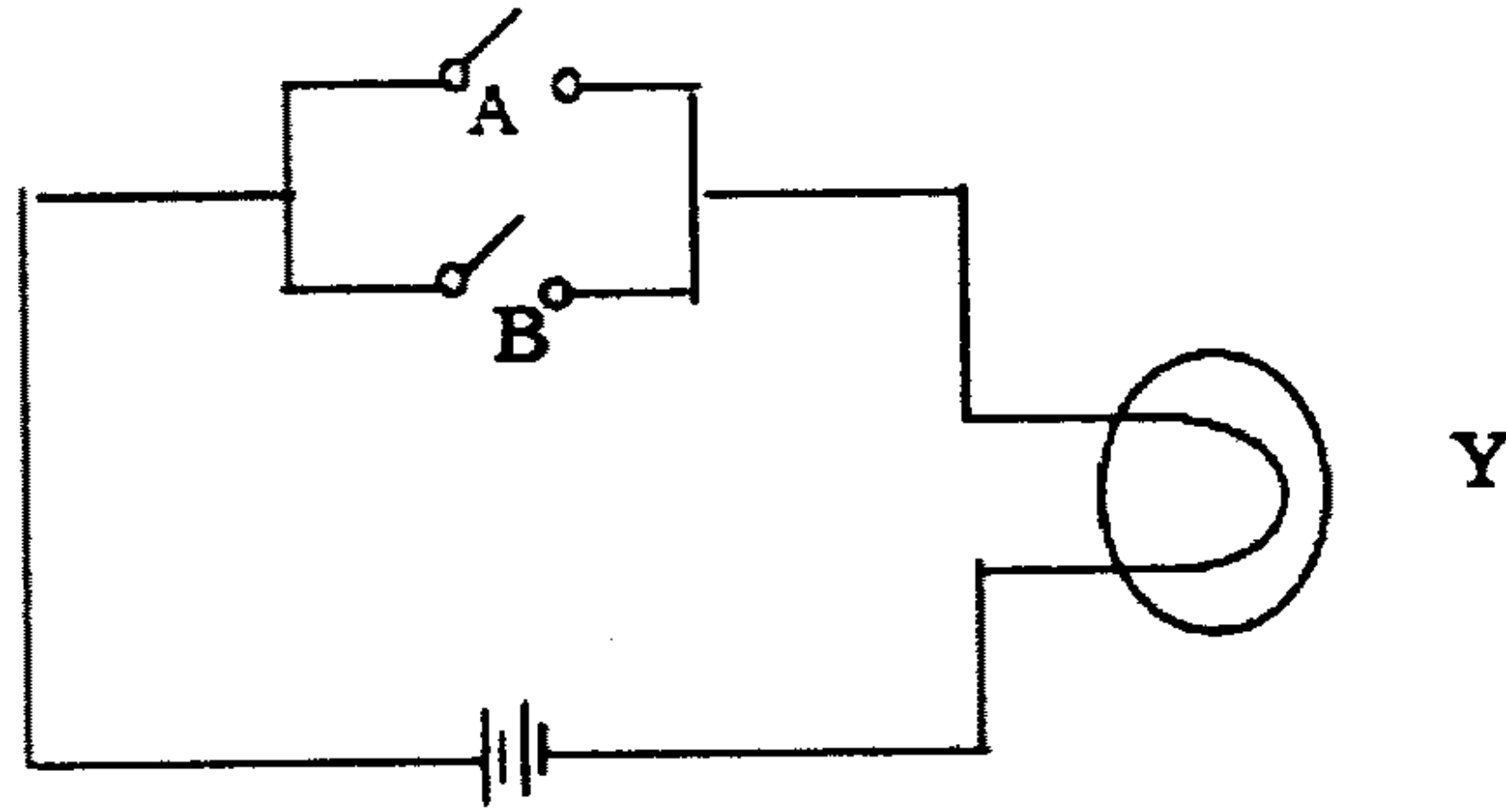
١. البوابة OR ذات الدخلين: تخرج إشارة رقمية قيمتها 1 إذا كان أحد دخلها أو

كليهما في الوضع المنطقي 1 أي أنها تعمل كدالة جمع.

٢. التمثيل الكهربائي للبواب OR بمدخلين: دائرة خرجها مصباح/جرس (حمل)

يتم التحكم فيه عن طريق مفتاحين A, B موصلين معاً على التوازي ونضئ

المصباح إذا أغلق أحدهما أو كليهما.



٣. التمثيل الرياضي الجبري: عبارة عن دالة جمع $A + B = C$:

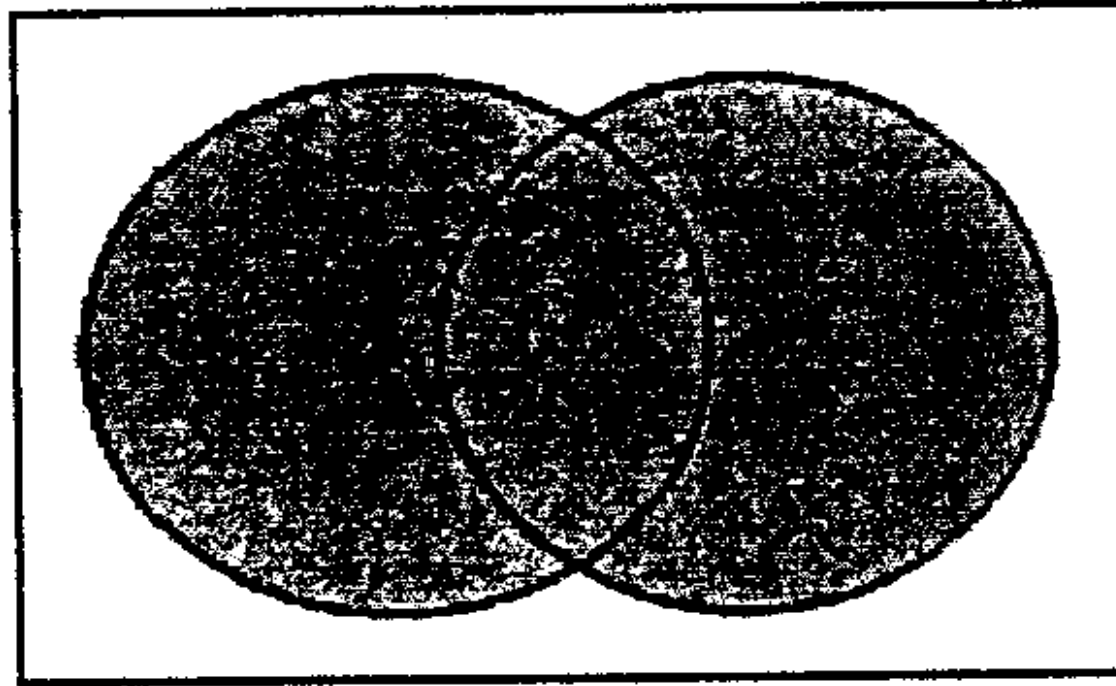
• كمية + لا شيء = كمية $1 = 0 + 1$

• كمية + كمية = كمية $1 + 1 = 1$

• لا شيء + كمية = كمية $1 = 1 + 0$

• لا شيء + لا شيء = لا شيء $0 = 0 + 0$

٤. التمثيل بأشكال فن: اتحاد



• المنطقة 1- ما حول الدائرتين يسمى الفراغ ويعبر عنه بـ 0 فهو معكوس

A, B ، أي أن $A = 0$ ، $B = 0$.

• المنطقة 2- تنتمي لـ A ولا تنتمي لـ B ، أي أن $A = 1$ ، $B = 0$.

• المنطقة 3- تنتمي لـ B ولا تنتمي لـ A ، أي أن $A = 0$ ، $B = 1$.

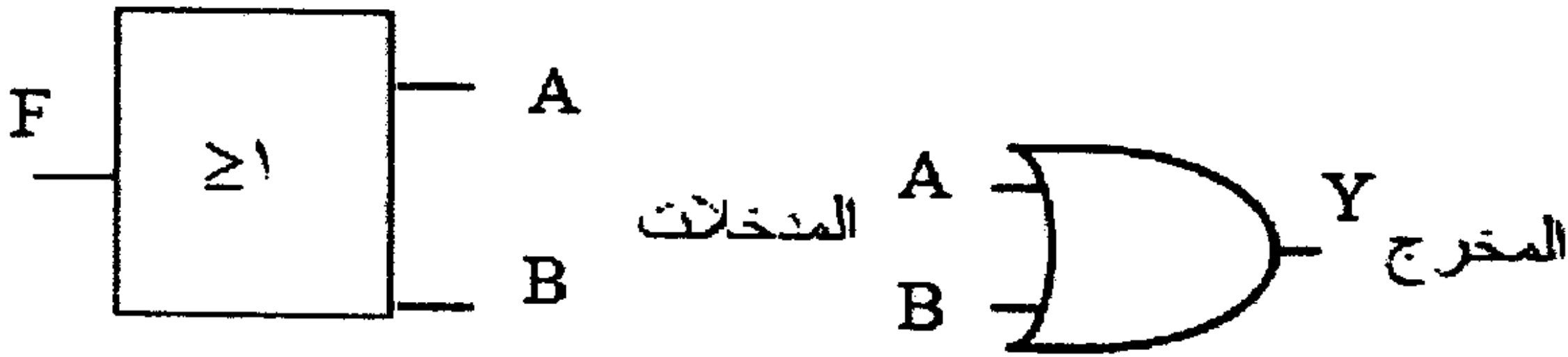
• المنطقة 4- تنتمي لـ A ولا تنتمي لـ B ، أي أن $A = 1$ ، $B = 1$.

٥. التمثيل بجدول الحقيقة: ويتكون من عمودي الدخل وعمود الخرج نجد أن الخرج $C=1$ إذا كان أحد المدخلات بـ 1 الاحتمالين 1، 2 أو كليهما بـ 1 (الاحتمال 3).

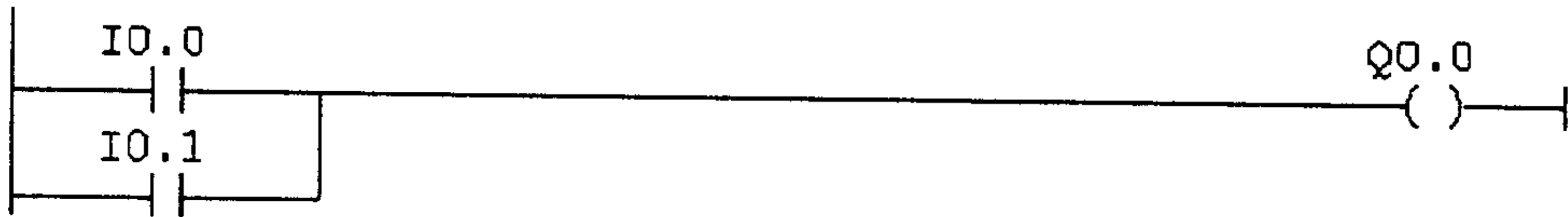
	B	A	OR
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	1

الجدول يمثل كل الاحتمالات الممكنة لدخلي البوابة ويوضح قيمة الخرج في كل حالة.

٦. الرمز المنطقي للبوابة:



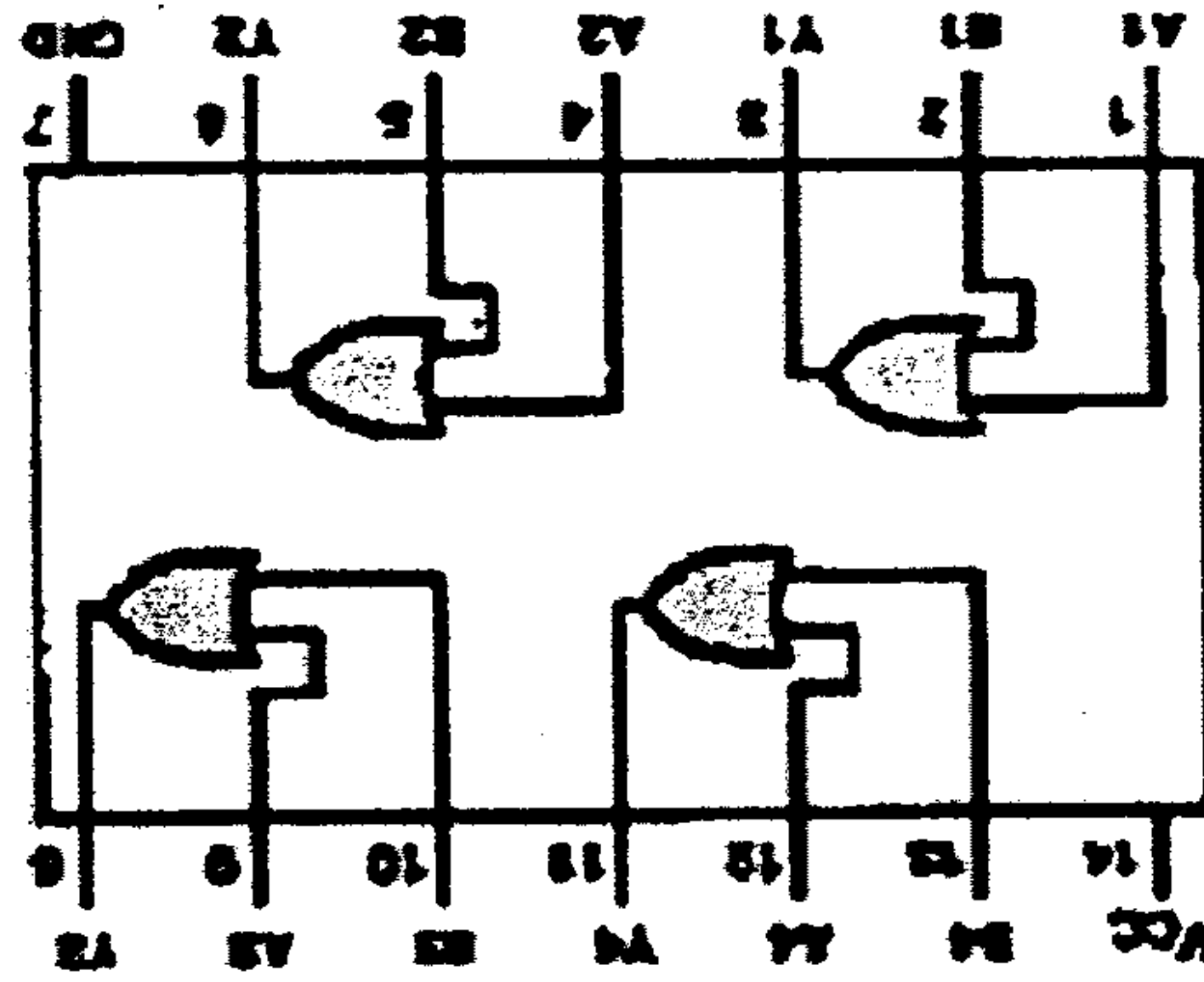
٧. رمز OR في المخططات السلمية PLC: عبارة عن مفتاحين موصلين على التوازي.



٨. الشكل التجاري العملي للدالة OR: تصنع في صورة دوائر متكاملة تحتوي على عدد من البوابات OR:

- فالمتكاملة رقم 7432 تحتوي على أربع بوابات بمدخلين ومخرج.
- والمتكاملة رقم 4025 تحتوي على ٣ بوابات بثلاث مداخل.

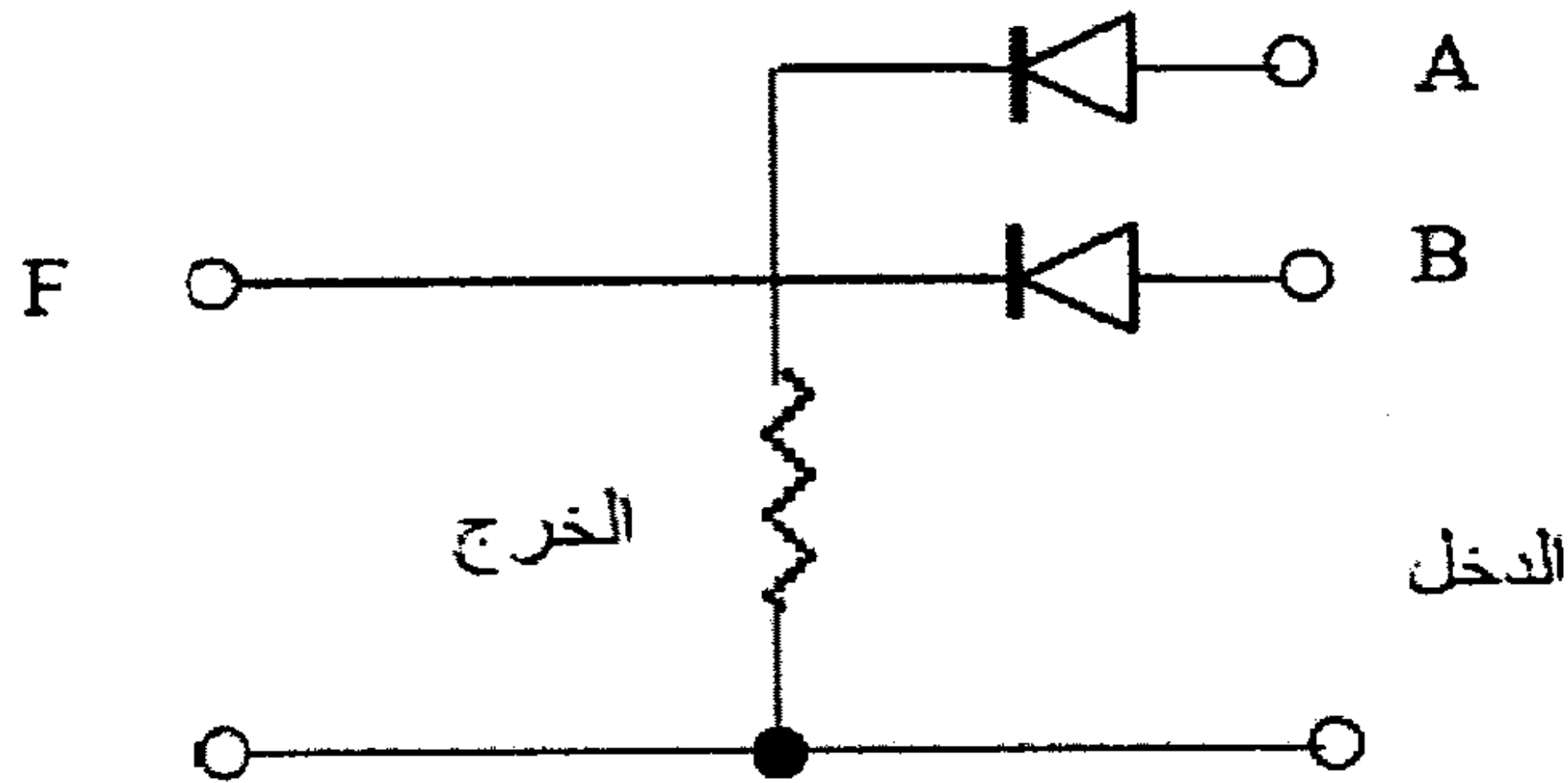
- والمتكاملة رقم 4072 تحتوي على بوابتين بأربع.



انظر ملحق الدوائر المتكاملة.

٩. التركيب الإلكتروني للبوابة OR:

- في حالة $A = B = 0$ ، أي أن الموحدتين تم توصيلهما عكسياً فلا يمر خلالهما تيار، وبالتالي لن يمر تيار في R ، أي أن V_0 صفر لأن $V_0 = IR = 0 \times R = 0$.



- في حالة $A = 0$ ، $B = 1$ أو $A = 1$ ، $B = 0$ أحد الموحدتين سيكون في وضع التوصيل، وسيمر تيار في المقاومة R ، ويكون V_0 له قيمة (1 منطقي).
- في حالة $A = B = 1$ ، سيمر التيار في كلا الموحدتين وبالتالي في R ،

$$IR = V_0$$

١٠. الناتج المؤكد:

بالنظر في جدول الحقيقة نجد أن ناتج الخرج 1 (٣ حالات من أربعة) إذن فالناتج المؤكد للبوابة OR هو 1. وبالتأمل في أعمدة الدخل نجد أنهما في الثلاث حالات يجب أن يتوفر 1 على الأقل في أحد العمودين أو كليهما. وخلاصة القول، أنه إذا كان أحد المداخل 1 والمدخل الثاني مجهول فإننا نكون متأكدين تماماً أن الخرج سيكون 1.

بينما لو كان أحد الدخلين 0 والثاني مجهول لا نستطيع أن نقطع بقيمة للخرج فربما كان المدخل المجهول 0 فيكون الناتج 0 (لأن $0+0=0$) وربما كان 1 فيكون الناتج 1 (لأن $1=1+0$).

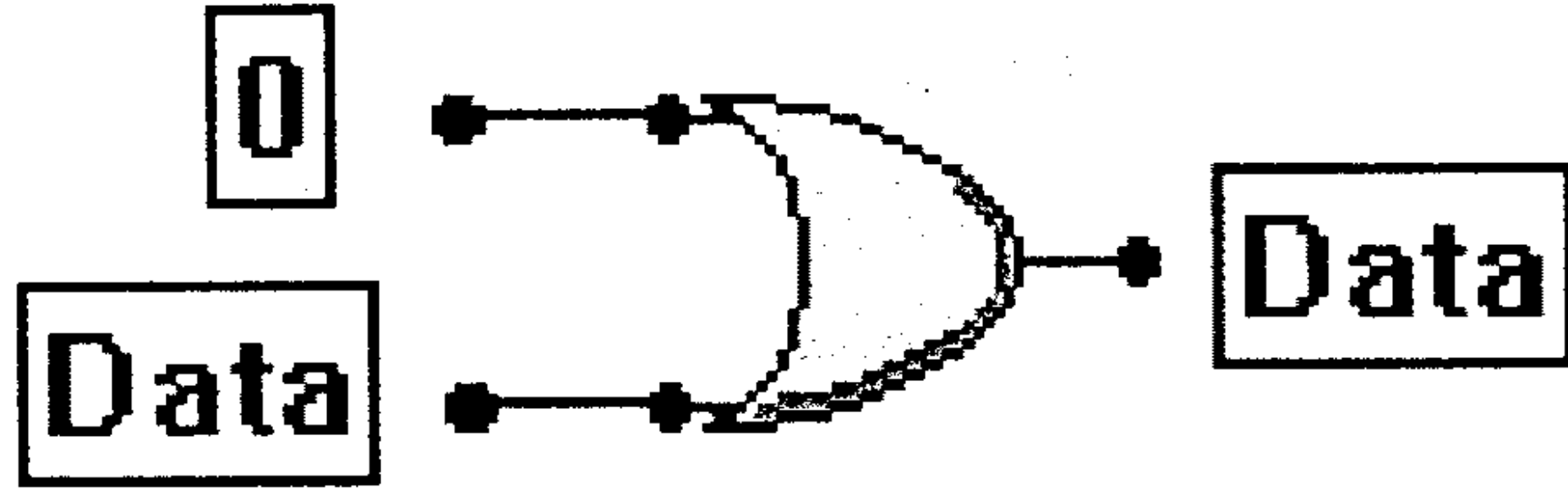
ونكتبها بصيغة مختصرة هكذا $1 \rightarrow 1$

١١. مفتاح التمرير:

	B X	A Data	الخرج
0	0	0	0
	0	1	1
	1	0	1
	1	1	1

باعتبار أن الدخل A يمثل بيانات Data نريد إخراجها، فما هي القيمة التي يجب وضعها على الدخل B.

نلاحظ من الجدول أنه لما كانت $B=0$ خرجت البيانات كما هي، بينما في حالة $B=1$ كان الخرج دائماً 1 ولا يساوي A تماماً.



هذا منطقي لأن البوابة بوابة جمع ولذا كان الناتج هو Data لأنه جمع مع صفر المحايد الحمعي 0.

$$0 + \text{Data} = \text{Data}$$

$$0 + A = A$$

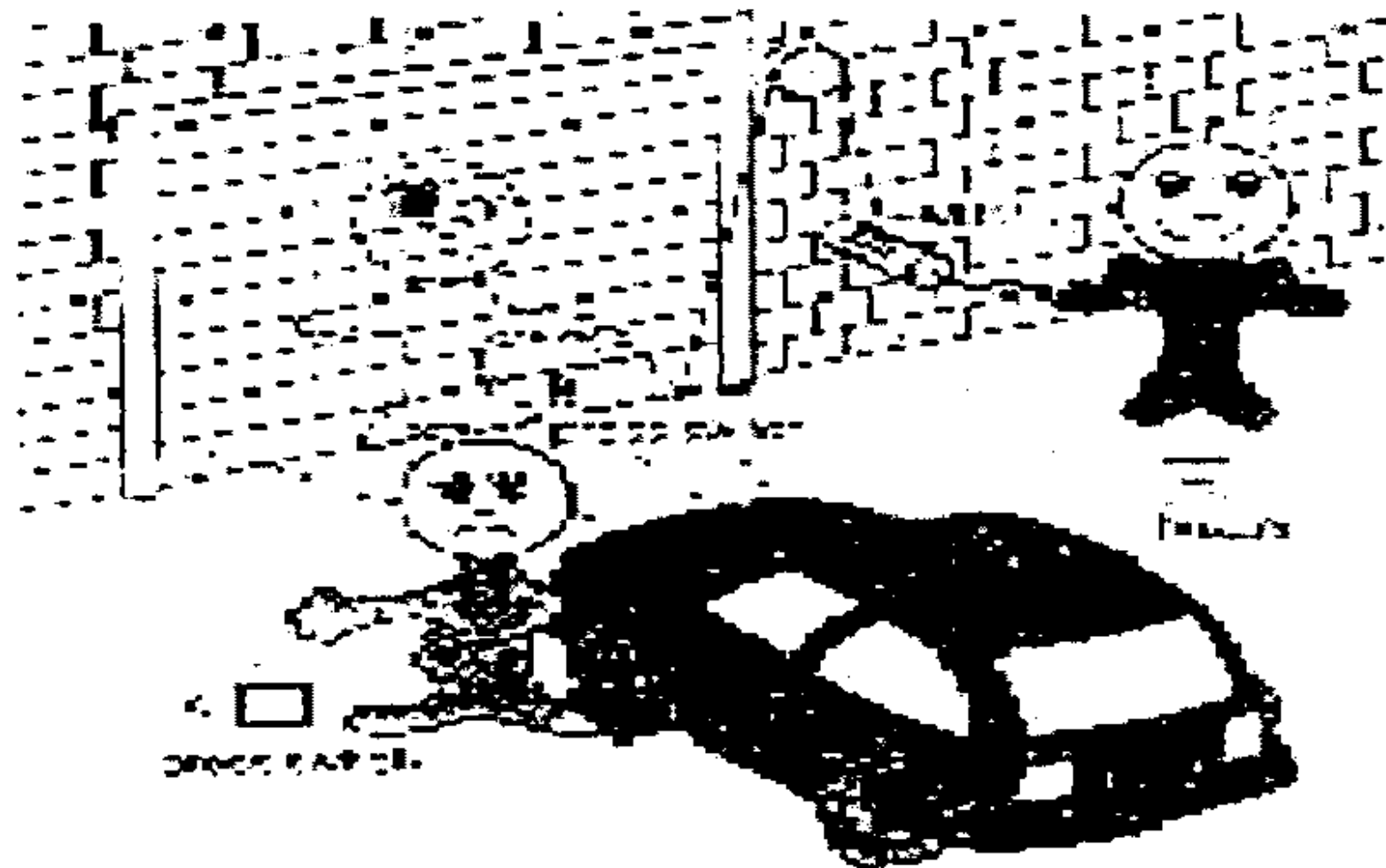
١٢. المسمى بالعربية: أو

١٣. المعنى بالعربية: أي الدخيلين ب 1 أو كليهما ب 1 ← الخرج = 1

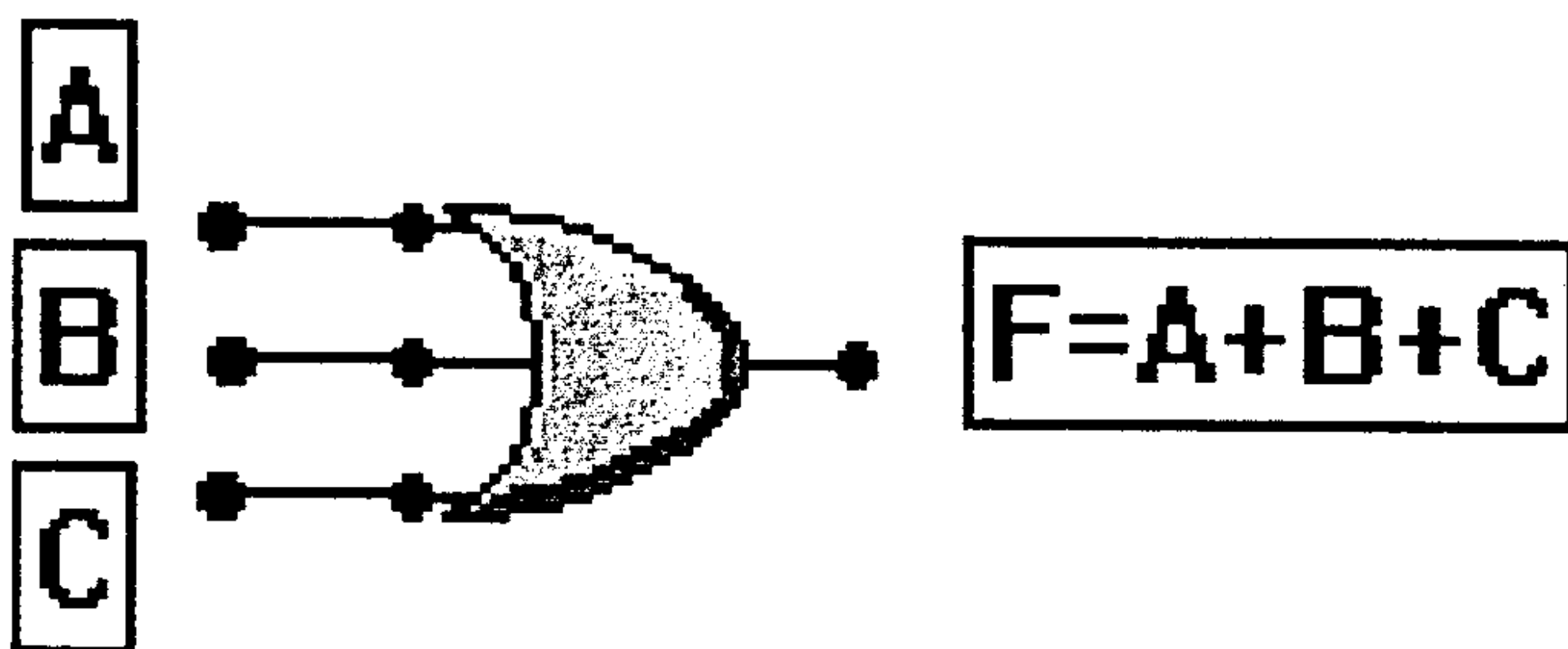
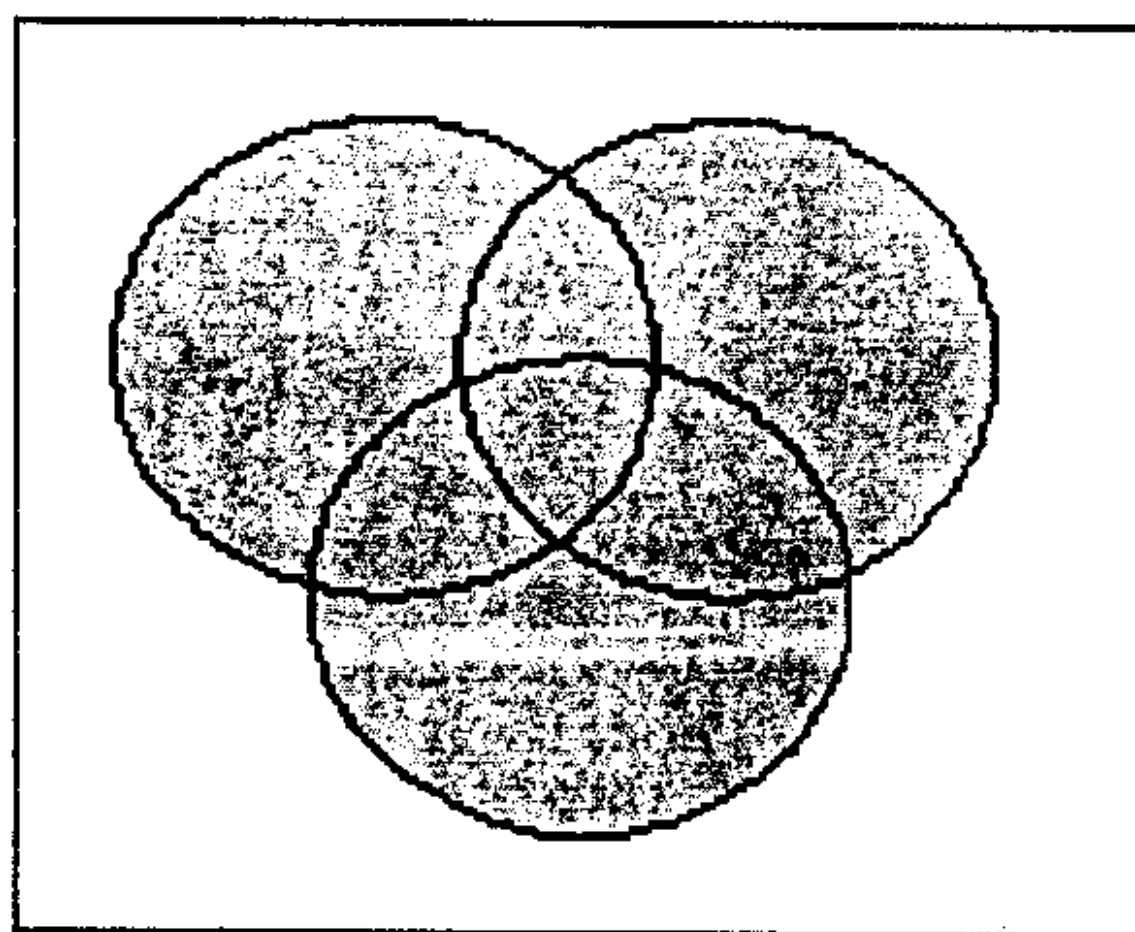
أيهما أو كليهما ب 1 ← 1

١٤. التمثيل الديني للبوابة: التوبة قبل الموت والشهادة عند الموت أيهما حدث أو كليهما حدث غفرت ذنوب العبد والله الفضل والمنة.

١٥. التمثيل الكاريكاتيري: جراج لا يفتح بابه إلا إذا مرت أسيارة بعجلاتها على رجل حساس/منعما أو أطلقت ضوء كشافاتها في عين بصاص/زرقاء اليمامة عندها يقوم عنتره برفع باب الجراج.

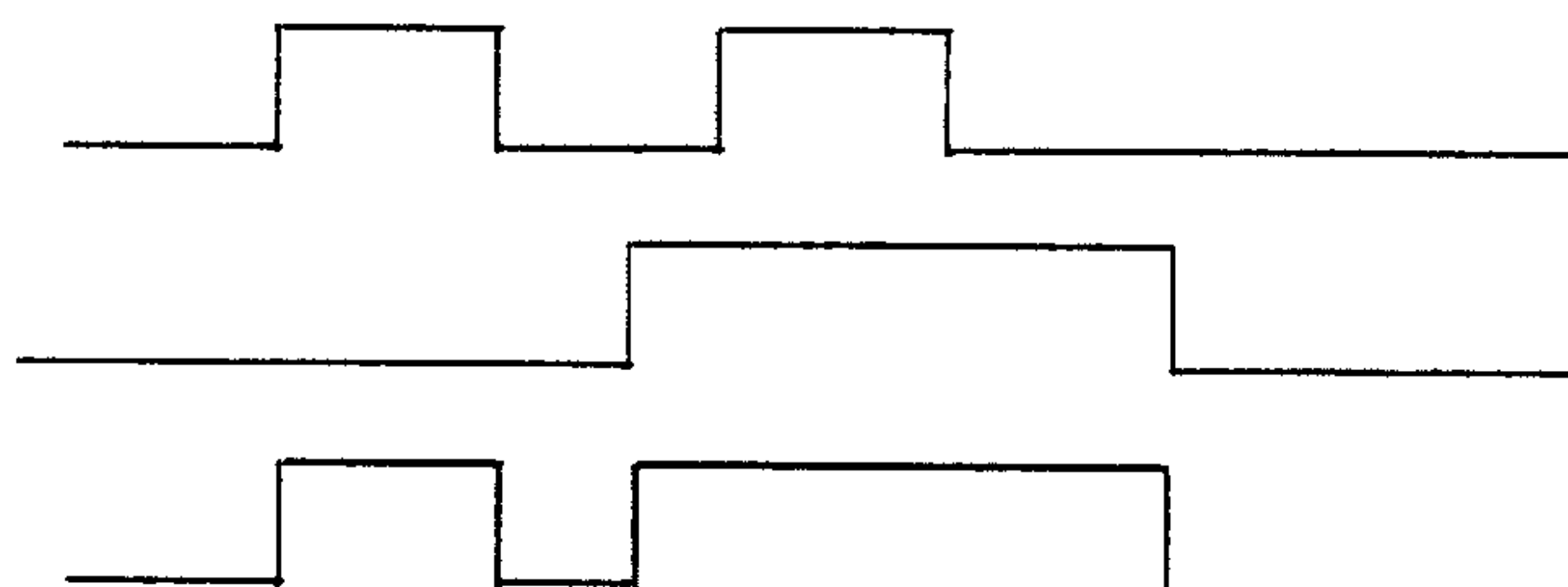


١٦. بوابة OR بثلاث مداخل (الجدول - شكل فن - المعادلة):



A	B	C	OR
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

١٧. المخطط الزمني:



الدخل A

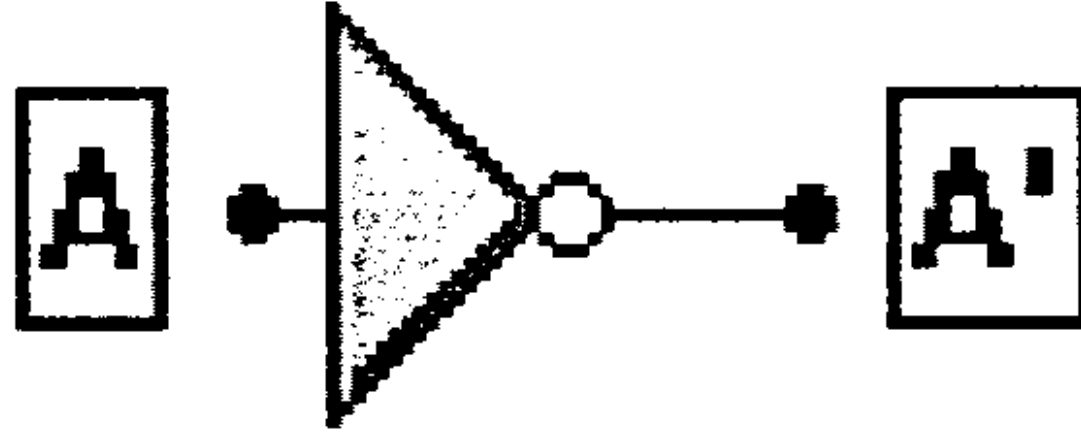
الدخل B

الخرج Y

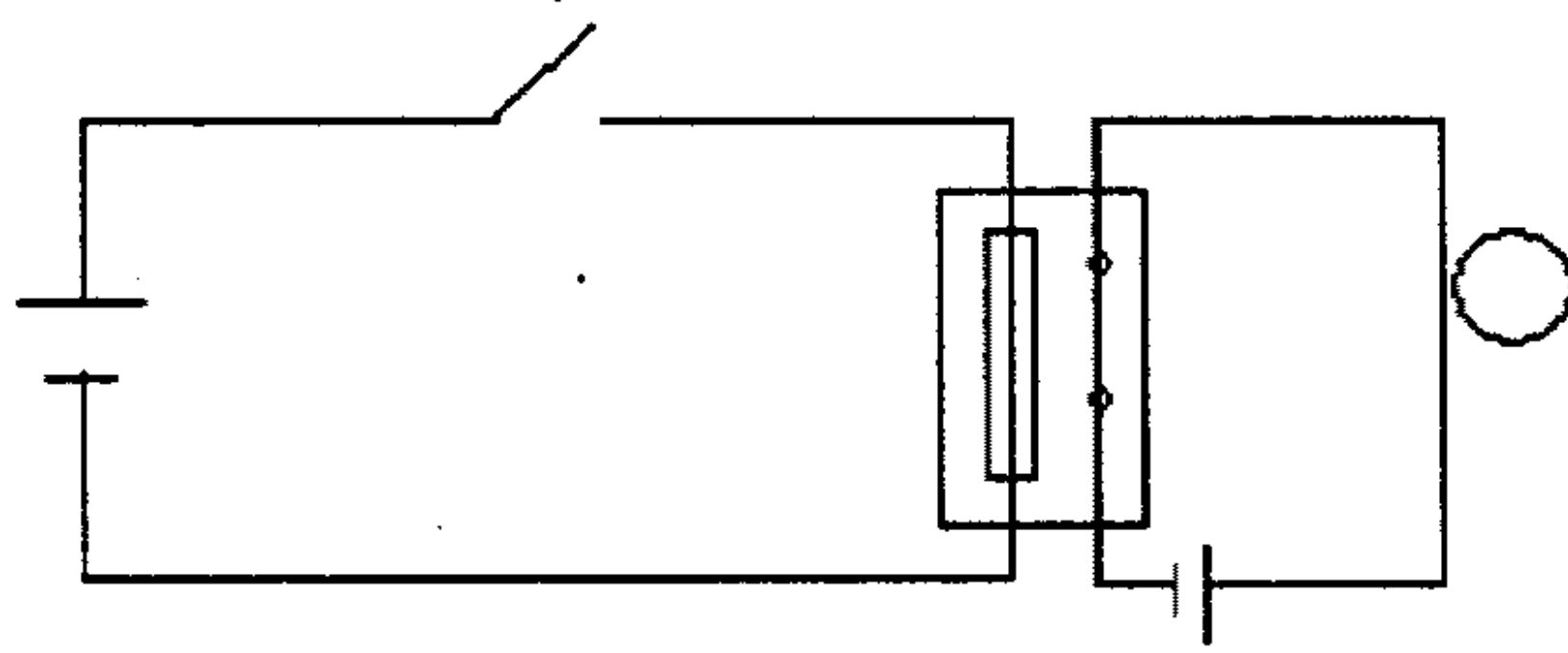
البوابة NOT

١. البوابة NOT:

- إشارة الخرج عكس إشارة الدخل تماماً.
- لها مدخل واحد ومخرج واحد

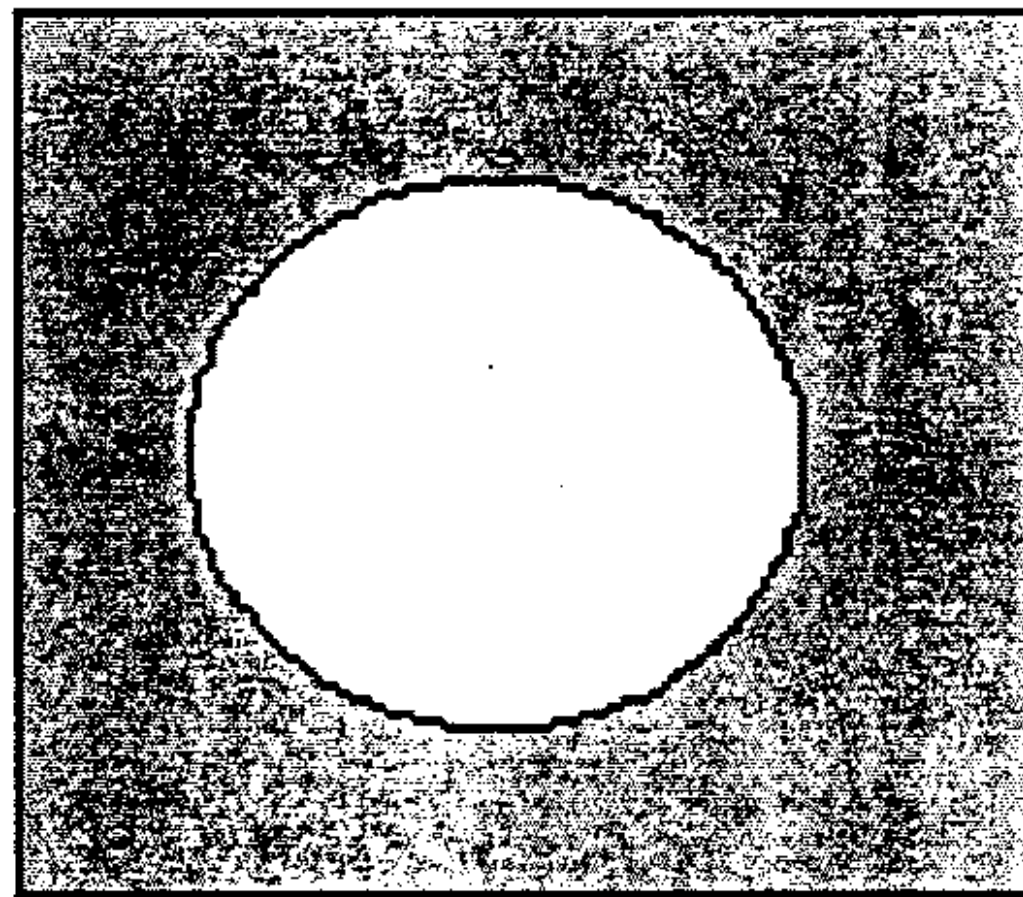


٢. التمثيل الكهربى للبوابة NOT: ريلاي إذا مر به تيار كهربى (1 منطقي) جذب الحافظة وفتح دائرة المصباح الكهربى فانطفأ المصباح (0 منطقي).



٣. التمثيل الرياضى: $C = \bar{A}$

٤. التمثيل بأشكال فن:

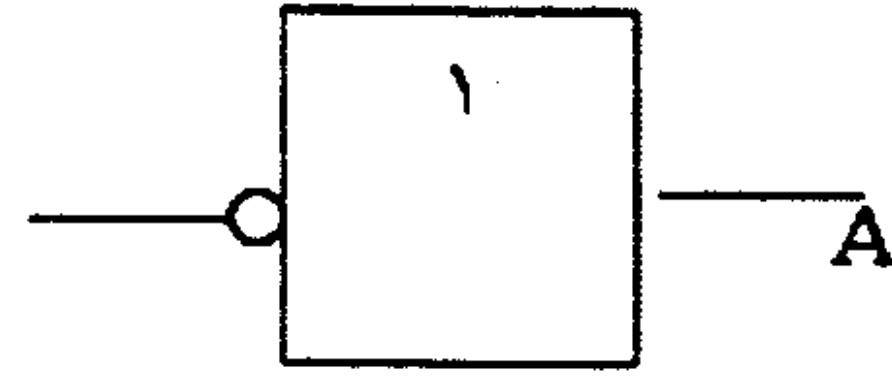


٥. التمثيل بجدول الحقيقة: يتكون الجدول من عمود دخل واحد وعمود خرج واحد $C = \bar{A}$ ، ولذلك ليس للدخل إلا احتمالين هما 0, 1 والخرج معكوسهما.

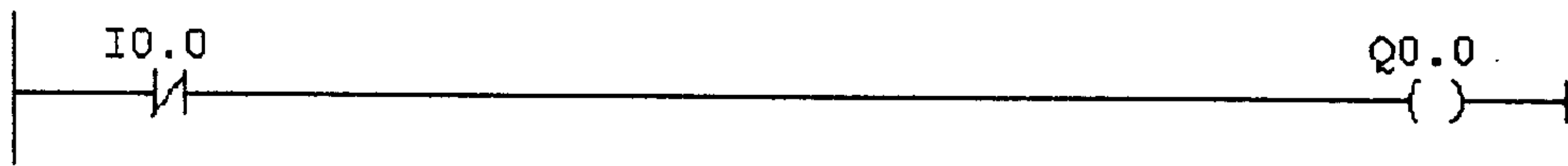
A	F
0	1
1	0

٦. الرمز المنطقي:

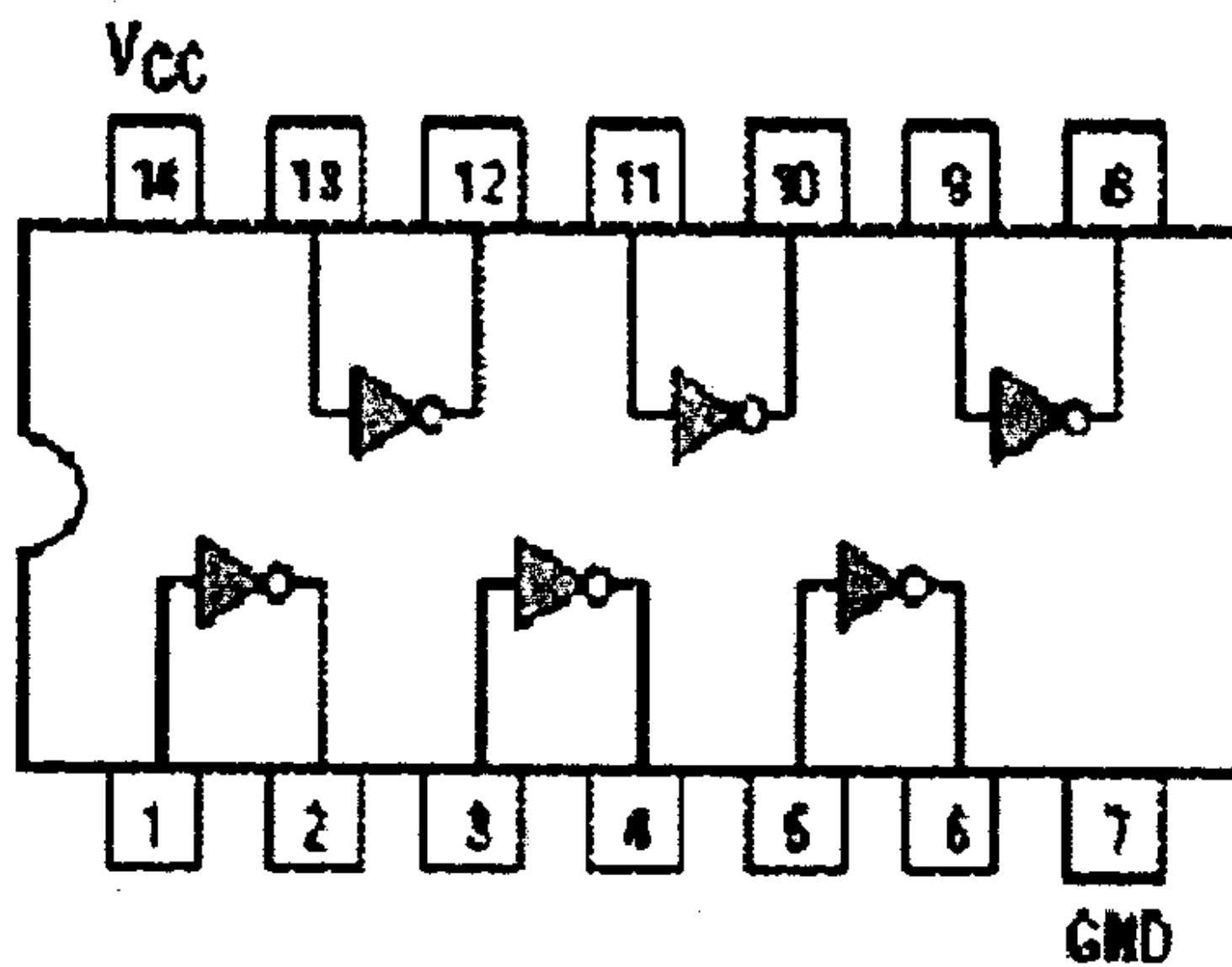
الدخل A  Y



٧. التمثيل في المحطات السليمة PLC:



٨. الشكل التجاري للمتكاملات: 4069, 7404, 7406, 7405, ...

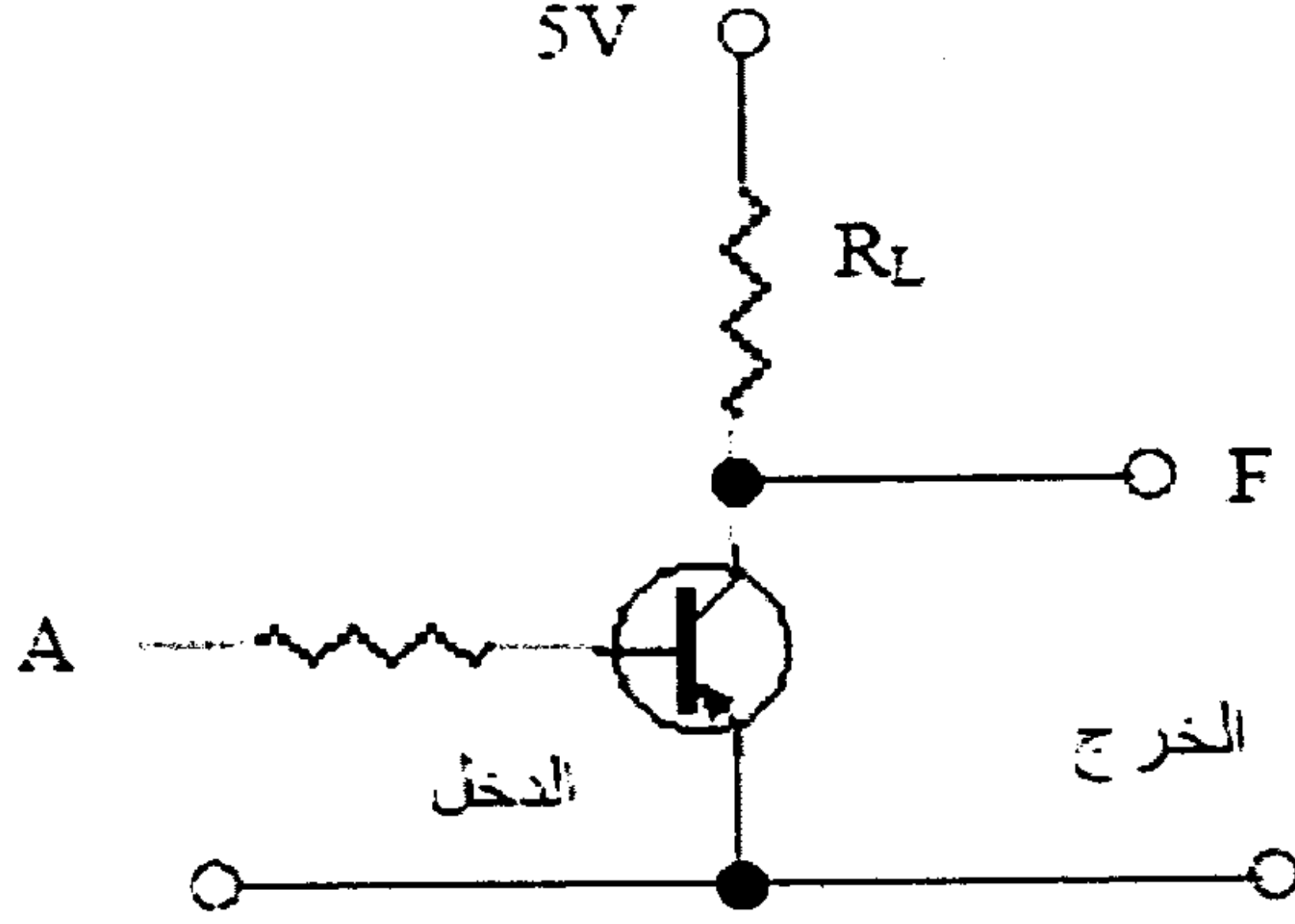


٩. التمثيل الإلكتروني للبوابة:

- عندما يكون جهد A صفر، لن يمر تيار خلال R_B ، أي أن الترانزستور لن يعمل Off، أي أن جهد الخرج V_O نحصل عليه من المعادلة التالية:

$$V_O = V_C - I_C R_C = V_C - 0 \times R_C = V_C$$

وبما أن منطقي $V_O = V_C$ ، أي 1 منطقي في حين جهد الدخل A صفراً.

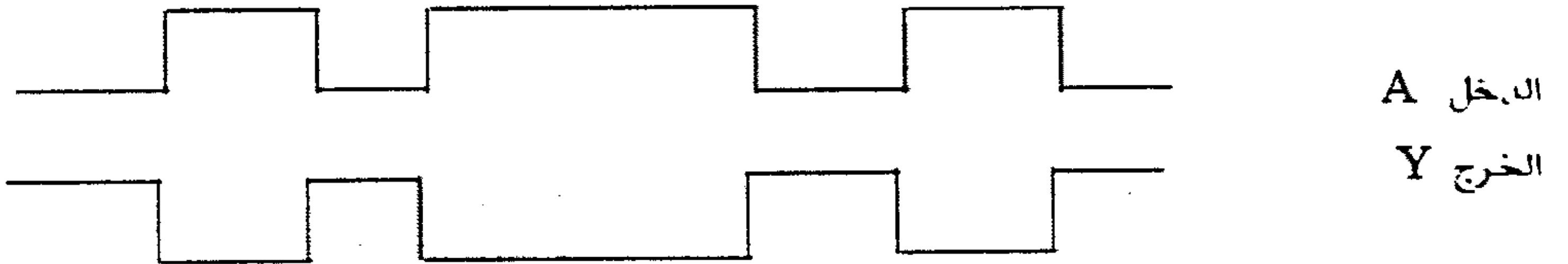


- عندما يكون جهد A واحد منطقي، فإنه يمر تيار كبير في R_C ، وتصبح قيمة V_O صفر:

$$V_O = V_C - I_C R_C = 0$$

أي أن الخرج عكس الدخل دائماً.

١٠. الناتج المؤكد: أنه عكس الدخل.
١١. مفتاح التمرير: ليس لها مفتاح تمرير فالبيانات تمر معكوسة.
١٢. المسمى بالعربية: نفي.
١٣. المعنى بالعربية: قلب المدخلات أو عكسها.
١٤. التمثيل الديني: الجنة حفت بالمكاره والنار حفت بالشهوات.
١٥. التمثيل الكاريكاتيري: طفل يحبو إذا وقع وقف.
١٦. المخطط الزمني:



البوابة NAND

١. البوابة NAND:

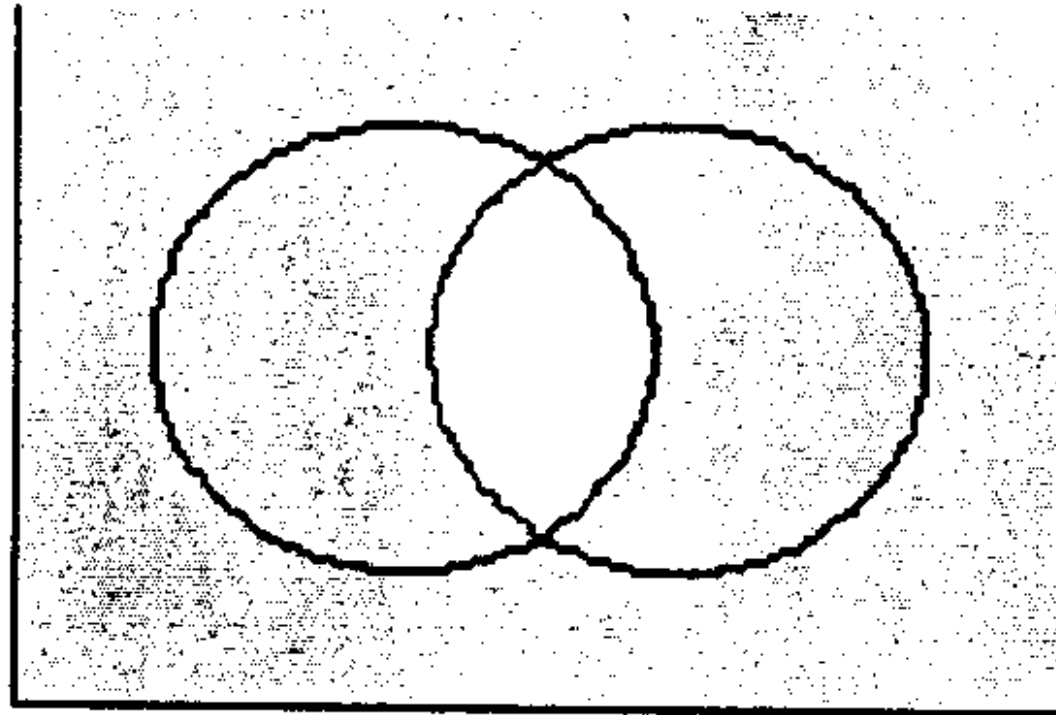
- بوابة مركبة تتكون من AND متبوعة بـ NOT.
- تخرج إشارة رقمية 1 إذا كان أحد دخلها أو كليهما بـ 0.

٢. التمثيل الرياضي: $NAND = \overline{A \cdot B}$

٣. التمثيل بجدول الحقيقة: بعكس خرج AND نحصل على خرج NAND.

A	B	AND	NAND
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

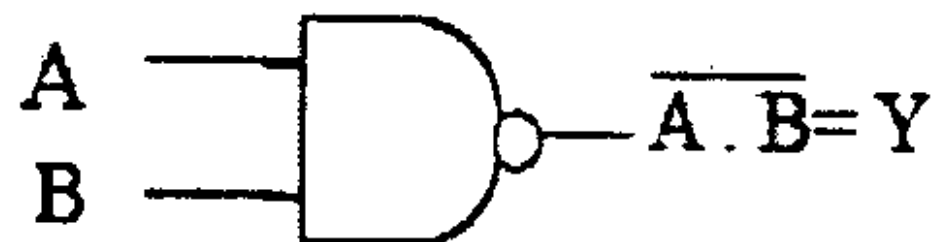
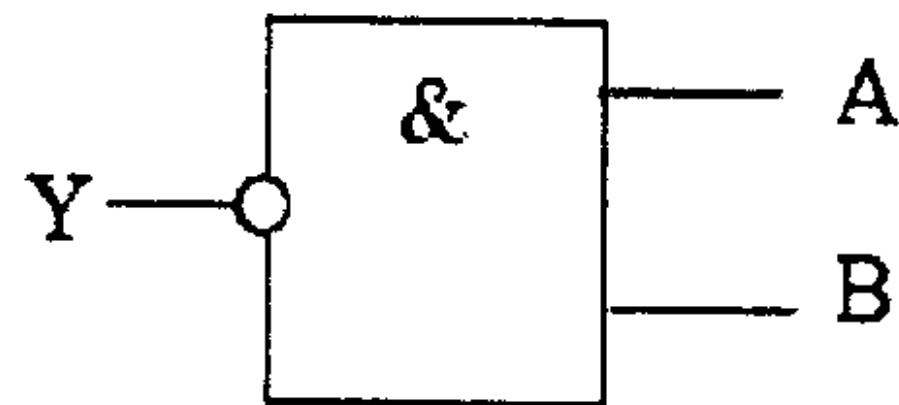
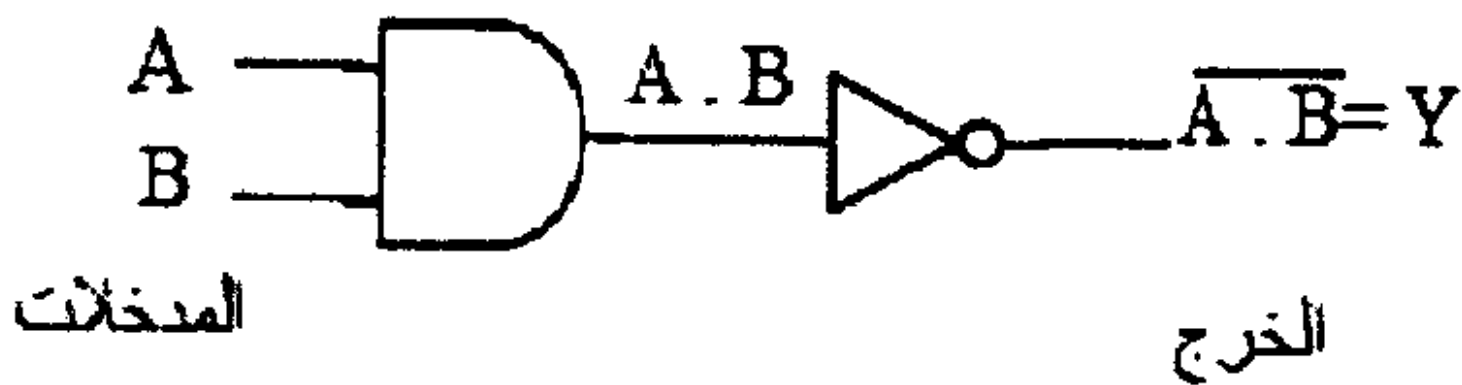
٤. التمثيل بفن: يظل فيه ثلاثة مناطق ليس فيها منطقة التقاطع الخاصة بـ AND.



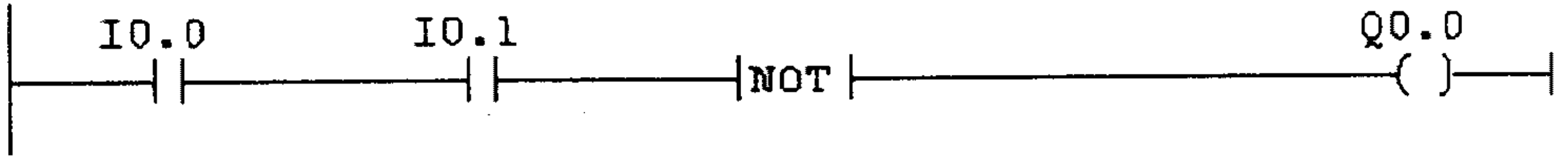
٥. المسمى بالعربية: نفي و.

٦. المعنى بالعربية: أيهما أو كليهما (الدخل) بـ 0 ← 1 الخرج.

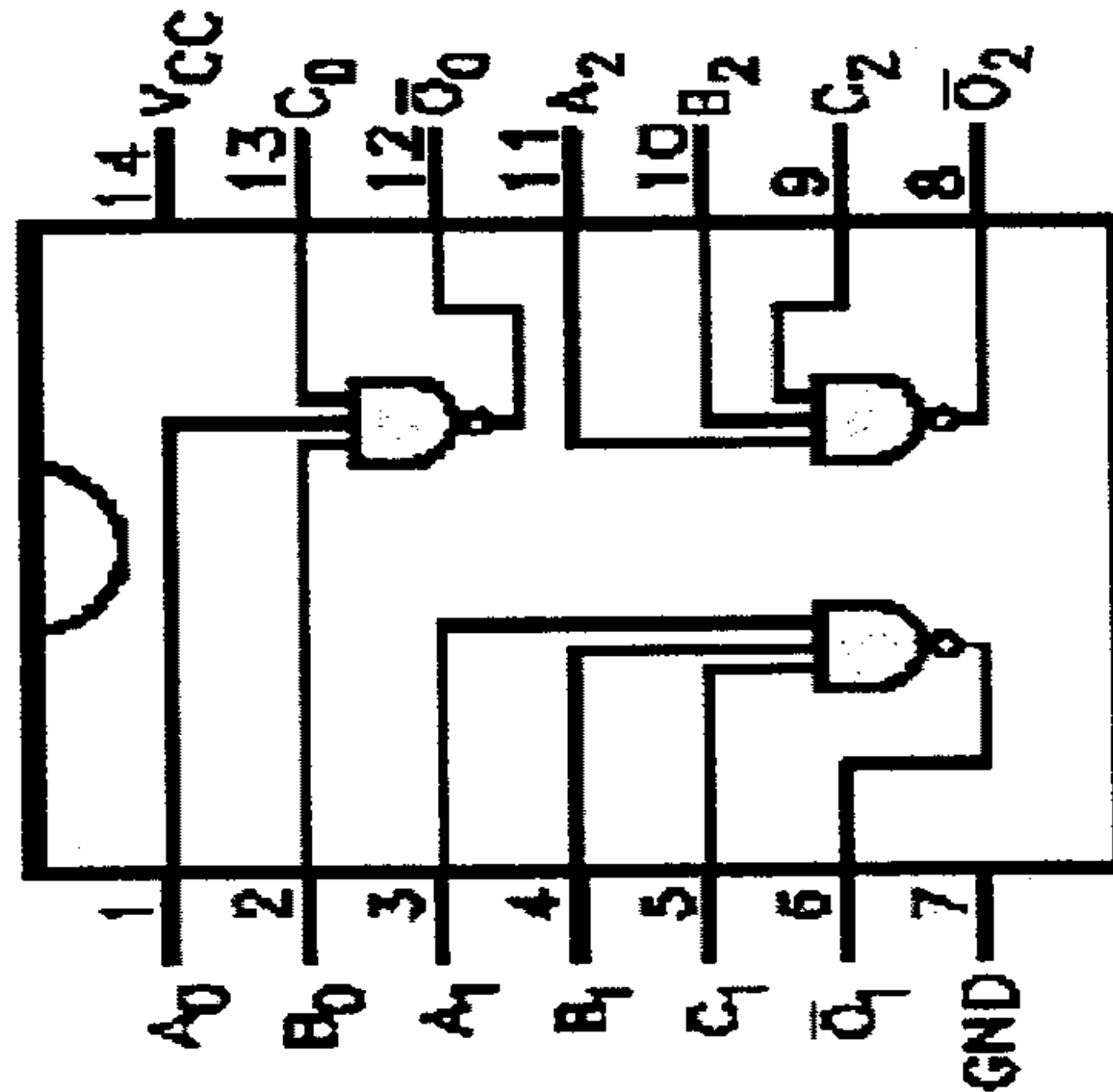
٧. الرمز المنطقي للبوابة:



٨. رمز NAND في المخططات السلمية PLC:



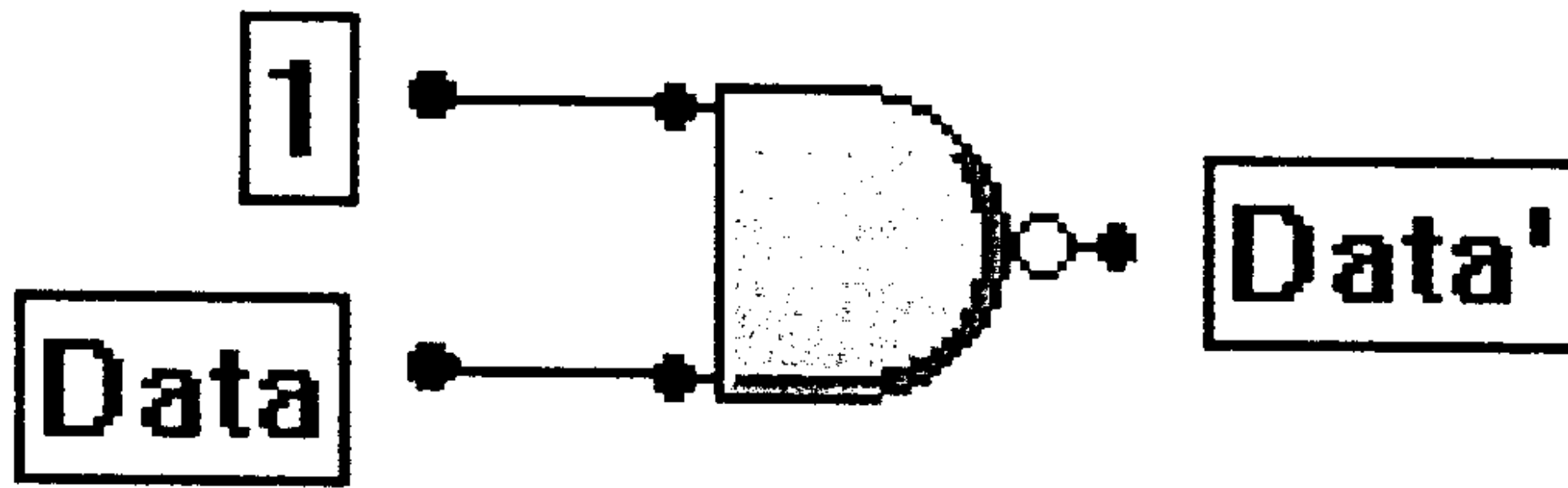
٩. الشكل التجاري: ٣ بوابات ب ٣ مداخل.



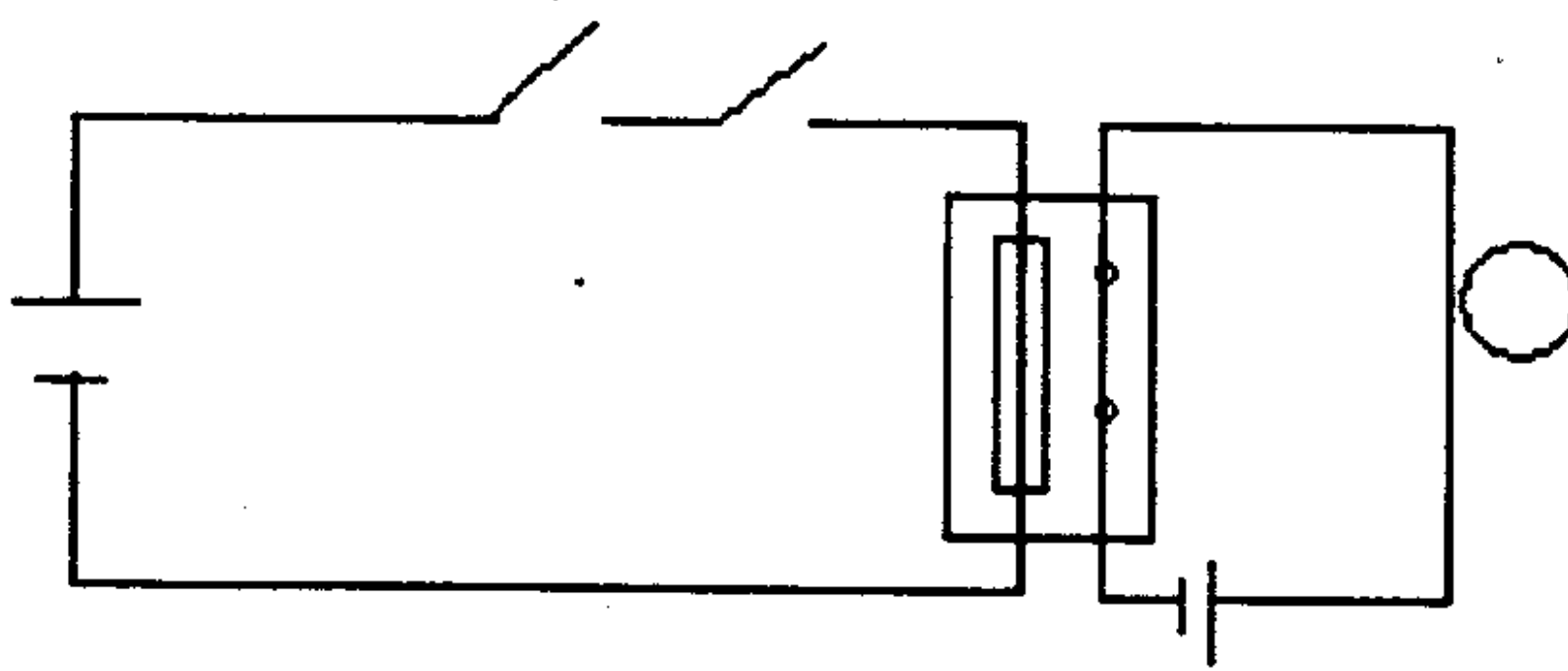
١٠. الناتج المؤكد: هو 1 بشرط أن يكون أحد الدخيلين (0) صفراً أو كليهما بـ ٠ (0).

A	X B	NAND	
0	0	1	
0	1	1	
1	0	1	
1	1	0	\overline{X}

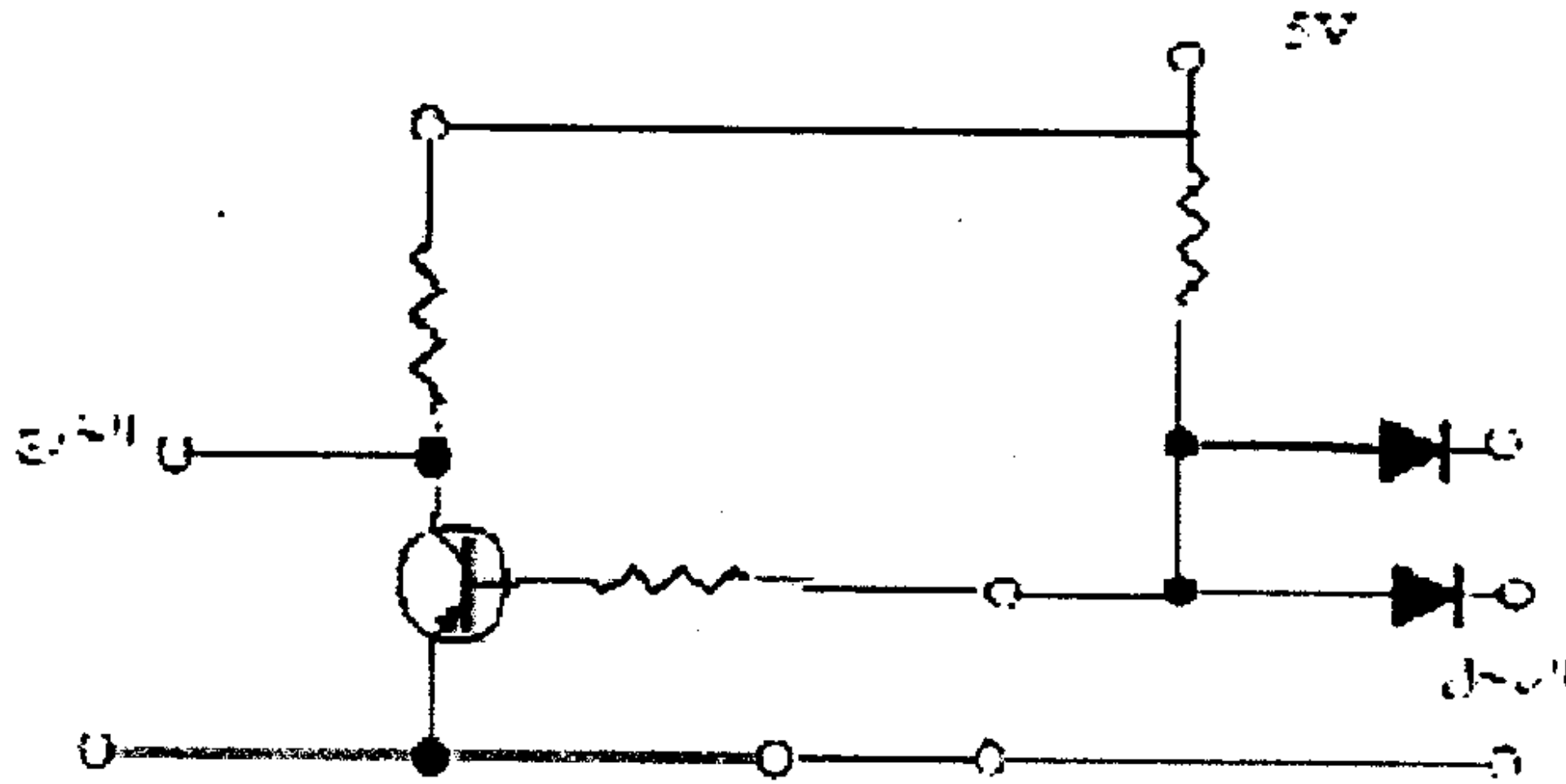
١١. مفتاح التمرير:



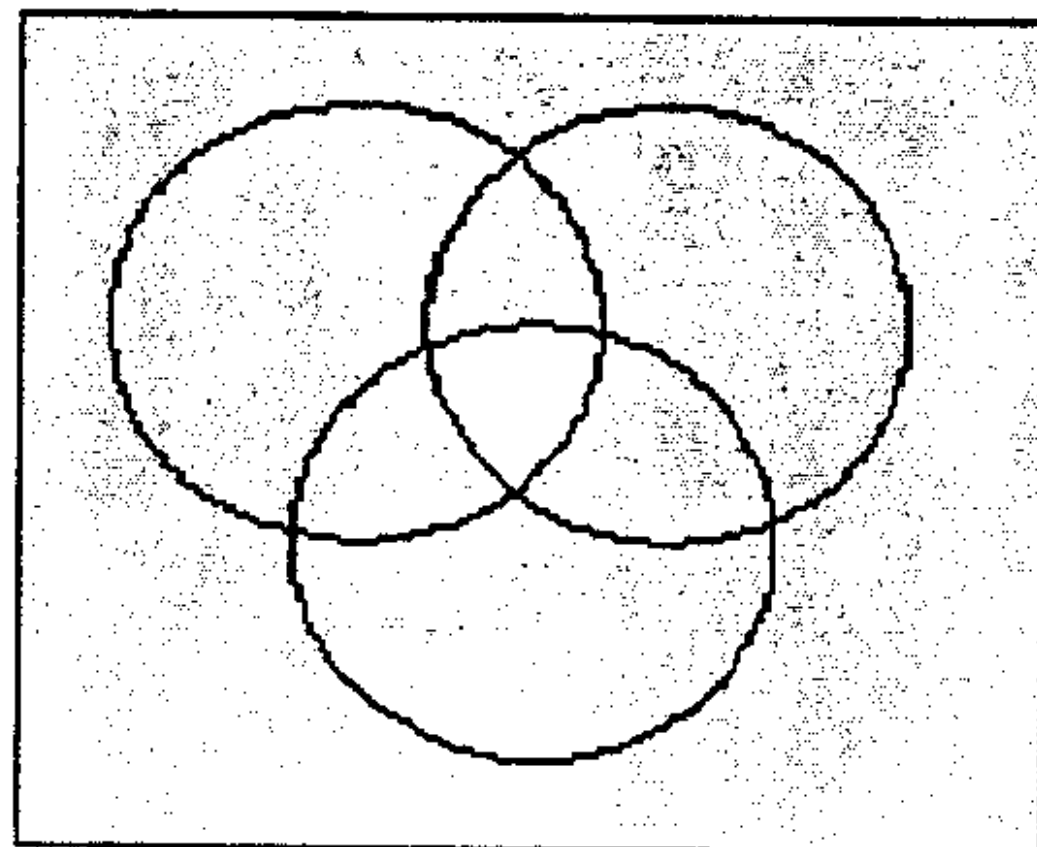
١٢. التمثيل الكهربى: خرج الدائرة الكهربائية ريلاي متصل بلمبة.

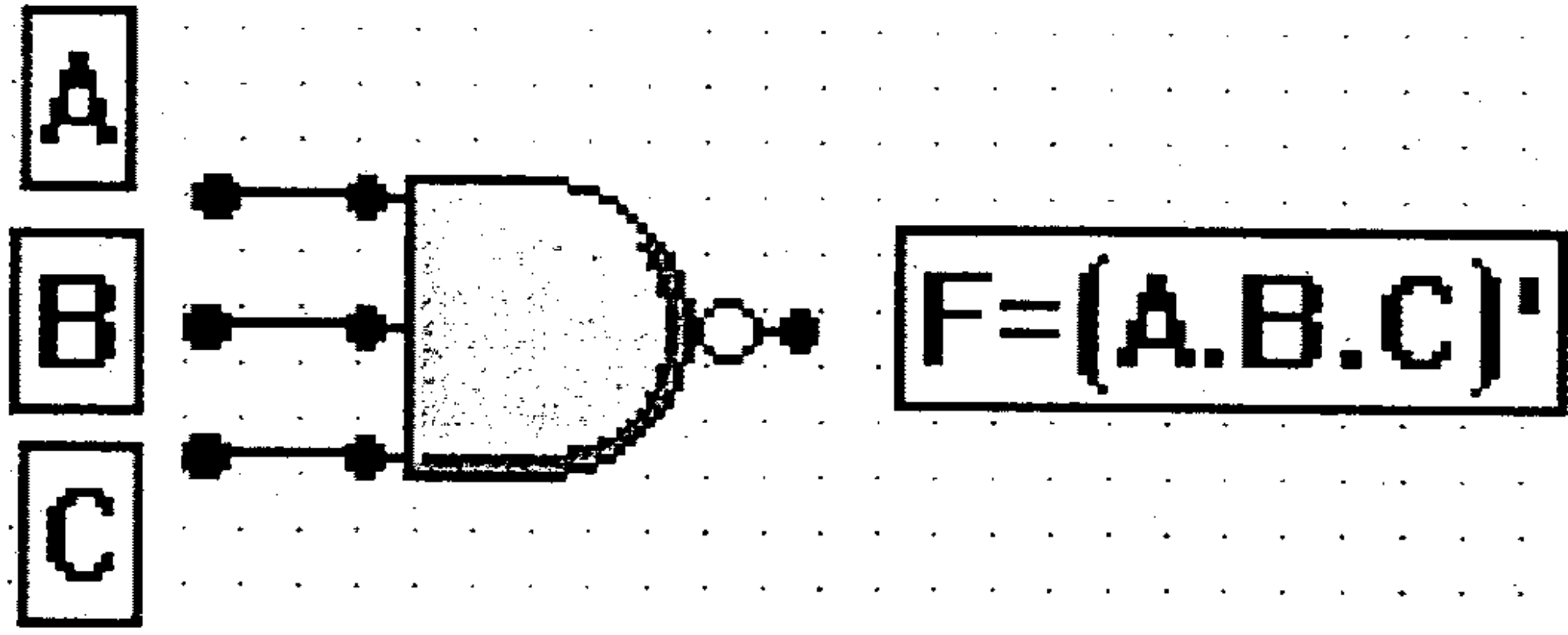


١٣. التركيب الإلكتروني: خرج دائرة AND يكون دخل بوابة NOT. وصل التركيب الإلكتروني لهما.

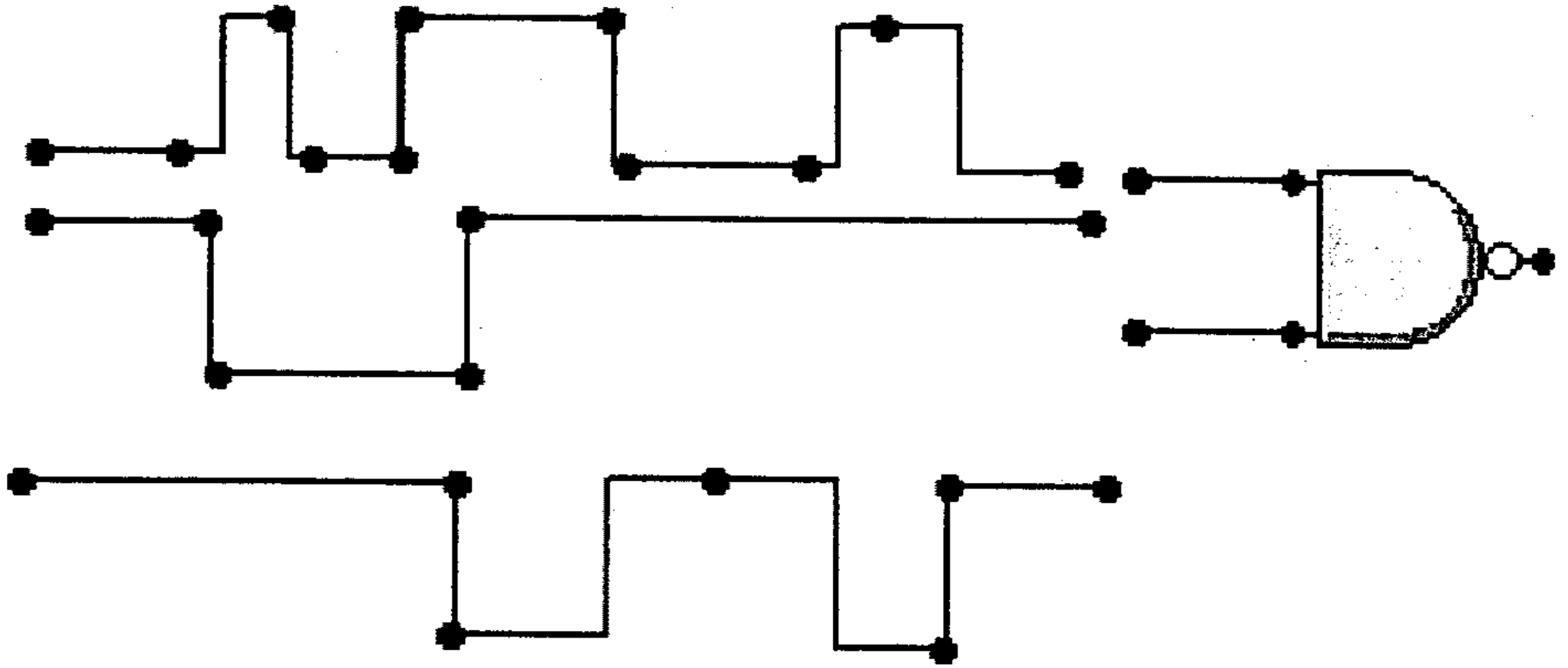


١٤. NAND بثلاث مداخل:





١٥. المخطط الزمني للبوابة:



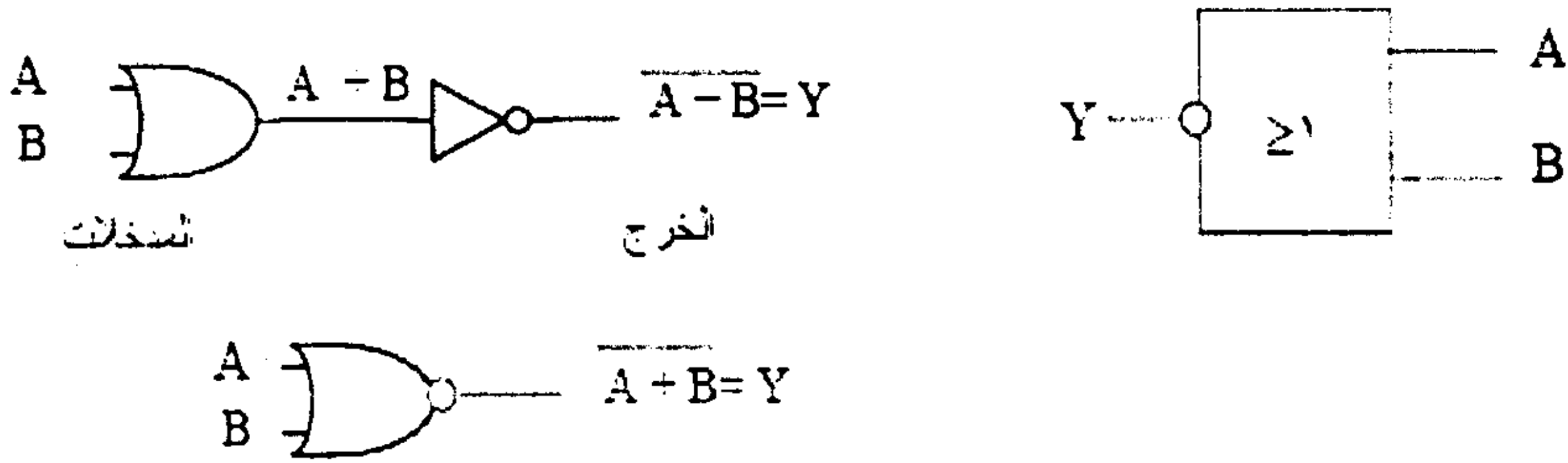
أي من الدخيلين صفر يكون الخرج واحد.

البوابة NOR

١. البوابة NOR: تخرج إشارة رقمية Zero صفر إذا كان أحد دخلها أو كليهما

بـ 1.

٢. رموز البوابة:



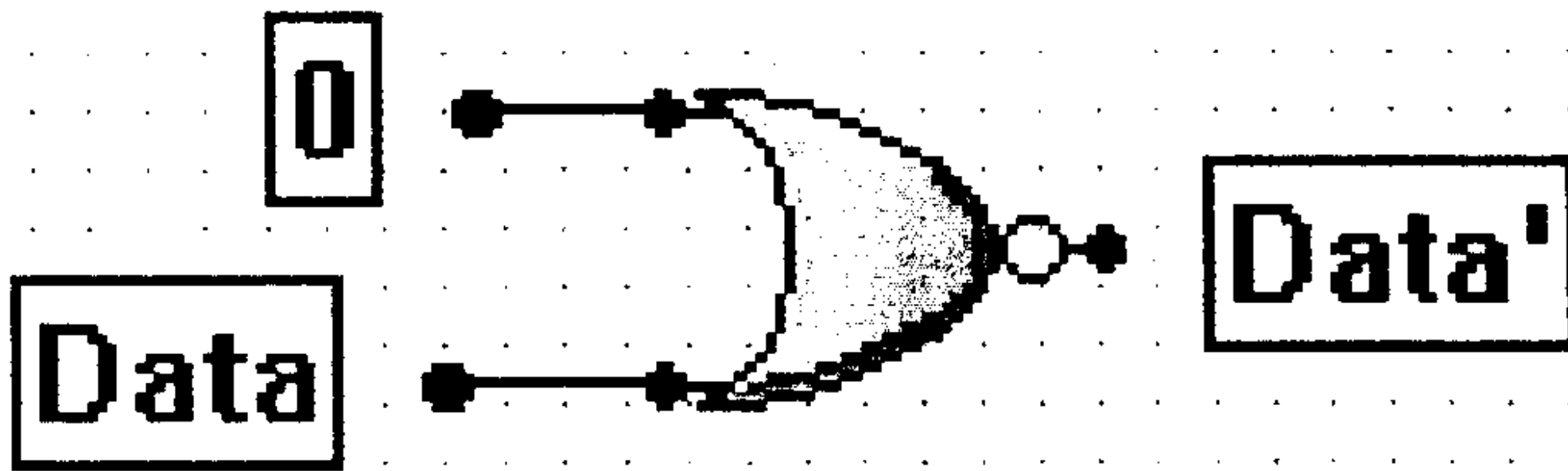
٣. جدول الحقيقة:

A	X B	OR	NOR
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

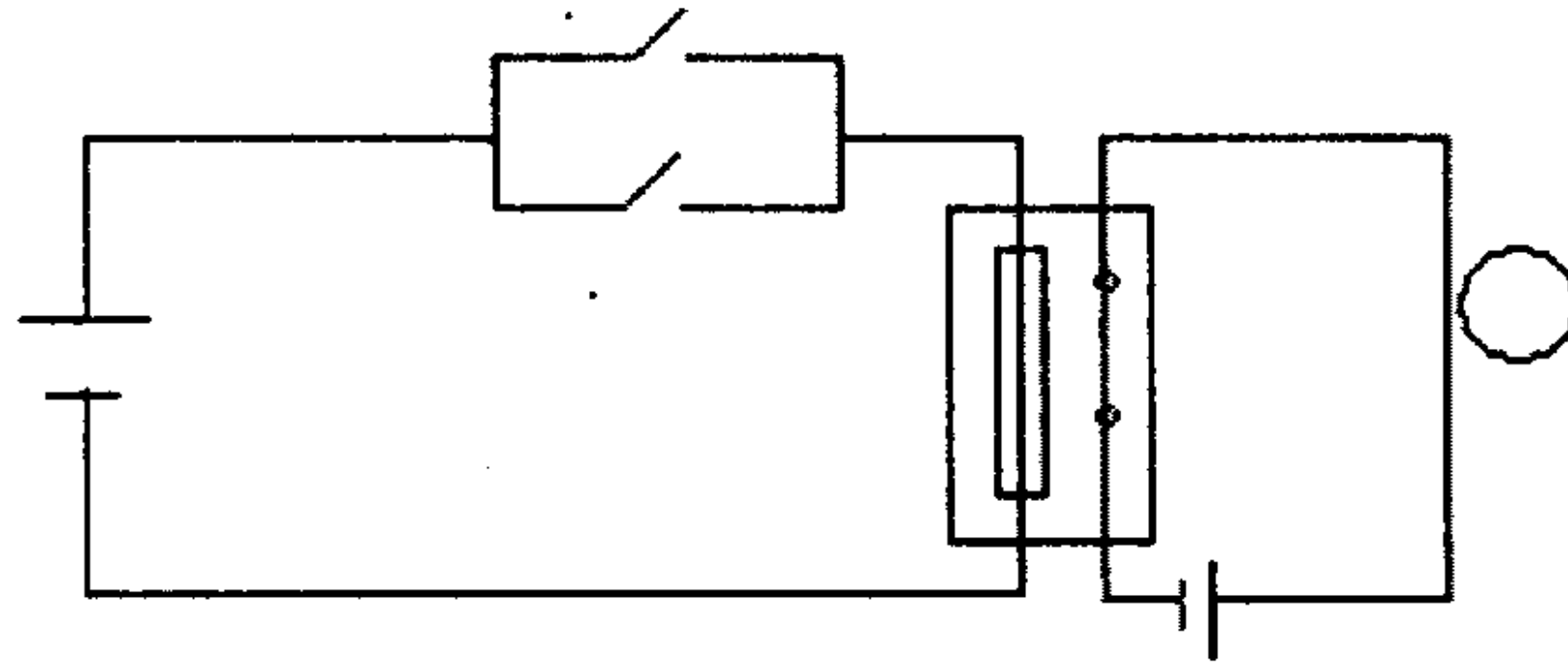
$0 \left[\begin{array}{c} \text{X} \end{array} \right]$

٤. الناتج المؤكد: ٠ إذا كان أحد دخلها بـ ١. أي (الخرج) $1 \rightarrow 0$ الدخل.

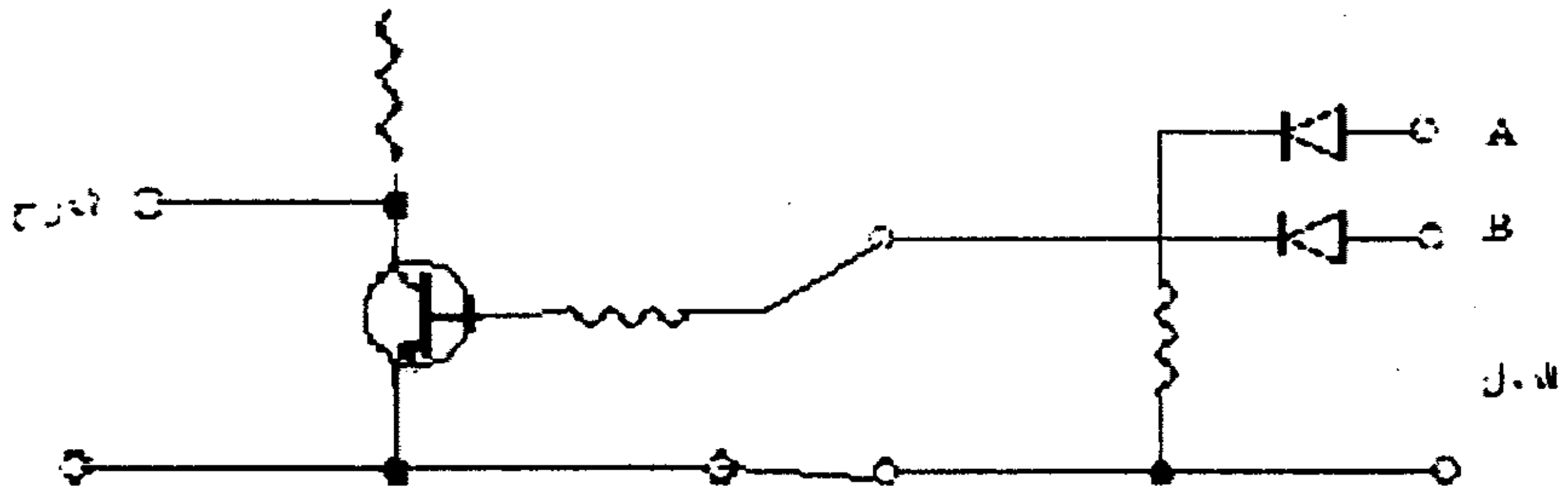
٥. مفتاح التمرير: إذا كان $A = 0$ ، $B = X$ ، فإن الخرج سيكون \bar{X} . أي أن $0 \rightarrow \bar{X}$.



٦. التمثيل الكهربى: إذا مر تيار في الملف نتيجة توصيل A أو B أو كليهما، انطفأت اللمبة.



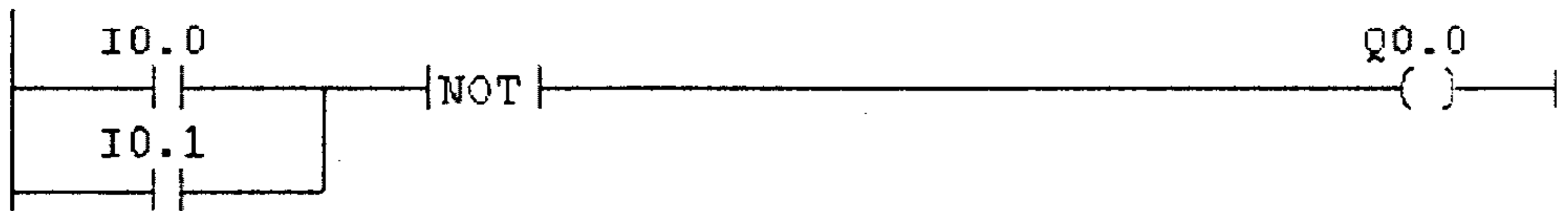
٧. التمثيل الالكتروني: وصل دائرة OR بدائرة NOT.



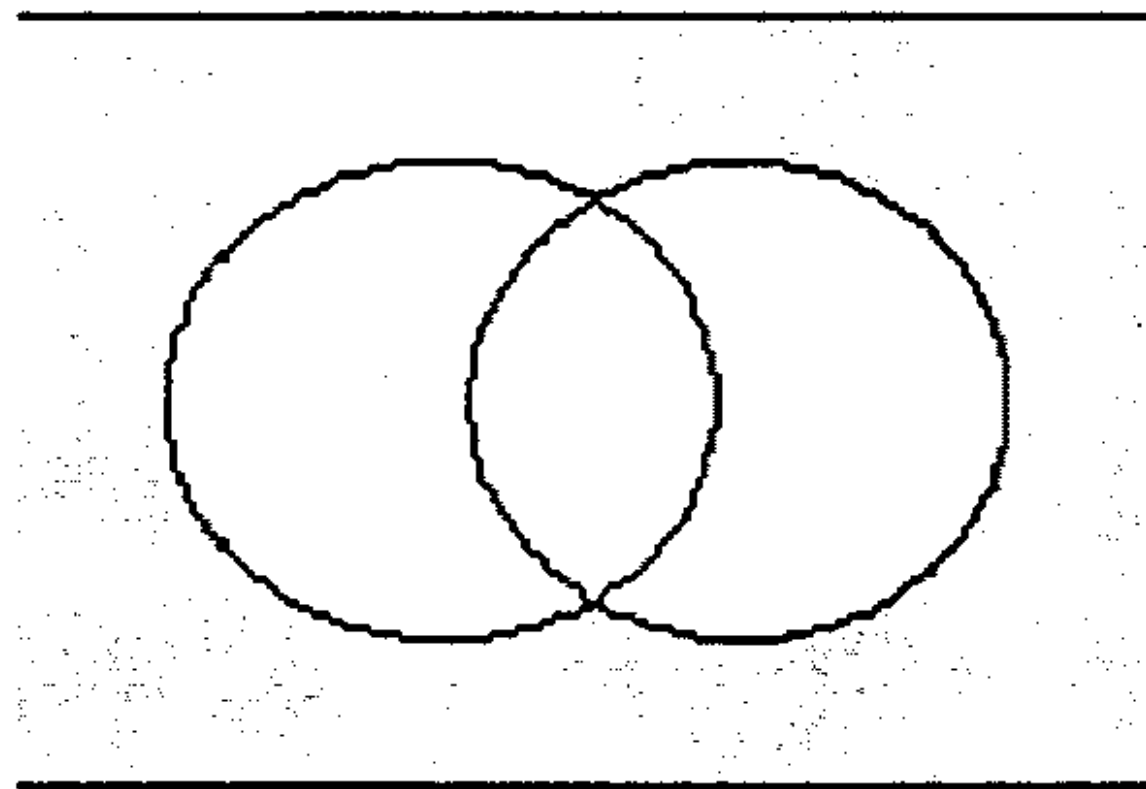
٨. المسمى بالعربية: نفي أو.

٩. المعنى بالعربية: أي من الداخلين أو كليهما بـ 1 ينتج 0.

١٠. الرمز في PLC:

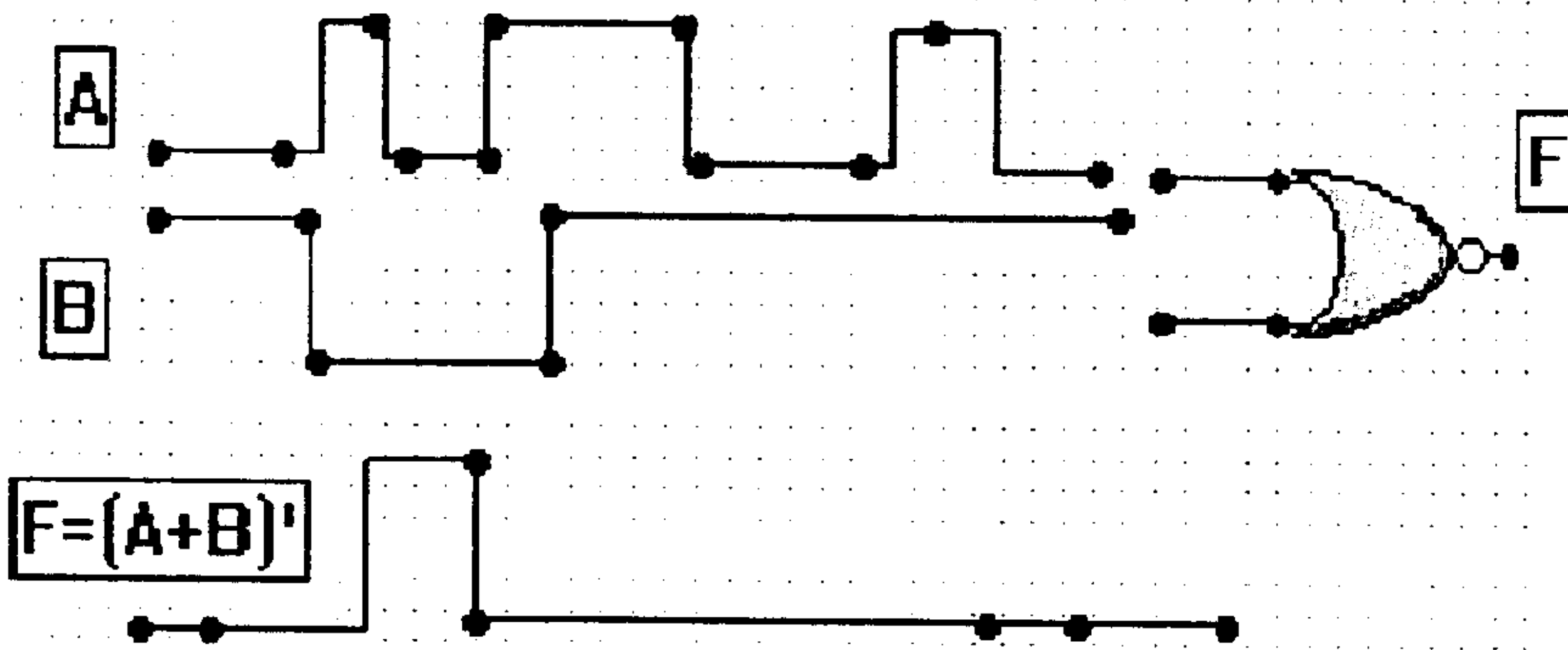


١١. التمثيل بأشكال فن:



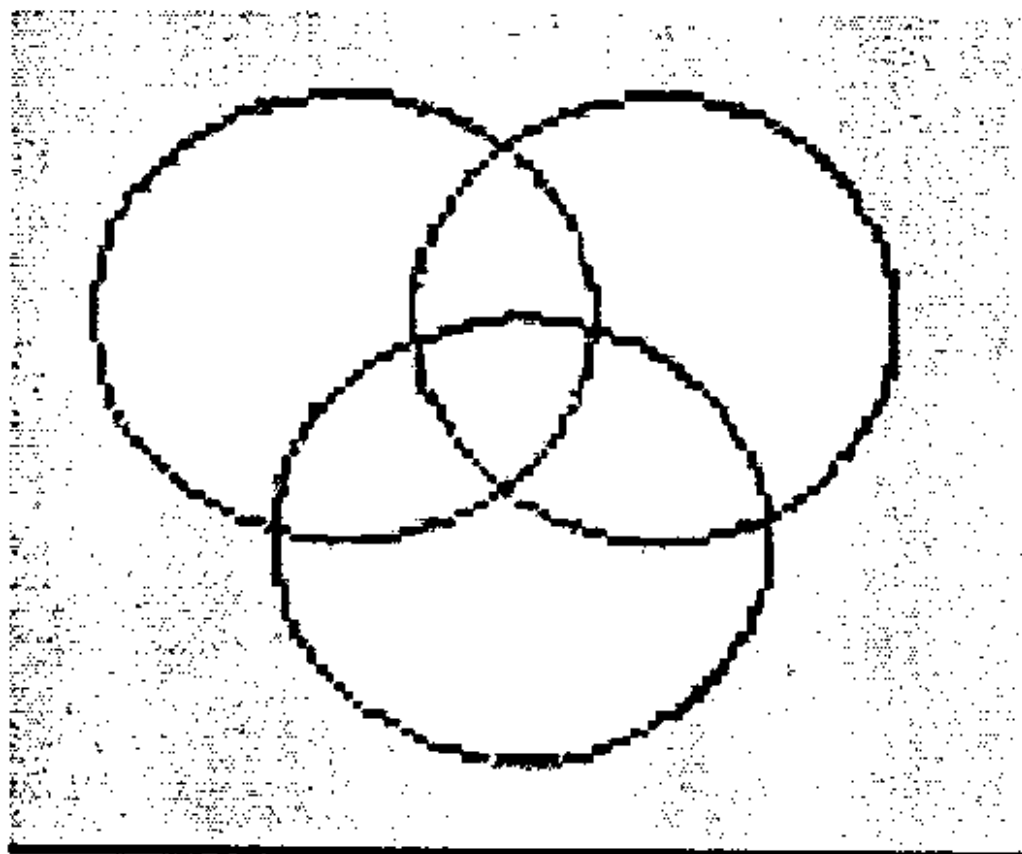
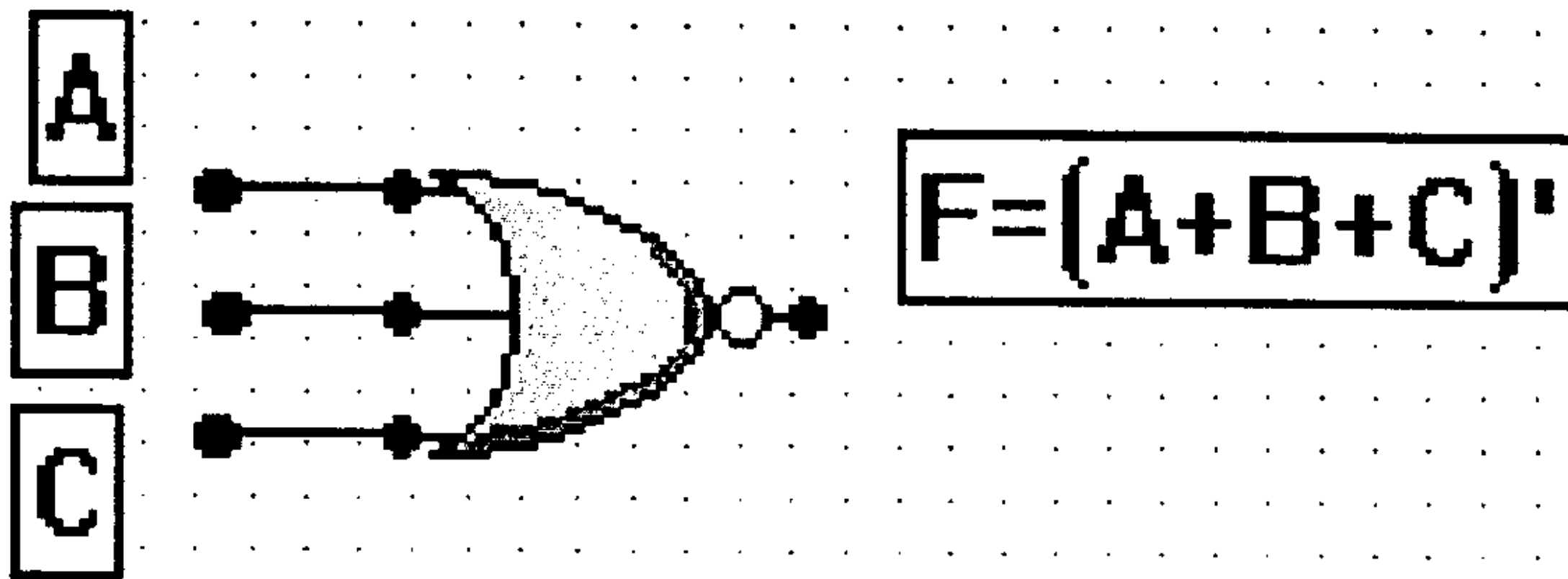
١٢. التمثيل الرياضي: $A + B$

المخطط الزمني



١٣. الشكل التجاري: ٤ بوابات بمدخلين 7428.

١٤. NOR بثلاث مداخل:



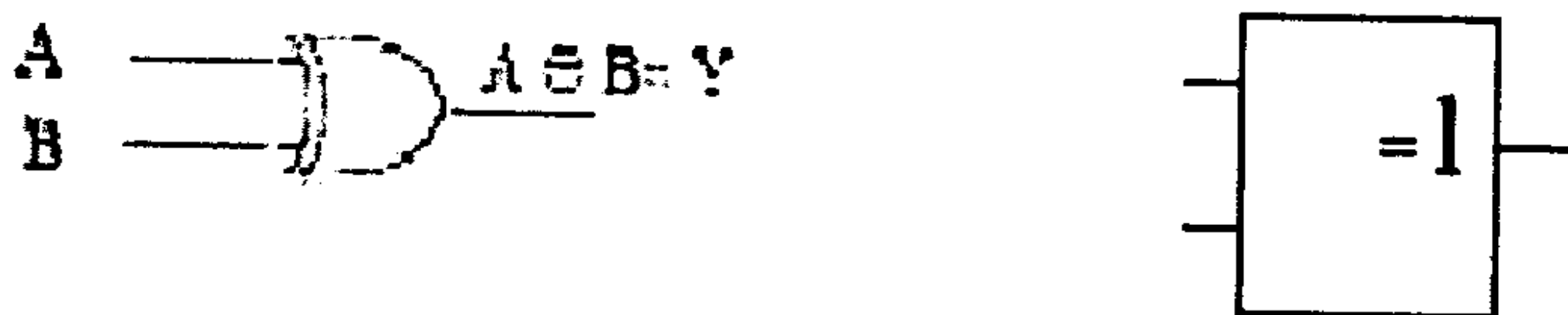
البوابة XOR

١. الوظيفة: المسمى بالعربية ومعناها.

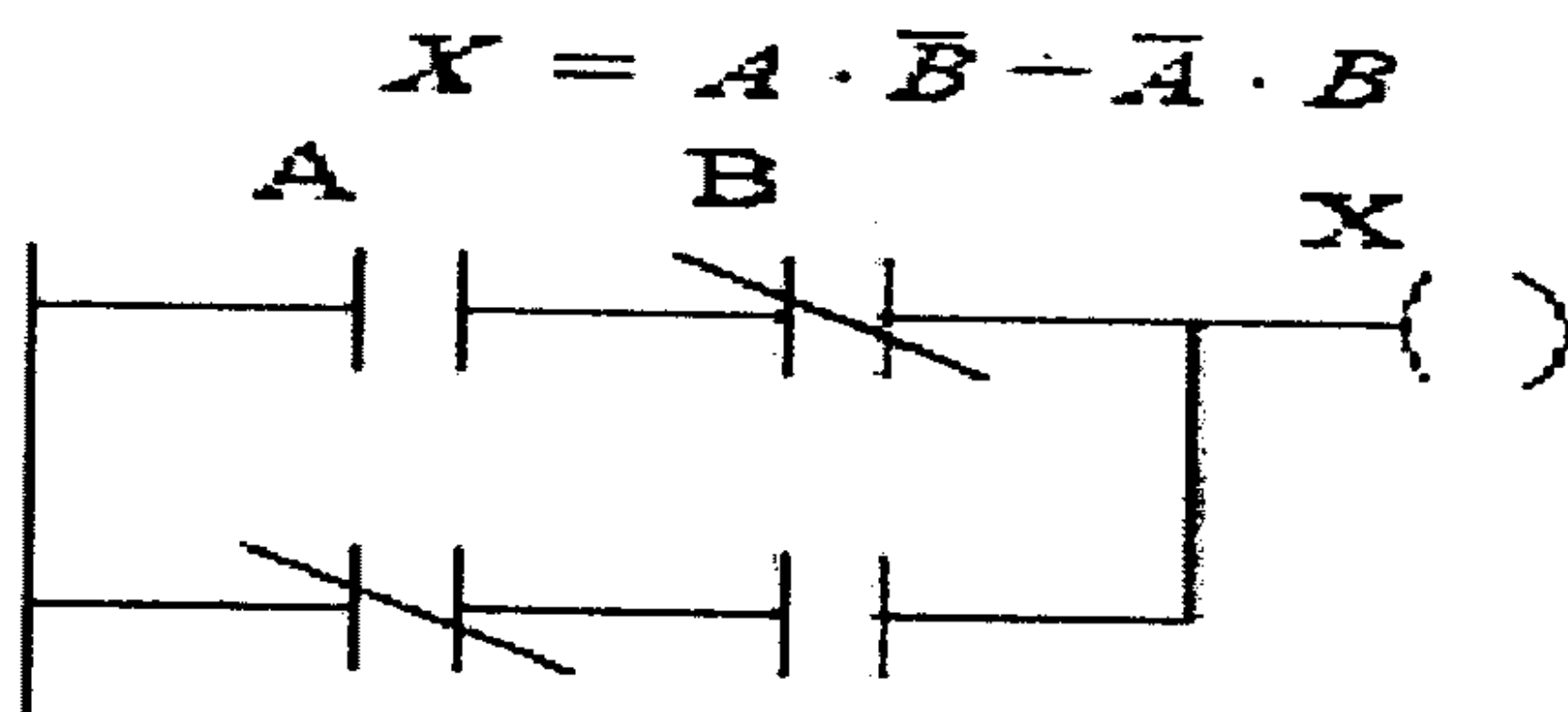
• تخرج 1 إذا كان الدخل فردي الأحاد (وحداد الدخل فردي).

• في XOR ذات الدخلين (إذا كان الدخلان متعاكسين).

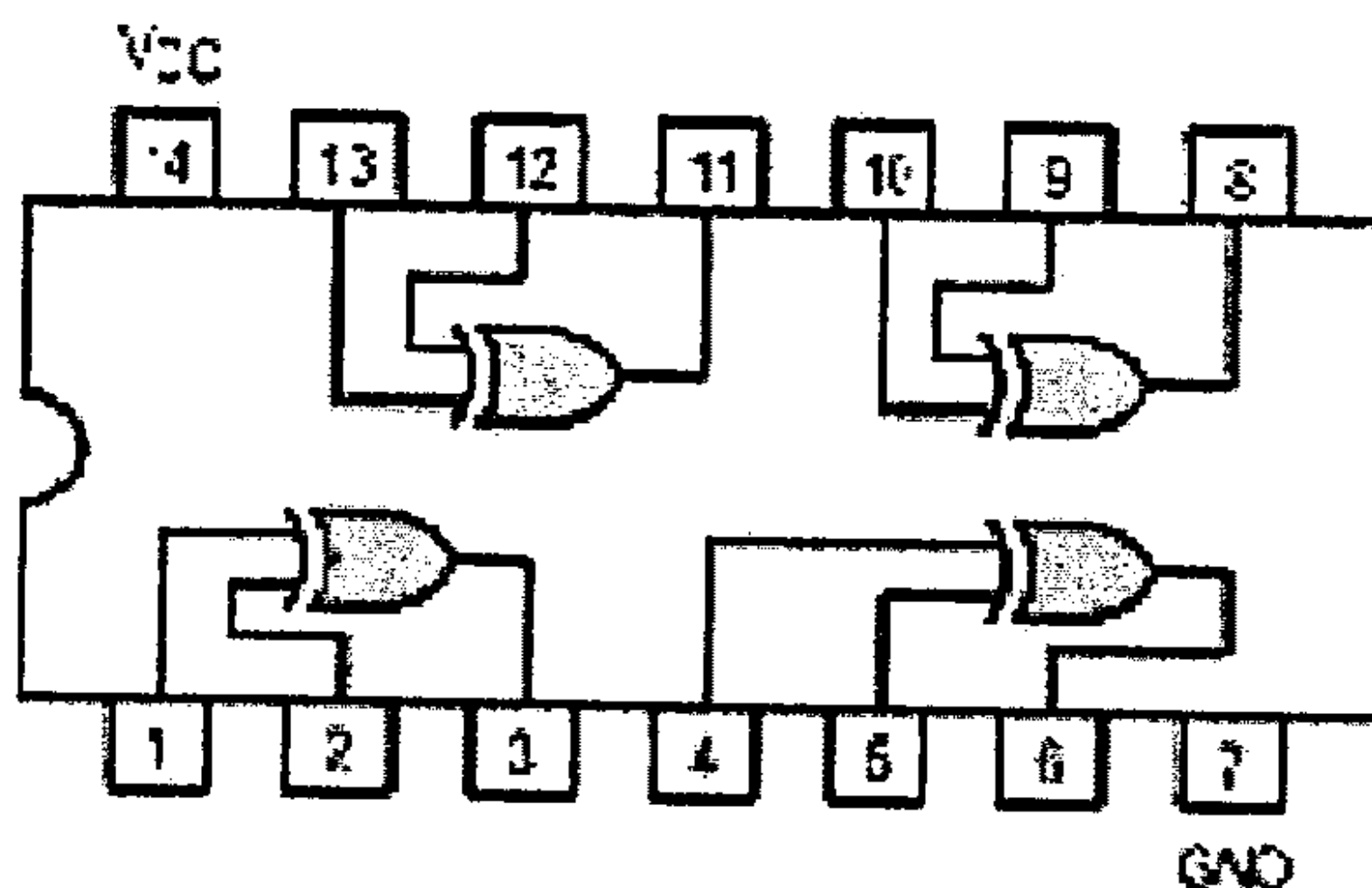
٢. الرمز المنطقي



والرمز PLC:



٣. الشكل التجاري:



٤. جدول الحقيقة لذات الدخلين وذات الثلاث مداخل: تخرج 1 عندما تكون

وحايد الدخل فردية.

	A	B	XOR
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	0

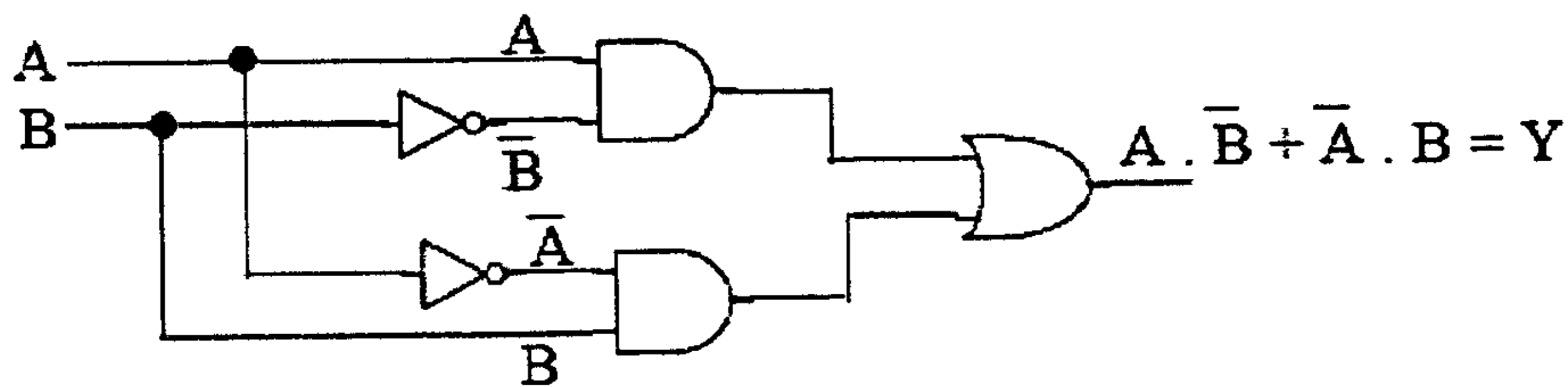
A	B	C	XOR
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1
1	1	1	1

والتمثيل الرياضي:

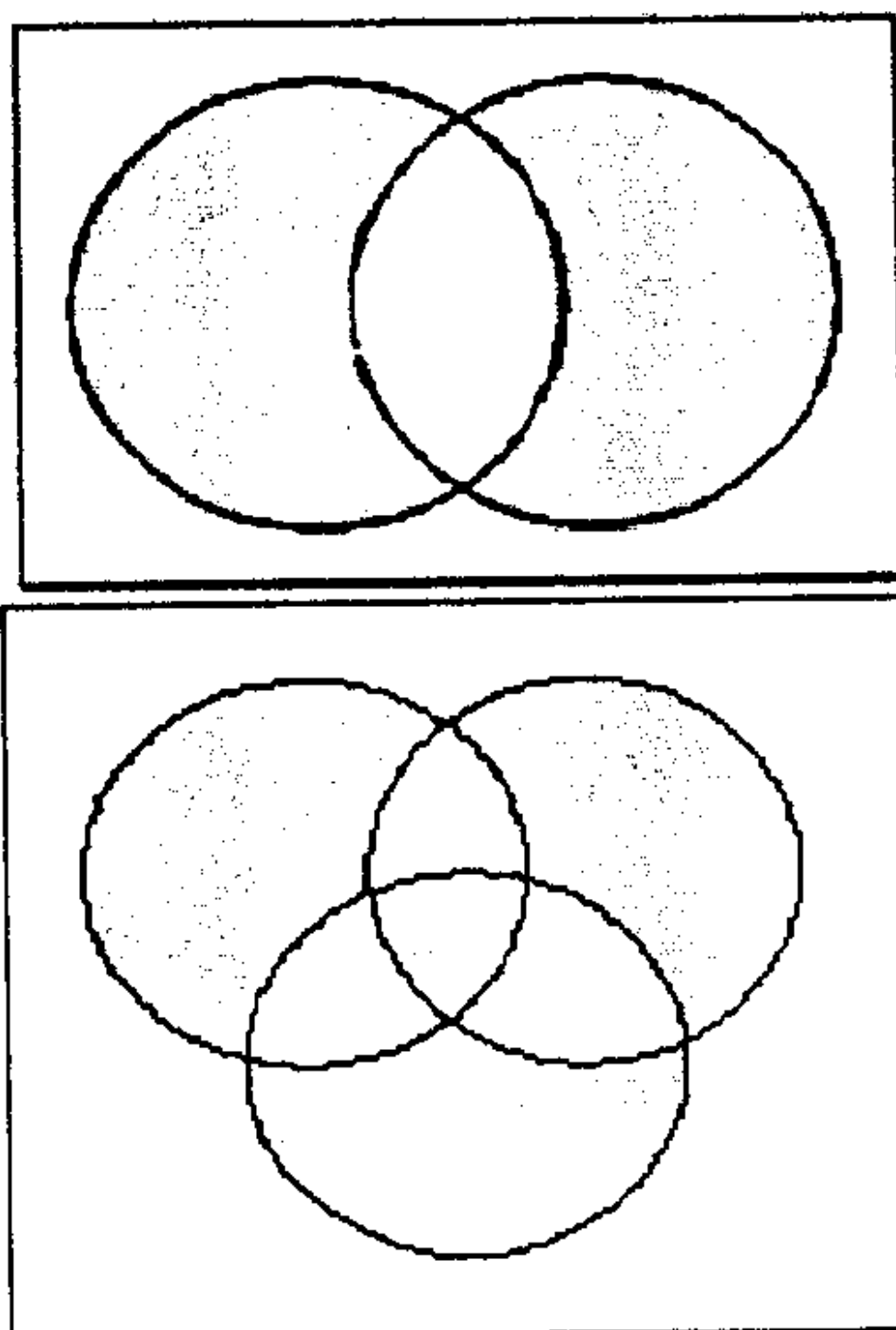
$$F_{XOR} = A \oplus B$$

احتمال 1 + احتمال 2 = $\bar{A}B + A\bar{B}$ يخرج 1 في الاحتمالين 1، 2

٥. التمثيل الإلكتروني:



٦. التمثيل بأشكال فن لمدخلين وثلاث مداخل:



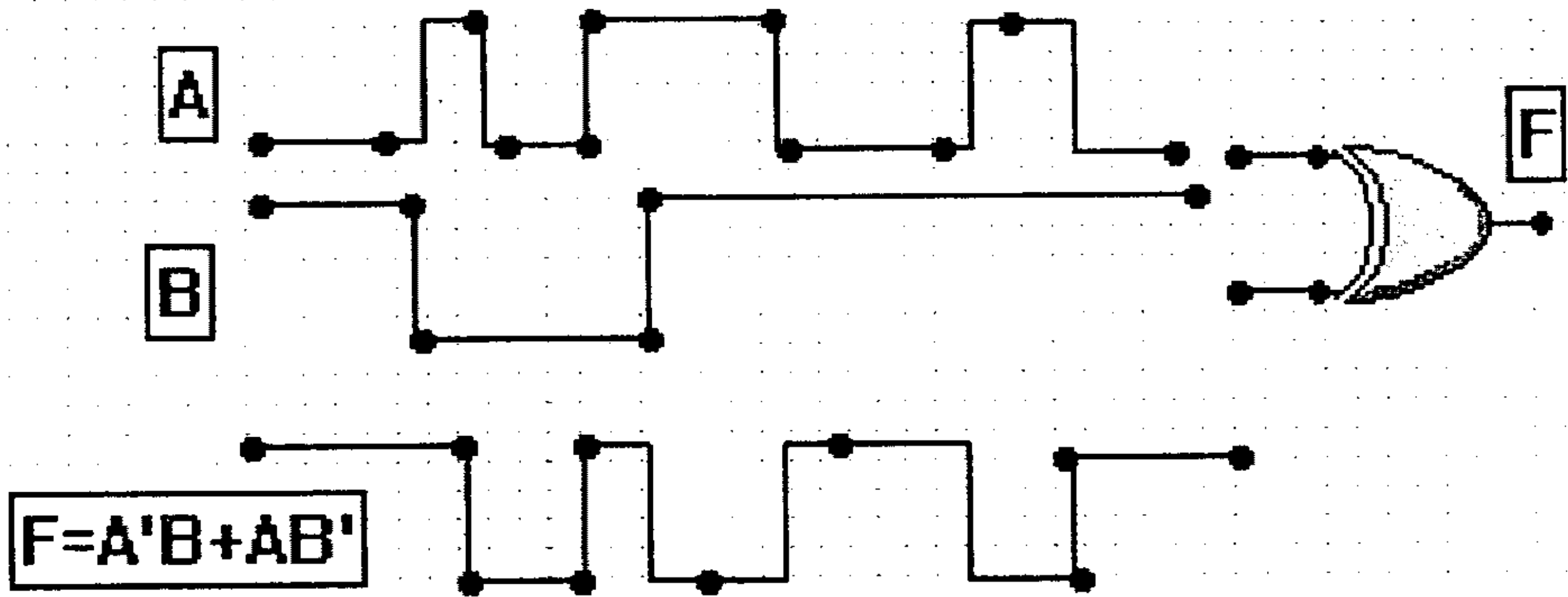
٨. مفتاح التمرير:

فن تصميم الدوائر الرقمية

- إذا كان أحد الدخلين بـ 1 والثاني X فإن الخرج \bar{X} .
- إذا كان أحد الدخلين 0 والثاني X فإن الخرج X .

	A	X B	XOR
0	0	0	0
	0	1	1
1	1	0	1
	1	1	0

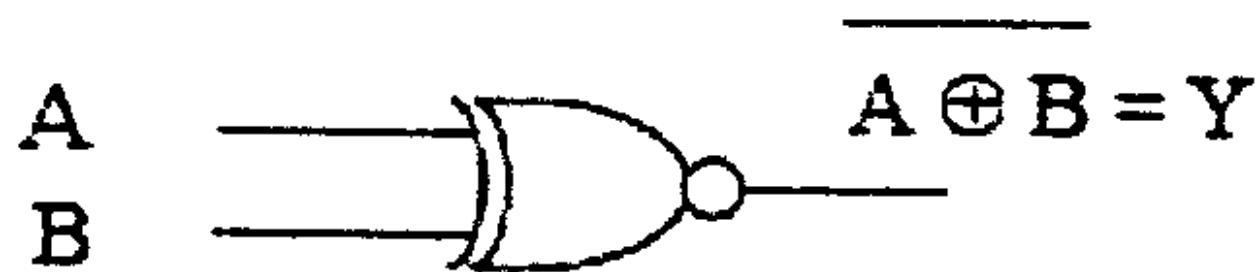
المخطط الزمني



البوابة XNOR

- الوظيفة: تخرج 1 إذا كان الدخل قيمته زوجية (أي عدد وحيد الدخل زوجي) إذا كانت البوابة ذات دخلين فإنها تخرج 1 إذا اتفق الدخلان لأن 00 عدد زوجي، 11 عدد زوجي (أي واحد).

٢. الرمز المنطقي:



٣. جدول الحقيقة لبوابة XNOR: نلاحظ أن الخرج XOR يساوي 1 في الاحتمالين الأول والأخير اللذان يحققان الشرط وهو زوجية عدد الواحد.

A	B	XNOR
0	0	1
0	1	0
1	0	0
1	1	1

٤. مفتاح التمرير:

- عندما يكون أحد الدخلين بـ 1 (A = 1) فإن $XNOR = B$.
- عندما يكون أحد الدخلين بـ 0 (A = 0) فإن $XNOR = \bar{B}$.

A	B	XNOR
0	0	1
0	1	0
1	0	0
1	1	1

A = 0

XNOR = \bar{B}

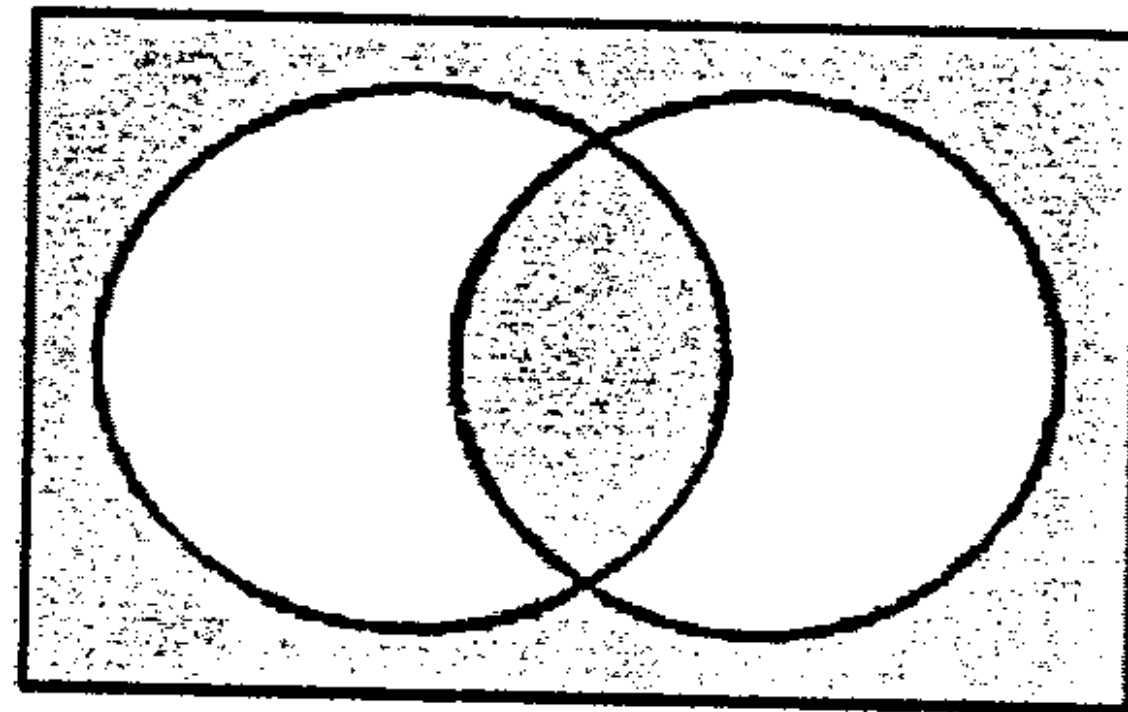
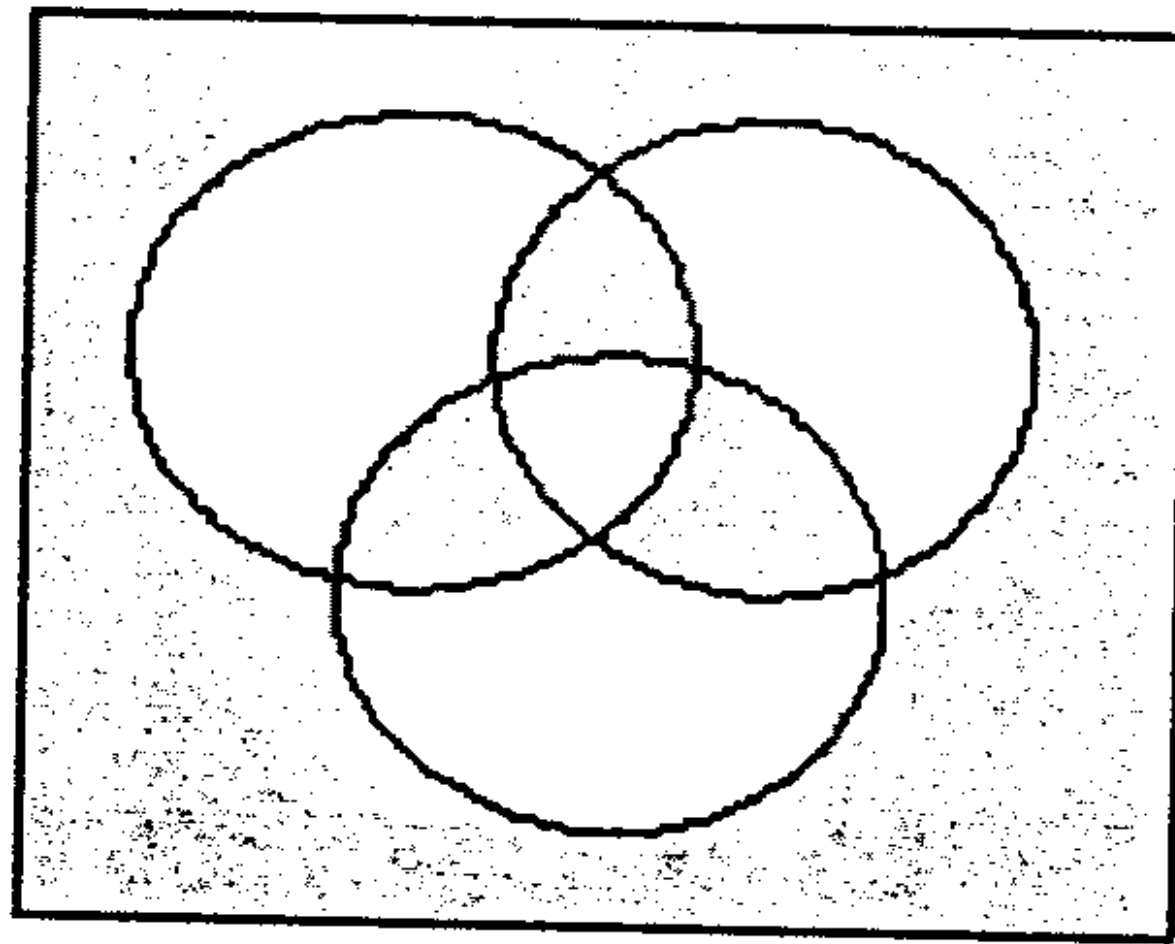
A = 1

XNOR = B

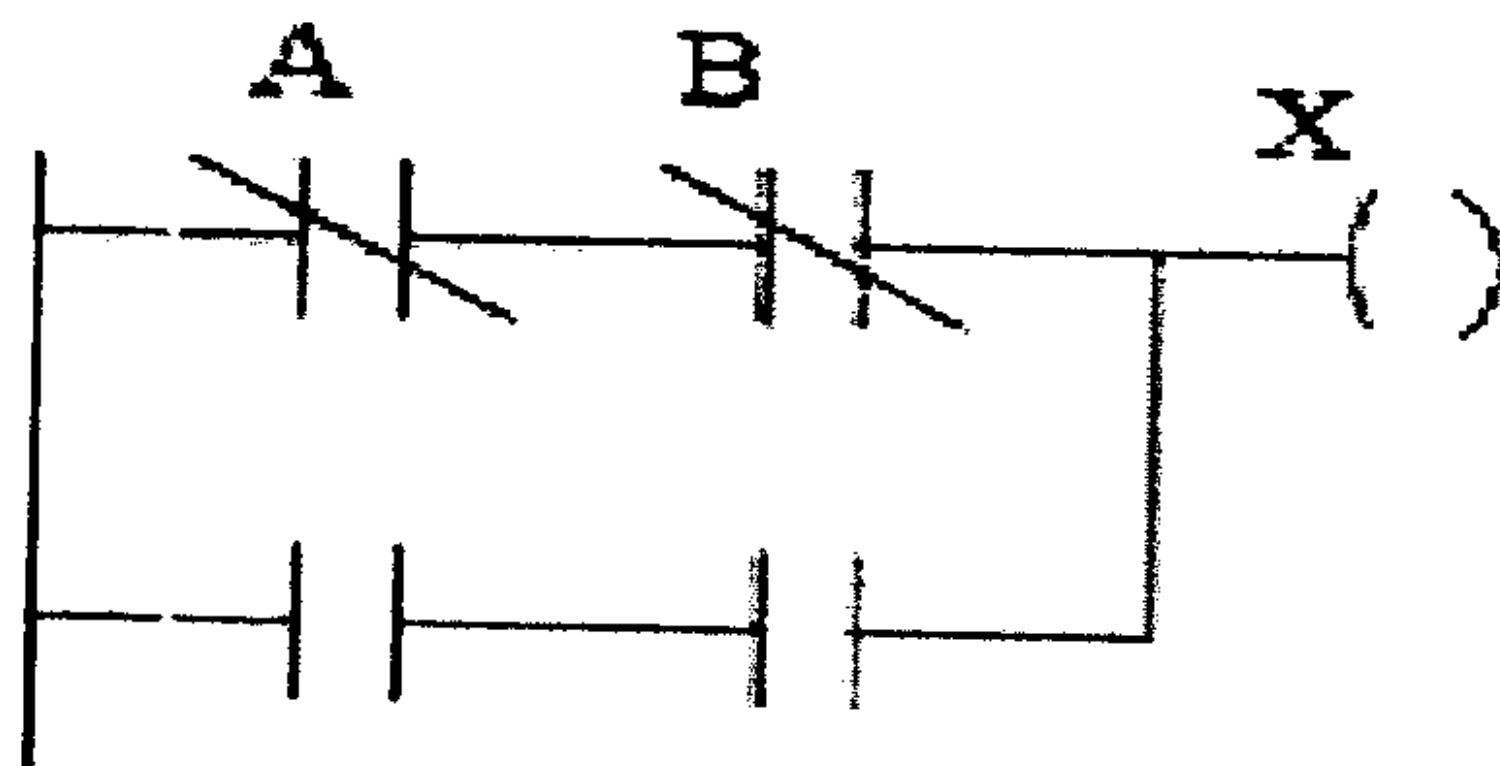
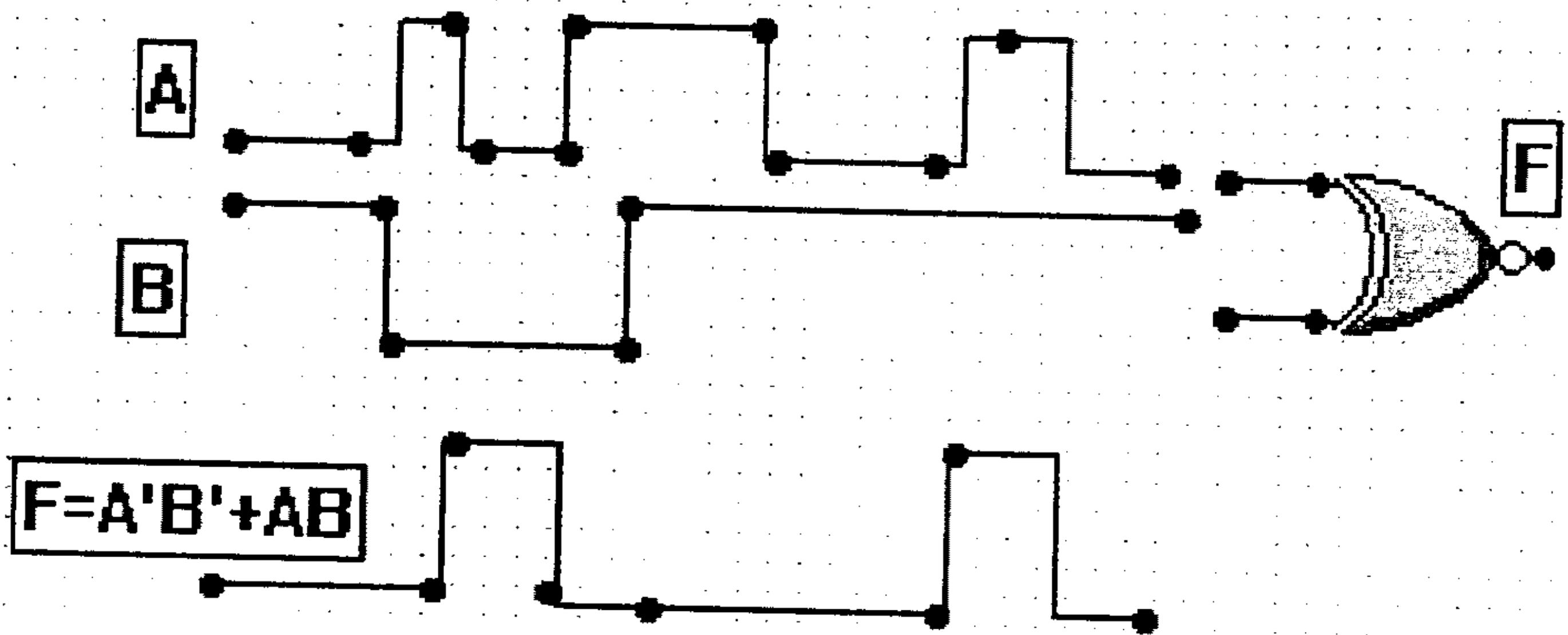
٥. التمثيل الإلكتروني: الخرج يساوي 1 في حالة $\bar{A}B$ وحالة $A\bar{B}$. إذن المعادلة الجبرية كالتالي:

$$XNOR = AB + \bar{A}\bar{B}$$

٦. التمثيل بأشكال فن:



٧. التمثيل بـ PLC والمخطط الزمني:

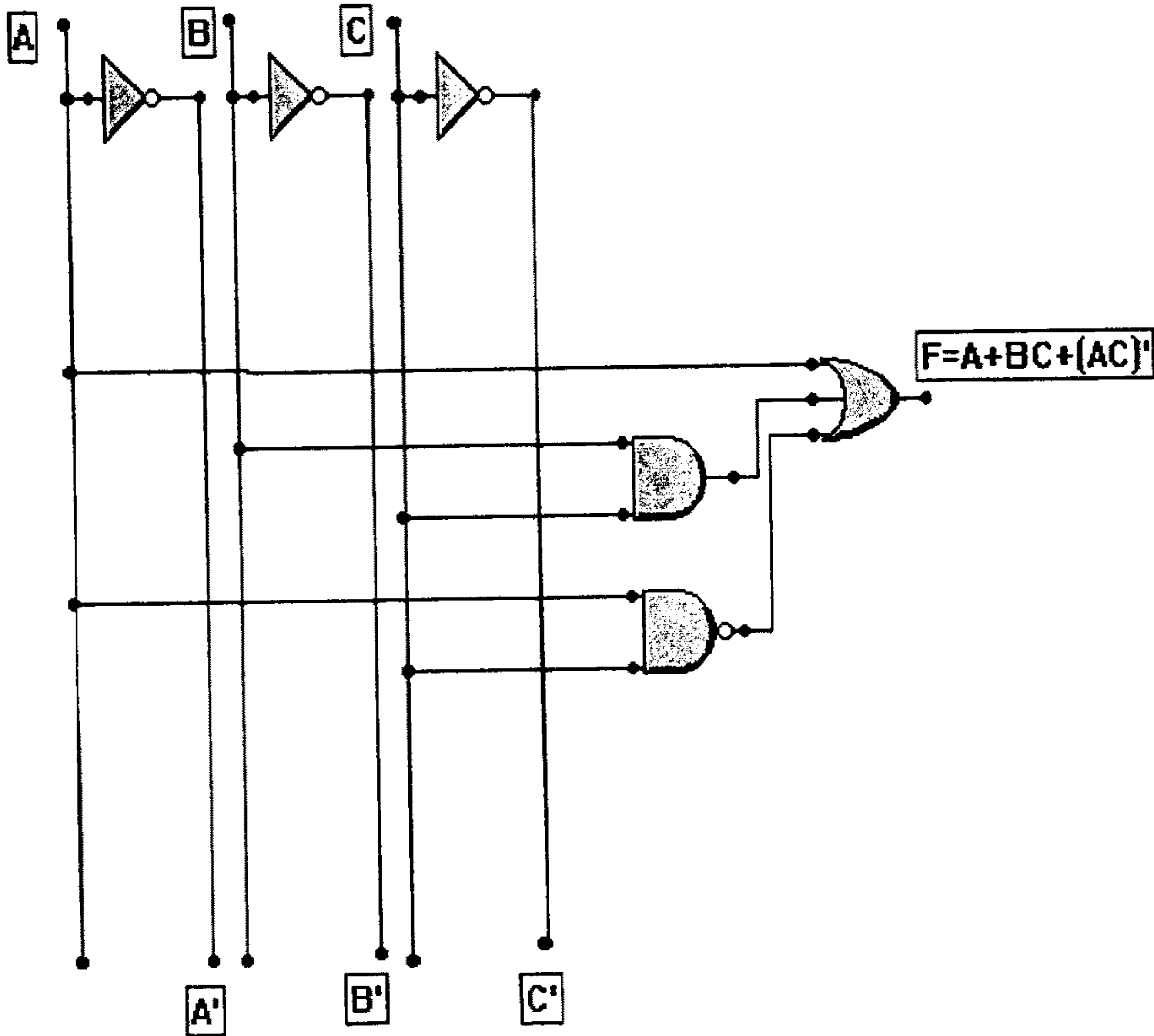


التعبير عن المعادلات تمثيلها بالدوائر المنطقية

- كل عملية جمع يتم استبدالها بدالة OR
- وكل عملية ضرب يتم تمثيلها بدالة AND
- وكل نفي يعبر عنه بـ NOT.

مثال ٢-١: حول المعادلة التالية لدائرة منطقية:

$$F_1 = A + BC + \overline{AC}$$



١. المعادلة تحتوي على ٣ متغيرات A, B, C فتم رسم ٣ خطوط رأسين تعبر عنهم.

٢. تم تمثيل الحد A بخط فهو لا يحتاج لأي بوابة إلا إذا أردت تكبير هذه

الإشارة فتمررها على Buffer

٣. تم تمثيل الحد BC بدالة AND لضرب المتغيرين B, C .
٤. تم تمثيل الحد $\overline{A}C$ بدالة $NAND$ لضرب المتغيرين A, C ، ثم نفيهم (أي نفي ناتج الضرب وليس نفي كل واحد من الدخيلين).
٥. جميع حدود المعادلة مجموعة مع بعضها كي تعطي قيمة F_1 فتم إدخال الحدود لمداخل بوابة OR ثلاثية للحصول على F_1 .

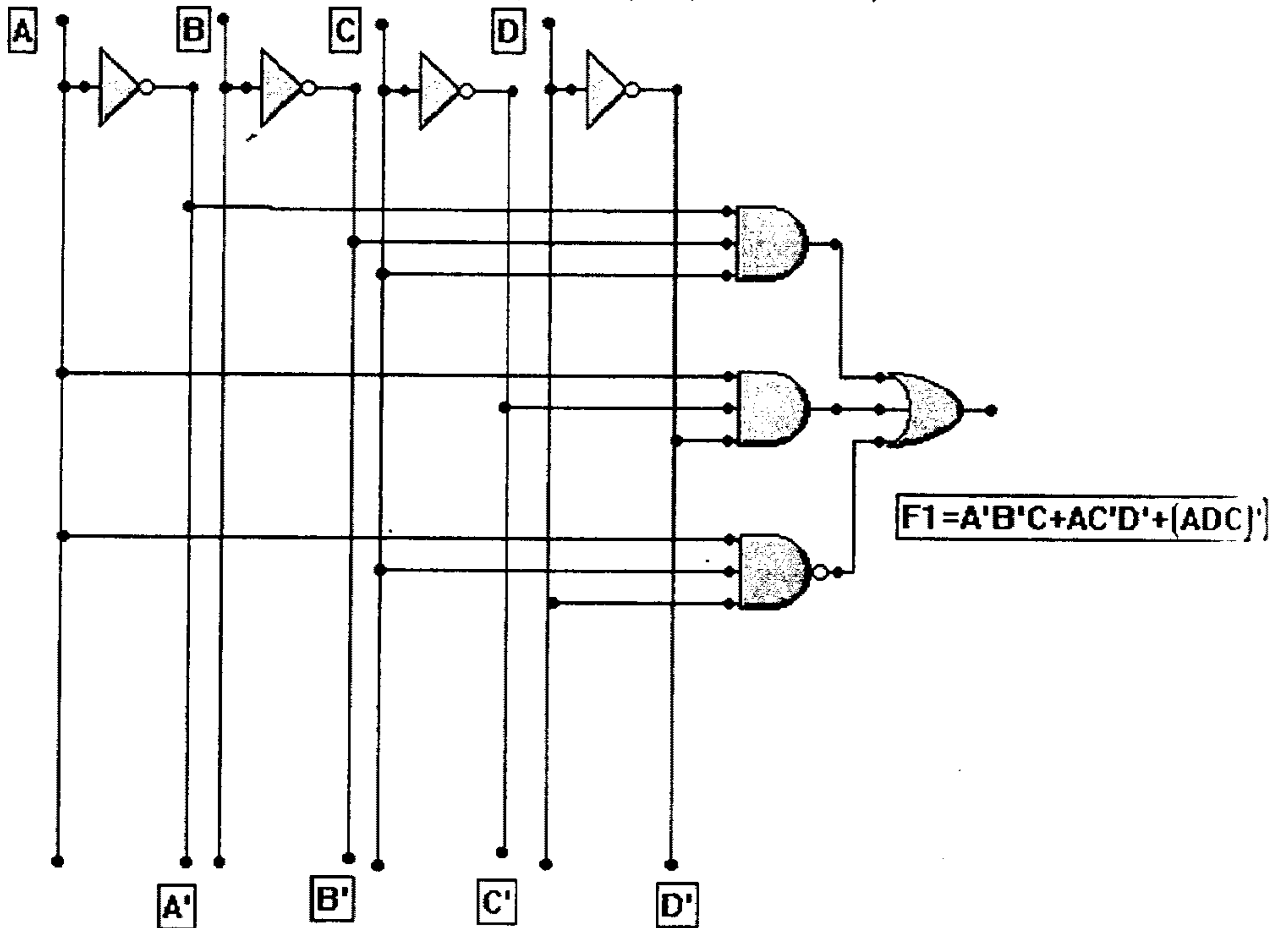
مثال ٢-٢: ارسم الدائرة المنطقية للمعادلات التالية:

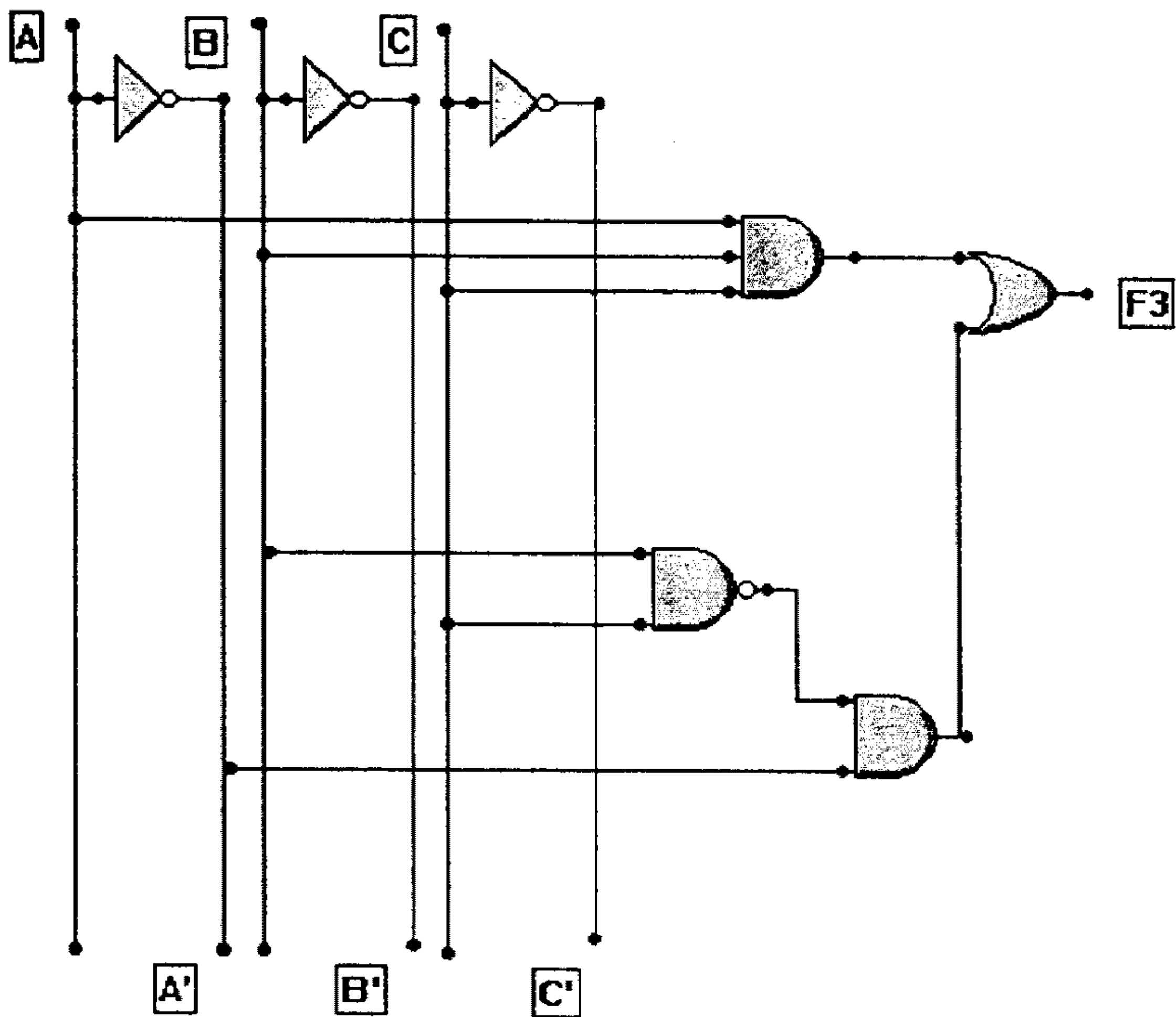
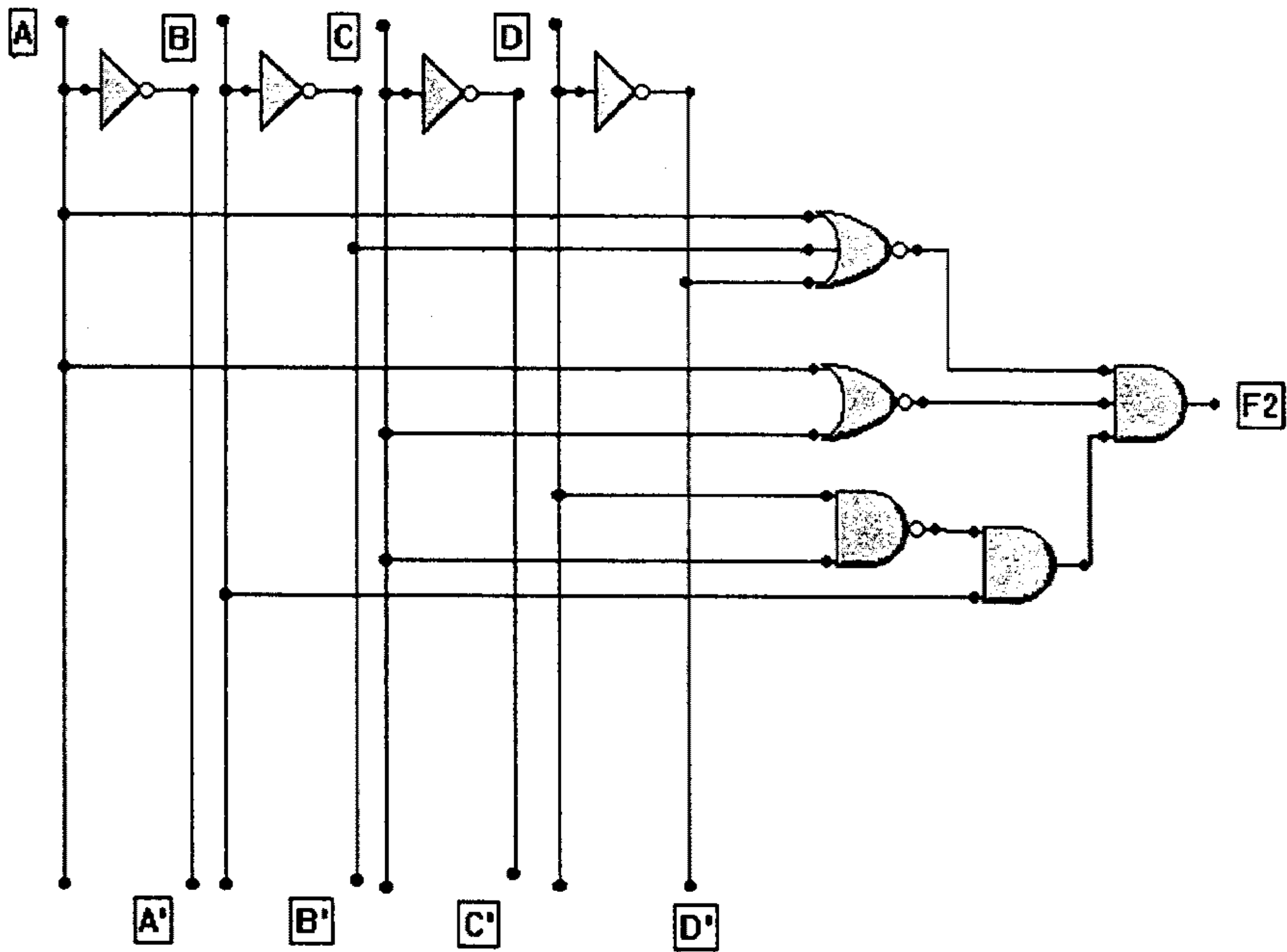
$$F_1 = \overline{A}\overline{B}C + A\overline{C}\overline{D} + \overline{A}DC$$

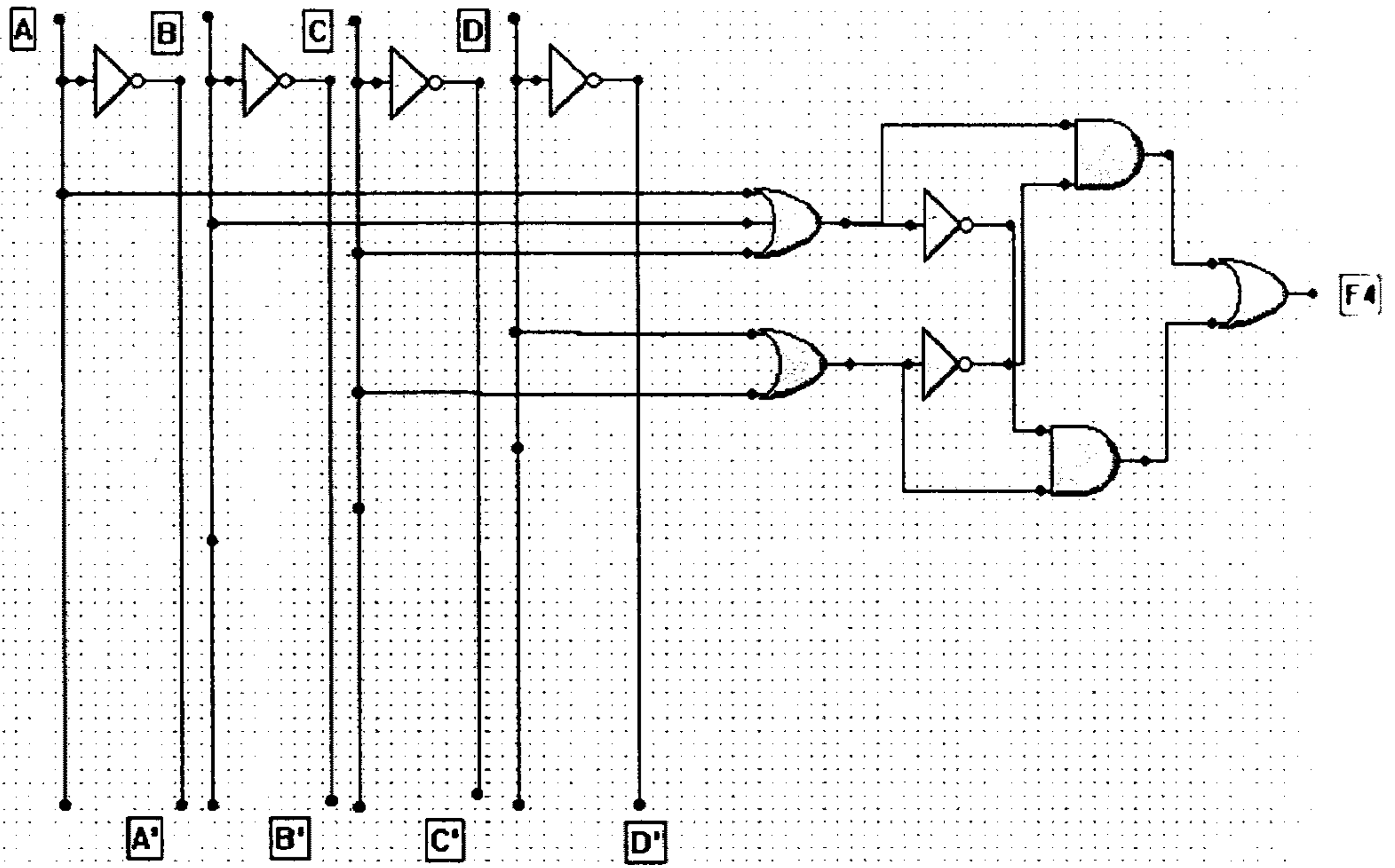
$$F_2 = (\overline{A + B + D})(\overline{A + C})(\overline{BDC})$$

$$F_3 = \overline{A}BC + ABC$$

$$F_4 = (A + B + C)(\overline{C + D}) + (\overline{A + B + C})(C + D)$$





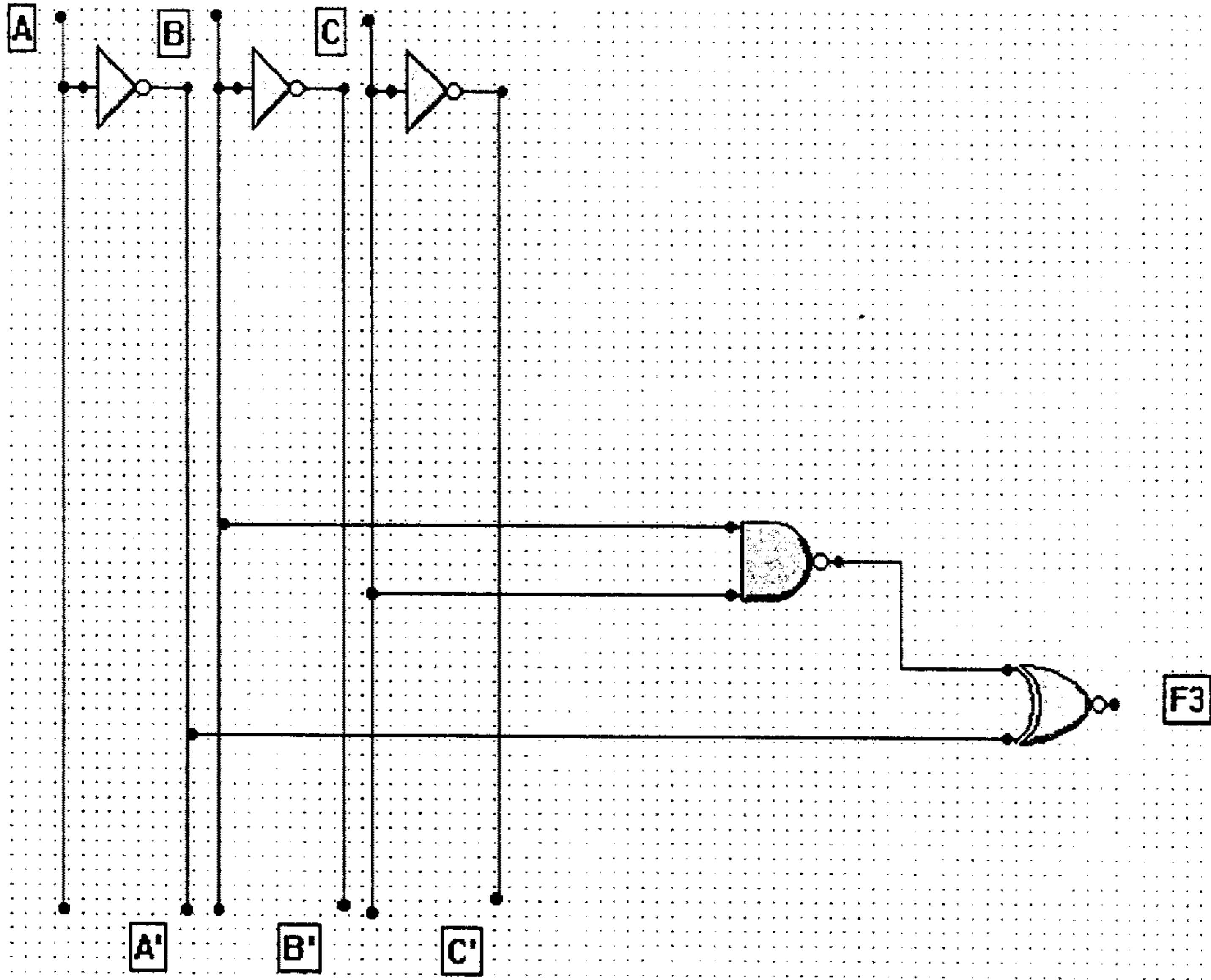


ثم التعبير عن كل متغير بخطين رأسيين أحدهما للمتغير والآخر لنفي المتغير A،
 \bar{D} ، $D - \bar{C}$ ، $C - \bar{B}$ ، $B - A$

إذا كانت علامة النفي Dash واحدة على متغيرين مثل \overline{DC} في F_2 تمثل دالة الضرب
 1) أولاً ثم تنفيذها فيتم التعبير بالدالة NAND وكذلك $(\overline{A + C})$ بالدالة NOR، ... وهكذا.
 في الدالة F_3 ، اعتبر BC متغير X، A متغير Y. ومعلوم أن شكل الدالة XNOR لدخولين
 X، Y كالتالي:

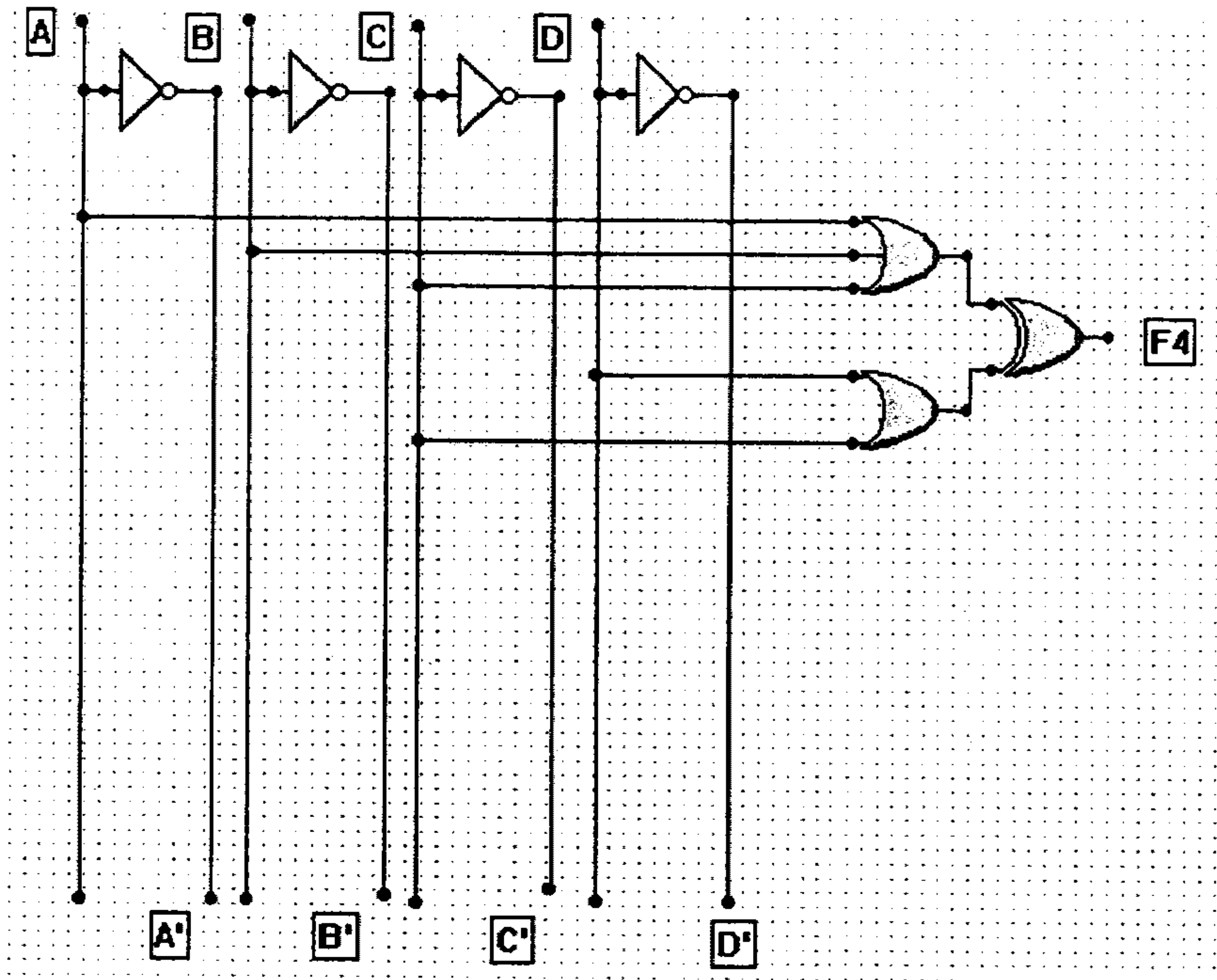
$$XNOR = \bar{X}\bar{Y} + XY$$

$$\bar{X}\bar{Y} + XY = \overline{ABC} + ABC$$



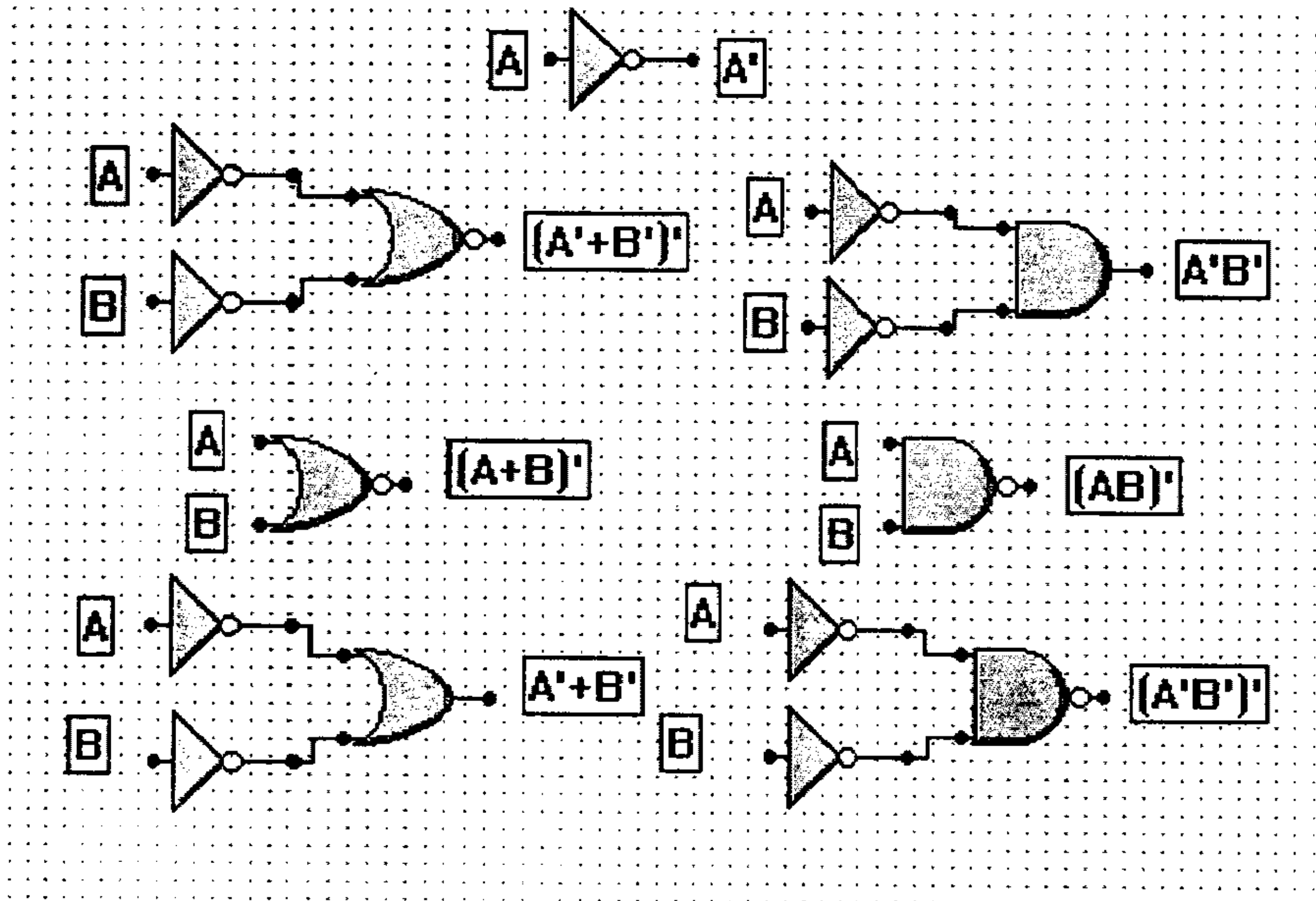
وفي الدالة F_4 ، اعتبر/عوض عن $X \rightarrow A+B+C$ ، وعن $Y \rightarrow C+D$.

$$\begin{aligned} F_4 &= X \bar{Y} + \bar{X} Y \\ &= X \oplus Y \end{aligned}$$



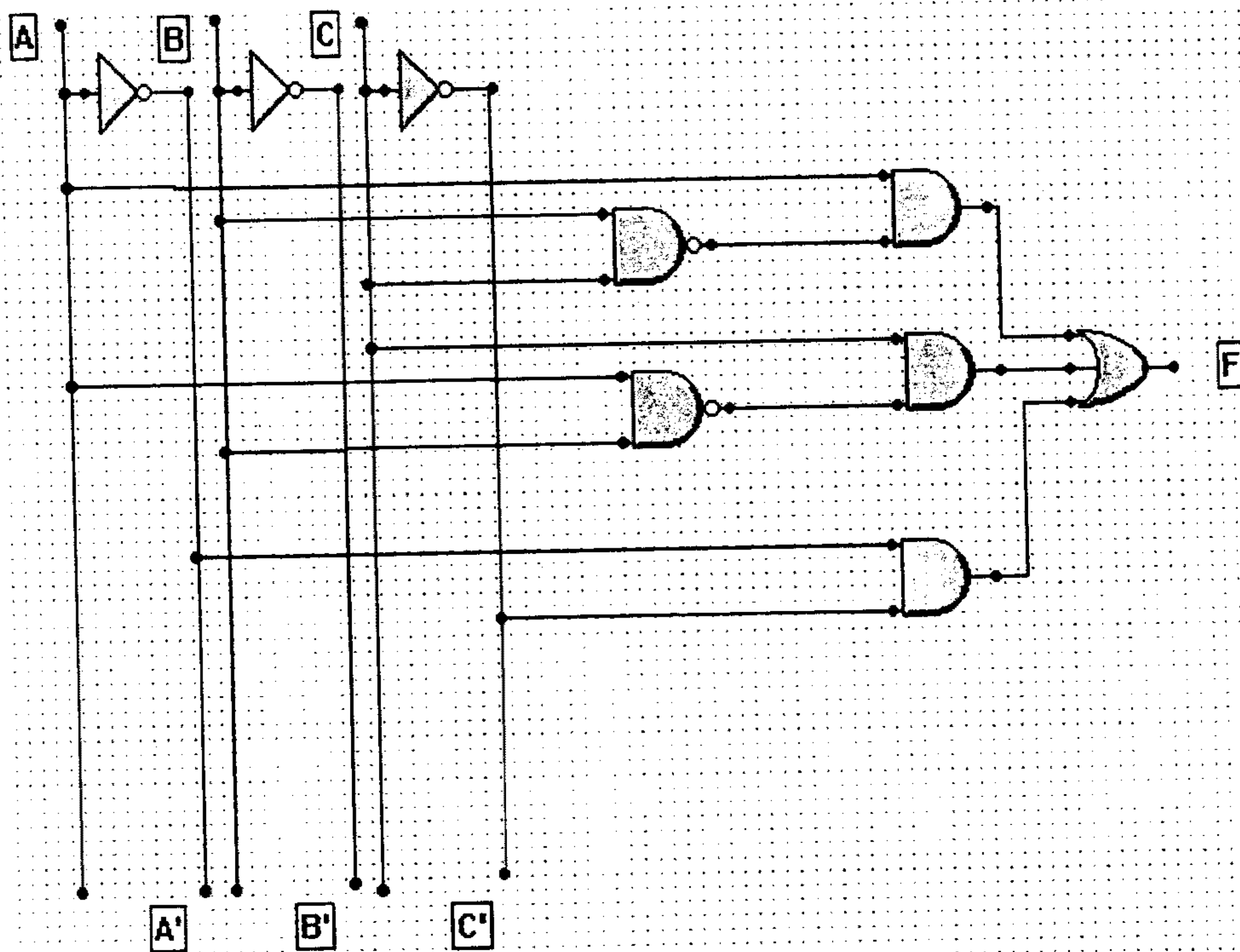
مثل X ومثل Y بدالتيهما.

جدول يوضح قواعد تمثيل المعادلات بالبوابات



استنتاج المعادلات أي تمثيل الدائرة المنطقية بمعادلات جبرية من الدوائر المنطقية

مثال ٢-٣: استنتاج المعادلة الجبرية التي تعبر عن الدائرة التالية:

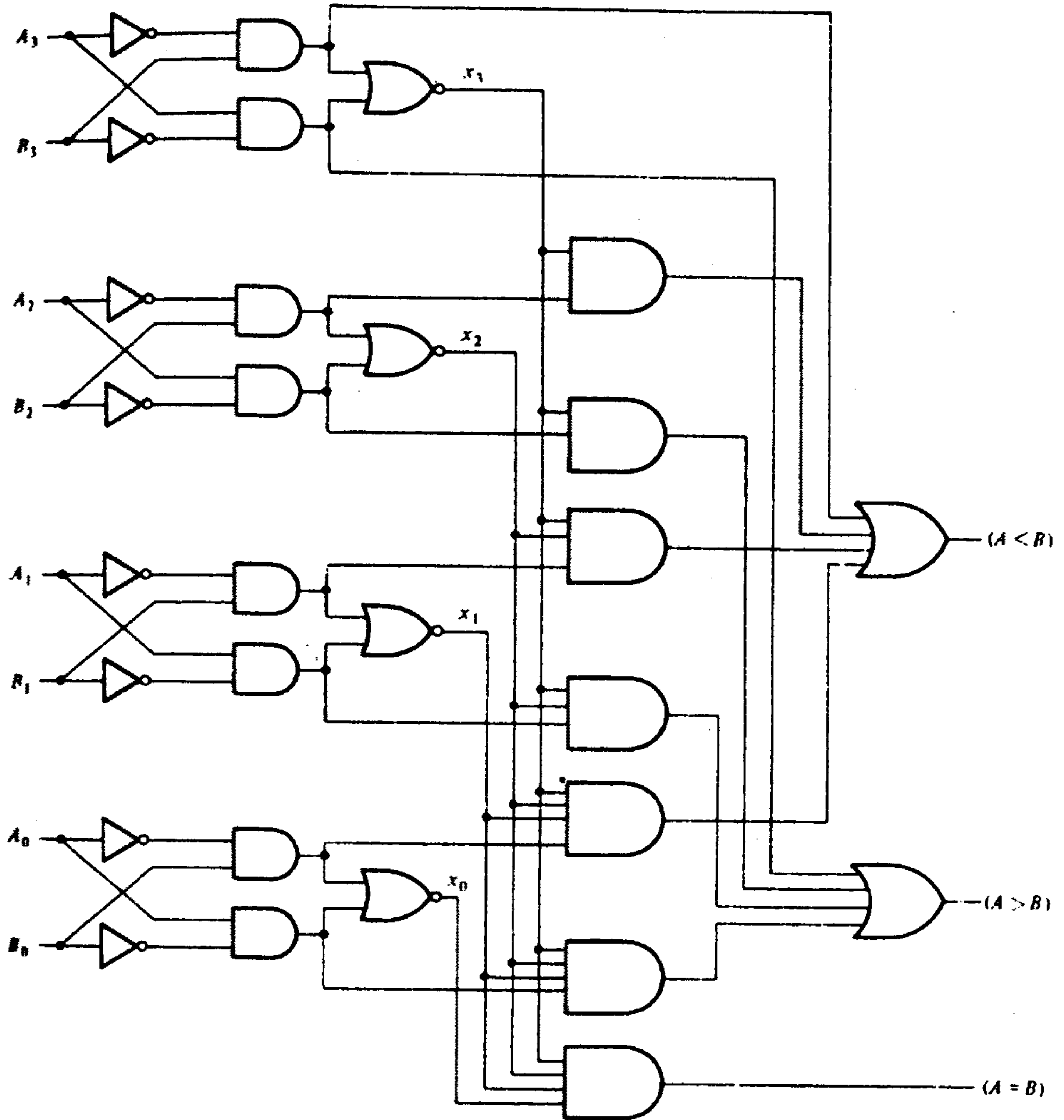


$$F = \overline{A}BC + \overline{A}B\overline{C} + \overline{A}\overline{B}\overline{C}$$

استنتاج المعادلات من الدوائر المنطقية

وهي تحويل البوابات إلى ما يقابلها من صيغ جبرية كما هو مبين من الجدول السابق.

مثال ٢-٤: استنتج المعادلات الجبرية للدوائر المنطقية التالية:



تمثيل المعادلات الجبرية في جداول الحقيقة

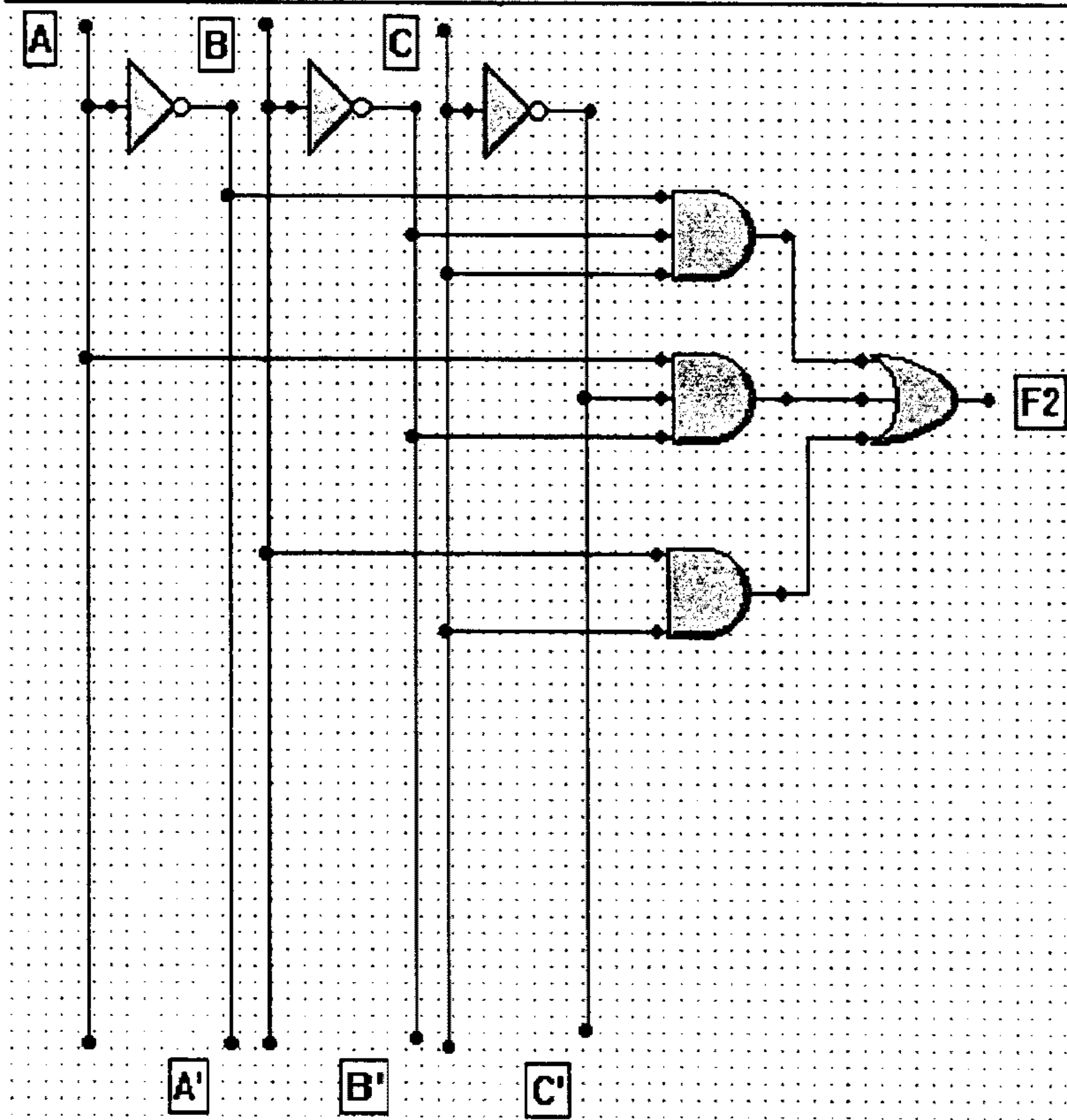
وذلك بوضع 1 أو 0 أمام كل احتمال بما يناسب المعادلة المراد تمثيلها.

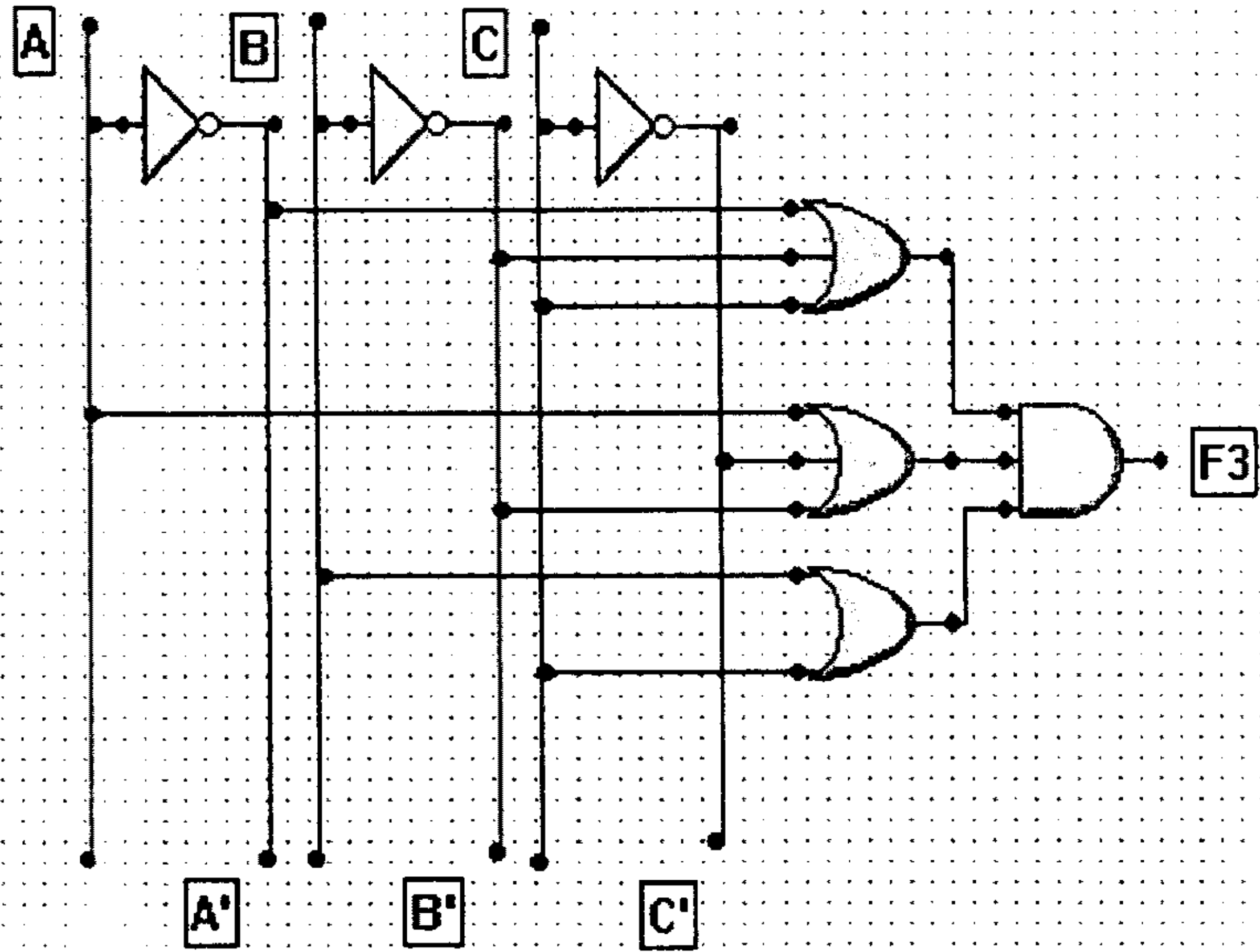
مثال ٢-٥: عبر عن المعادلات التالية في جدول حقيقة:

$$F_1 = A\bar{B} + A\bar{C}$$

$$F_2 = \bar{A}\bar{B}C + A\bar{C}\bar{B} + BC$$

$$F_3 = (\bar{A} + \bar{B} + C)(A + \bar{C} + \bar{B})(B + C)$$





في المعادلات الثلاث السابقة واضح أن عدد المتغيرات هو 3 وهما A, B, C، وجدول الحقيقة لثلاث متغيرات يحتوي على 8 احتمالات 2^3 كالتالي من 0-7:

A	B	C	$A\bar{B}$	$A\bar{C}$	F_1	F_2	F_3	F_2	$\bar{A} + \bar{B} + C$	$A + \bar{C} + B$	$B + C$
0	0	0	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	1	1	1	1	1	1
2	0	1	0	0	0	0	1	0	1	1	1
3	0	1	0	0	0	1	0	1	1	0	1
4	1	0	1	1	1	1	0	1	1	1	0
5	1	0	1	0	1	0	1	0	1	1	1
6	1	1	0	1	1	0	0	0	0	1	1
7	1	1	0	0	0	1	1	1	1	1	1

• في المعادلة F_1 :

في حالة الحد $A\bar{B}$ نضع 1 أمام كل احتمال يتحقق فيه شرطان هما أن $A = 1$ ، $B = 0$ ، وهو متحقق في 4, 5.

وفي حالة الحد $A\bar{C}$ نضع 1 في 4, 6 لأنه يتحقق فيه الشرطان $A = 1$ ، $C = 0$.
وبجمع الحدين منطقياً نحصل على الدالة F_1 .

وبطريقة أخرى نضع 1 أمام ما يحقق $A=1$ ، $B=0$ ، أو $A=1$ ، $C=0$.
 • في المعادلة F_2 :

الحد الأول $\bar{A}\bar{B}C$: نضع 1 أمام الاحتمال الذي فيه $A=0$ ، $B=0$ ، $C=1$.

الحد الثاني $A\bar{B}\bar{C}$: نضع 1 أمام الاحتمال 4 .

الحد الثالث BC : نضع 1 أمام الاحتمالات التي فيها $B=1$ ، $C=1$ أيًا كانت قيمة A وهما الاحتمالان 3, 7 .

ويمكن قراءة المعادلة كالتالي: F_2 تساوي 1 عندما $A=0$ ، $B=0$ ، $C=1$ أو عندما $A=1$ ، $B=0$ ، $C=0$ أو عندما $B=1$ ، $C=1$.

ضرب المجموعات وجمع المضروبات

في F_1 ، F_2 عبارة عن دوال تم تمثيلها بصورة جمع المضروبات.

A	B	C	AND Term المضروبات	رمز المضروبات	OR Term المجموعات	رمز المجموعات
			Min Term		Max Term	
0	0	0	$\bar{A} \bar{B} \bar{C}$	m_0	$A + B + C$	M_0
0	0	1	$\bar{A} \bar{B} C$	m_1	$A + B + \bar{C}$	M_1
0	1	0	$\bar{A} B \bar{C}$	m_2	$A + \bar{B} + C$	M_2
0	1	1	$\bar{A} B C$	m_3	$A + \bar{B} + \bar{C}$	M_3
1	0	0	$A \bar{B} \bar{C}$	m_4	$\bar{A} + B + C$	M_4
1	0	1	$A \bar{B} C$	m_5	$\bar{A} + B + \bar{C}$	M_5
1	1	0	$A B \bar{C}$	m_6	$\bar{A} + \bar{B} + C$	M_6
1	1	1	$A B C$	m_7	$\bar{A} + \bar{B} + \bar{C}$	M_7

جمع المضروبات Min Term

كل حد يكتب بحيث يعطي القيمة 1، لأن 1 هو المحايد الضربي؛ فعندما كانت $C=0$ ،

$B=0$ ، $A=0$ كان الحد $\bar{A} \bar{B} \bar{C}$ ، $1=1.1.1$ ، وعندما كانت $C=1$ ، $B=0$ ،

$A=0$ كان الحد $\bar{A} \bar{B} C = 1.1.1 = \bar{A} \bar{B} C$.

ضرب المجموعات Max Term

كل حد يكتب بحيث يعطي القيمة 0، لأن 0 هو المحايد الجمعي؛ فعندما كانت $C=0$ ،
 $A=0$ ، $B=0$ كان الحد $A+B+C = 0+0+0 = 0$ ، وعندما كانت $A=1$ ، $B=1$ ،
 $C=1$ كان الحد $\bar{A} + \bar{B} + \bar{C} = 0+0+0 = 0$.

مثال ٢-٦: استنتج جدول الحقيقة للدالة F_3 ، ثم عبر عنها بجمع المضروبات وضرب المجموعات.

	A	B	C	F3	$\bar{A} + \bar{B} + C$	$A + \bar{C} + \bar{B}$	$B + C$	\bar{F}_3
0	0	0	0	0	1	1	0	1
1	0	0	1	1	1	1	1	0
2	0	1	0	1	1	1	1	0
3	0	1	1	0	1	0	1	1
4	1	0	0	0	1	1	0	1
5	1	0	1	1	1	1	1	0
6	1	1	0	0	0	1	1	1
7	1	1	1	1	1	1	1	0

$(\bar{A} + \bar{B} + C)$ نضع 1 أمام كل احتمال يحقق $C=1$ أو $B=0$ أو $A=0$

$(A + \bar{C} + \bar{B})$ نضع 1 أمام كل احتمال يحقق $B=0$ أو $C=0$ أو $A=1$

$(B + C)$ نضع 1 أمام كل احتمال يحقق $C=1$ أو $B=1$

$$\bar{F}_3 = m_1 + m_2 + m_5 + m_7 \quad \text{جمع الواحد} = \sum (1, 2, 5, 7)$$

$$F_3 = M_0 M_3 M_4 M_6 \quad \text{ضرب الأصفار} = \prod (0, 3, 4, 6)$$

مثال ٢-٧: اكتب المعادلات التالية في صورة جمع المضروبوات وضرب المجموعات:

$$F_1 = A\bar{B} + A\bar{C} + \bar{B}C$$

$$F_2 = (A + \bar{B} + C) \cap (\bar{A} + B)$$

$$F_3 = (A \oplus B) \oplus C$$

$$F_4 = (A + C) \cap (B + C)$$

الحل

$$F_1 = A\bar{B} + A\bar{C} + \bar{B}C$$

معادلة لثلاث متغيرات A, B, C.

	A	B	C	F_1	F_2	F_3	$(A + \bar{B} + C)$	$(\bar{A} + B)$	$A + C$	$B + C$	F_4
0	0	0	0	0	1	0	1	1	0	0	0
1	0	0	1	1	1	1	1	1	1	1	1
2	0	1	0	0	0	1	0	1	0	1	0
3	0	1	1	0	1	0	1	1	1	1	1
4	1	0	0	1	0	1	1	0	1	0	0
5	1	0	1	1	0	0	1	0	1	1	1
6	1	1	0	1	1	0	1	1	1	1	1
7	1	1	1	0	1	1	1	1	1	1	1

تمثل F_1 في الجدول نضع 1

- أمام كل خانة يتحقق فيها أن $A=1$ ، $B=0$ ، وهما 4, 5.
- وكل خانة فيها $A=1$ ، $C=0$ ، وهما 4, 6.
- وكل خانة فيها $B=0$ ، $C=1$ ، وهما 1, 5.
- أي أن الحالات التي أمامها 1 هي 1, 4, 5, 6، وهي يعبر عنها بجمع المضروبوات، وبقية الحالات نضع أصفاراً ويعبر عنها بضرب المجموعات.

$$\begin{aligned}\bar{F}_1 &= M_0 M_2 M_3 M_7 \\ &= \Pi(0, 2, 3, 7)\end{aligned}$$

$$F_1 = m_1 + m_4 + m_5 + m_6$$

$$= \sum (1, 4, 5, 6)$$

كيفية توقيع F_2 في الجدول

- نضع صفر أمام كل خانة يتحقق فيها شروط الحد الأول $(A + \bar{B} + C)$ وهي $A=0, B=1, C=0$ فنجدها الحالة رقم 2.
- وشروط الحد الثاني $(\bar{A} + B)$ وهي $A=1, B=0$ أيًا كانت قيمة C فنجدها الحالتين 4, 5.
- وبقية الحالات نضع أمامها 1 ونجمعها نحصل على مجموع المضروب F_2 .

كيفية توقيع الدالة F_3

الدالة F_3 عبارة عن دالة XOR بثلاث مداخل، وهي دالة الفردية، فأي حالة من الاحتمالات عدد الواحد فيها فردي نضع أمامها 1 وهي 1, 2, 4, 7.

$$F_3 = \sum (1, 2, 4, 7)$$

$$= m_1 + m_2 + m_4 + m_7$$

$$\bar{F}_3 = \prod (0, 3, 5, 6)$$

$$= M_0 M_3 M_5 M_6$$

كيفية توقيع الدالة F_4

توقع الدالة F_4 بتوقيع حديها $(A + C)$ ، $(B + C)$ ، ثم استنتاج دالة الزوجية لهذين الحدين بوضع 1 أمام كل حالة فيها الحدين بواحد وهما 1, 3, 5, 6, 7.

$$F_4 = m_1 + m_3 + m_5 + m_6 + m_7$$

$$= \sum (1, 3, 5, 6, 7)$$

$$\bar{F}_4 = M_0 M_2 M_4$$

$$= \prod (0, 2, 4)$$

مسلمات ونظريات الجبر المنطقي (المنطق)

الجمع	الضرب
1 $A + 0 = A$	أ $A.1 = A$
2 $A + \bar{A} = 1$	أ $A.\bar{A} = 0$
3 $A + A = A$	أ $A.A = A$
4 $A + 1 = 1$	أ $A.0 = 0$
5 $(A')' = A$	أ $(A')' = A$
6 $A + B = B + A$	أ $A.B = B.A$
7 $A + (B + C) = (A + B) + C$	أ $A(BC) = (AB)C$
8 $A(B + C) = AB + AC$	أ $A + BC = (A + B)(A + C)$
9 $(A + B)' = A' B'$	أ $(AB)' = A' + B'$
10 $A + AB = A$	أ $A(A + B) = A$

إثبات المسلمات والنظريات

١. مسلمة لا تحتاج لإثبات

(أ) فالصفر إذا جمع على أي متغير A فالناتج هو المتغير A .

$A + 0 = A$	
$0 + 0$	0
$1 + 0$	1

(ب) والواحد إذا ضرب في أي متغير A فالناتج هو المتغير A .

$A.1 = A$	
0×1	0
1×1	1

٢. مسلمة ومعناها أن المتغير A أو عكسه (ما حوله) يمثلان 1 ولا بد(أ) فإن كان $A = 0$ ، فإن \bar{A} لابد أن تكون 1، وإن كان $A = 1$ ، فإن $\bar{A} = 0$

ولابد. إذا مجموعهم لا يخرج عن 1 أبداً.

$$\begin{array}{l} A + \bar{A} = 1 \\ 0 + 1 = 1 \\ 1 + 0 = 1 \end{array}$$

ب) في حالة إذا ضربت A في \bar{A} ، فلا بد أن أحدهما صفراً فالناتج لا يخرج عن الصفر.

$$\begin{array}{l} A \cdot \bar{A} = 0 \\ 0 \cdot 1 = 0 \\ 1 \cdot 0 = 0 \end{array}$$

٣. الجمع المنطقي للشيء ونفسه هو نفس الشيء

$$\begin{array}{l} A + A = A \\ 0 + 0 = 0 \\ 1 + 1 = 1 \end{array}$$

$$\begin{array}{l} A \cdot A = A \\ 0 \cdot 0 = 0 \\ 1 \cdot 1 = 1 \end{array}$$

٤. مسلة ضرب المحايد المجمعى وجمع المحايد الضربى

$$\begin{array}{l} A + 1 = 1 \\ 0 + 1 = 1 \\ 1 + 1 = 1 \end{array}$$

$$\begin{array}{l} A \cdot 0 = 0 \\ 0 \cdot 0 = 0 \\ 1 \cdot 0 = 0 \end{array}$$

٥. نفي النفي إثبات.

A	A'	(A')'
0	1	0
1	0	1

$$A = (A')'$$

٦. في هذه المربعات إثبات للمسلمتين أ، ب

		OR	
A	B	A+B	B+A
0	0	0	0
0	1	1	1
1	0	1	1
1	1	1	1

		AND	
A	B	A.B	B.A
0	0	0	0
0	1	0	0
1	0	0	0
1	1	1	1

٧. عبارة عن ٣ متغيرات مجموعة/مضروبة منطقياً فالأقواس لا تؤثر شيئاً

A B C BC A+B A(BC) (A+B)+C AB B+C (AB)C A+(B+C)

0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	1	0	1	0	1
0	1	0	0	1	0	0	1	0	1	0	1
0	1	1	1	1	0	0	1	0	1	0	1
1	0	0	0	1	0	0	1	0	0	0	1
1	0	1	0	1	0	0	1	0	1	0	1
1	1	0	0	1	0	0	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	1	1

تساوي العمودان 4, 3، تساوي العمودان 7, 5، يثبتان النظرية 9 لدى مورجان.

٨. خاصية التوزيع وهي لا تؤثر في نتائج العمليات الحسابية والمنطقية وإثباتها واضح في النظام العشري.

$$5(6+3)=5\times 6+5\times 3$$

$$5\times 9=30+15$$

$$45=45$$

٩. إثبات نظرية ديمورجان

فن تصميم الدوائر الرقمية

A	B	A'	B'	A+B	A+B'	A'+B	A'B	AB	AB'
0	0	1	1	0	1	1	1	0	1
0	1	1	0	1	0	1	0	0	1
1	1	0	1	1	0	1	0	0	1
1	1	0	0	1	0	0	0	1	0

A	B	AB	A+AB
0	0	0	0
0	1	0	0
1	0	0	1
1	1	1	1

A	B	A+B	A(A+B)
0	0	0	0
0	1	1	0
1	0	1	1
1	1	1	1

عمليات منطقية أخرى

جدول الحقيقة التالي يبين ١٦ دالة منطقية:

X	Y	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆	F ₇	F ₈	F ₉	F ₁₀	F ₁₁	F ₁₂	F ₁₃	F ₁₄	F ₁₅
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

والجدول التالي يوضح التعبيرات الرياضية وأسمائها ومعاني الدوال السابقة:

Boolean functions	Operator symbol	Name	Comments
$F_0 = 0$		Null	Binary constant 0
$F_1 = XY$	$X.Y$	AND	X and Y
$F_2 = XY'$	X/Y	Inhibition	X but not Y
$F_3 = X$		Transfer	X
$F_4 = X'Y$	Y/X	Inhibition	Y but not X
$F_5 = Y$		Transfer	Y
$F_6 = XY' + X'Y$	$X \oplus Y$	Exclusive-OR	X or Y but not both

Boolean functions	Operator symbole	Name	Comments
$F_7 = X + Y$	$X + Y$	OR	X or Y
$F_8 = (X + Y)'$	$X \downarrow Y$	NOR	Not-OR
$F_9 = XY + X'Y'$	$X \square Y$	Equivalence	X equals Y
$F_{10} = Y'$	Y'	Complement	Not Y
$F_{11} = X + Y'$	$X \subset Y$	Implication	If y then X
$F_{12} = X'$	X'	Complement	Not X
$F_{13} = X' + Y$	$X \supset Y$	Implication	If X then Y
$F_{14} = (XY)'$	$X \uparrow Y$	NAND	Not-AND
$F_{15} = 1$		Identity	Binary constant 1

مثال ٢-٨: استخدم المسلمات والنظريات السابقة في اختصار المعادلات التالية:

$$F_1 = A + \overline{A}B$$

$$F_2 = A(\overline{A} + B)$$

$$F_3 = \overline{A}BC + \overline{A}BC + A\overline{B}$$

$$F_4 = AB + \overline{A}C + BC$$

$$F_5 = (A + B)(\overline{A} + C)(B + C)$$

الحل

$$F_1 = A + \overline{A}B$$

$$= (A + \overline{A})(A + B)$$

$$= 1(A + B)$$

$$= (A + B)$$

$$F_2 = A(\bar{A} + B)$$

$$= A\bar{A} + AB$$

$$= 0 + AB$$

$$= AB$$

$$F_3 = \bar{A}BC + \bar{A}BC + A\bar{B}$$

$$= (\bar{A}BC + \bar{A}BC) + A\bar{B}$$

$$= \bar{A}C(\bar{B} + B) + A\bar{B}$$

$$= \bar{A}C \cdot 1 + A\bar{B}$$

$$= \bar{A}C + A\bar{B}$$

$$F_4 = AB + \bar{A}C + BC$$

$$= AB + \bar{A}C + BC(A + \bar{A})$$

$$= AB + \bar{A}C + ABC + \bar{A}BC$$

$$= AB + ABC + \bar{A}C + \bar{A}BC$$

$$= AB(1 + C) + \bar{A}C(1 + B)$$

$$= AB \cdot 1 + \bar{A}C \cdot 1$$

$$= AB + \bar{A}C$$

$$F_5 = (A + B)(\bar{A} + C)(B + C)$$

بمقارنة هذه المعادلة بالمعادلة F_4 نجد أنها ضرب مجموعات في حين F_4 جمع مضروبات، وبالتالي فالناتج سيكون بالمثل:

$$= (A + B)(\bar{A} + C)$$

تعميم نظرية دي مرجان

$$(\overline{A + B}) = \bar{A} \bar{B}$$

$$\overline{A \bar{B}} = \bar{A} + B$$

هذا في حالة متغيرين، أما في حالة ثلاث متغيرات:

$$(A + B + C)' = (A + X)'$$

$$= \overline{A} \overline{X}$$

$$= \overline{A} (B + C)'$$

$$= \overline{A} \cdot \overline{B} \cdot \overline{C}$$

$$(ABC)' = (AX)'$$

$$= \overline{A} + \overline{X}$$

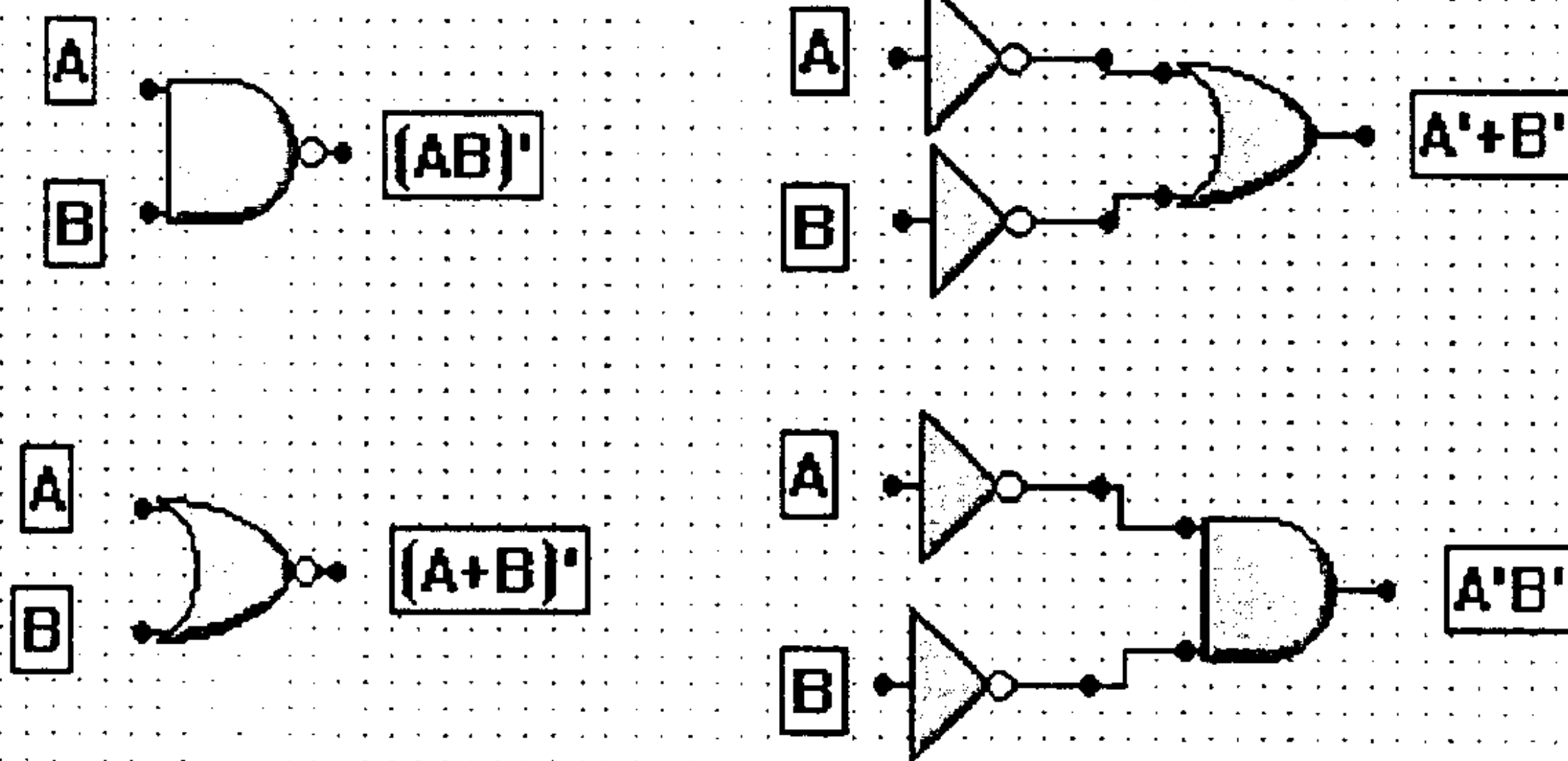
$$= \overline{A} + (\overline{BC})$$

$$= \overline{A} + \overline{B} + \overline{C}$$

$$(A + B + C + D + \dots + F)' = \overline{A} \overline{B} \overline{C} \overline{D} \dots \overline{F}$$

$$(ABCD \dots F)' = \overline{A} \overline{B} \overline{C} \overline{D} \dots \overline{F}$$

تمثيل دي مورجان بالبوابات



مثال ٢-٩: استنتج مقلوب الدوال التالية مستخدماً نظرية دي مورجان:

$$F_1 = \overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} C$$

$$F_2 = A(\overline{B} \overline{C} + BC)$$

$$\begin{aligned} F_1' &= (\overline{ABC} + \overline{ABC})' \\ &= (\overline{ABC})' (\overline{ABC})' \\ &= (\overline{\overline{A} + \overline{B} + \overline{C}}) (\overline{\overline{A} + \overline{B} + \overline{C}}) \\ &= (A + \overline{B} + C) (A + B + \overline{C}) \end{aligned}$$

$$\begin{aligned} F_2' &= [A (\overline{BC} + BC)]' \\ &= \overline{A} + (\overline{BC} + BC)' \\ &= \overline{A} + (\overline{BC})' (BC)' \\ &= \overline{A} + (\overline{\overline{B} + \overline{C}}) (\overline{B} + \overline{C}) \\ &= \overline{A} + (B + C) (\overline{B} + \overline{C}) \end{aligned}$$

مثال ٢-١٠: استنتج مقلوب الدالتين في المثال السابق دون استخدام دي مورجان.

الحل

أي أننا نأتي بصيغة الجمع المقابلة لكل حد ثم ننفي كل حرف.

$$\begin{aligned} F_1 &= \overline{ABC} + \overline{ABC} \\ &= m_2 + m_1 \\ F_1' &= \overline{\overline{ABC} + \overline{ABC}} \\ &= (\overline{\overline{A} + \overline{B} + \overline{C}}) (\overline{\overline{A} + \overline{B} + \overline{C}}) \\ F_1' &= (A + \overline{B} + C) (A + B + \overline{C}) \\ F_2 &= A (\overline{BC} + BC) \\ F_2' &= \overline{A (\overline{BC} + BC)} \\ F_2' &= \overline{A} + (\overline{\overline{BC} + BC}) \\ &= \overline{A} + (B + C) (\overline{B} + \overline{C}) \end{aligned}$$

مثال ٢-١١: عبر عن الدالة التالية في صورة جمع المضروبات Min Terms:

$$F = A + \bar{B}C$$

الحل

الدالة F فيها ثلاث متغيرات الحد الأول لا يظهر فيه إلا متغير واحد.

$$A = A(B + \bar{B})$$

$$= AB + A\bar{B}$$

$$F = AB + A\bar{B} + \bar{B}C$$

ما زال كل حد في الدالة F لا يحتوي إلا على متغيرين بينما الثالث مختلفي.

$$F = AB(C + \bar{C}) + A\bar{B}(C + \bar{C}) + \bar{B}C(A + \bar{A})$$

$$= ABC + ABC\bar{C} + A\bar{B}C + A\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C}$$

$\bar{A}\bar{B}C$ ظهر في المعادلة مرتين وطبقاً للمسلمة $A = 1(A + A)$ يمكننا حذف أحدهما.

$$F = ABC + ABC\bar{C} + A\bar{B}C + A\bar{B}\bar{C} + \bar{A}\bar{B}C$$

$$= m_7 + m_6 + m_5 + m_4 + m_1$$

$$= m_1 + m_4 + m_5 + m_6 + m_7$$

$$F(A, B, C) = \sum(1, 4, 5, 6, 7) = \prod(0, 2, 3) = M_0 M_2 M_3$$

مثال ٢-١٢: عبر عن الدالة التالية في صورة ضرب المجموعات Max Term:

$$F = AB + \bar{A}C$$

الحل

$$F = AB + \bar{A}C$$

$$= (AB + \bar{A})(AB + C)$$

$$= (A + \bar{A})(B + \bar{A})(B + C)(A + C)$$

$$= 1 (B + \bar{A})(B + C)(A + C)$$

$$= (B + \bar{A})(B + C)(A + C)$$

ولكن المشكل أن الدالة تعبر عن ثلاث متغيرات وكل حد لا يظهر فيه إلا متغيرين

$$\begin{aligned} F &= (B + \bar{A} + C\bar{C})(B + C + A\bar{A})(A + C + B\bar{B}) \\ &= (B + \bar{A} + C)(B + \bar{A} + \bar{C})(B + C + A)(B + C + \bar{A})(A + C + B)(A + C + \bar{B}) \\ &= (B + \bar{A} + C)(B + \bar{A} + \bar{C})(B + C + A)(A + C + \bar{B}) \end{aligned}$$

نرتب الأحرف في كل قوس:

$$\begin{aligned} F &= (\bar{A} + B + C)(\bar{A} + B + \bar{C})(A + B + C)(A + \bar{B} + C) \\ &= M_4 \quad M_5 \quad M_0 \quad M_2 \\ &= M_0 M_2 M_4 M_5 \\ &= (A + B + C)(A + \bar{B} + C)(\bar{A} + B + C)(\bar{A} + B + \bar{C}) \\ &= \Pi(0, 2, 4, 5) = \sum(1, 3, 6, 7) = m_1 + m_3 + m_6 + m_7 \end{aligned}$$

تصميم الدوائر الرقمية

ونقصد بذلك كيفية تكوين دائرة منطقية تؤدي عملاً معيناً مثل دائرة لجمع رقمين أو طرحهم أو دائرة تعمل كبوابة من نوع خاص غير AND، OR، NOR أو دائرة تشفير معينة.

مثال ٢-١٣: صمم دائرة منطقية تعمل كبوابة أغلبية لثلاث متغيرات (أي إن كان عدد وحيد الدخل أكثر من الأصفار كان خرج البوابة 1).

تصميم

الحل

	X	Y	Z	FMajority	
0	0	0	0	0	
1	0	0	1	0	
2	0	1	0	0	
3	0	1	1	1	$\bar{X}YZ$
4	1	0	0	0	
5	1	0	1	1	$X\bar{Y}Z$
6	1	1	0	1	$XY\bar{Z}$
7	1	1	1	1	XYZ

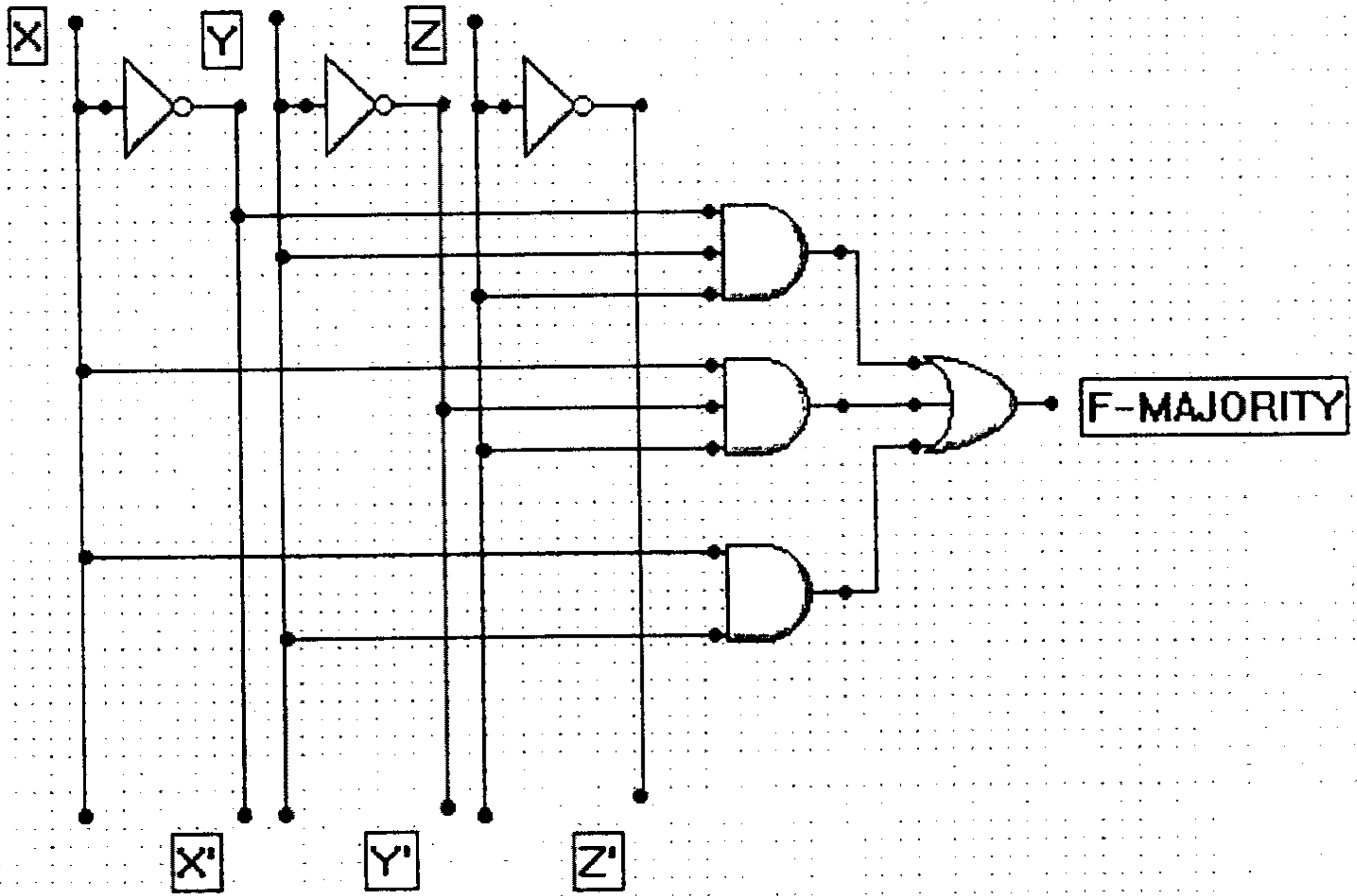
مثل المعادلة في صورة جدول حقيقة البوابة دخلها ٣ متغيرات، إذا سيكون جدول الحقيقة ذو ٨ احتمالات من 0-7.

نجد أن خرج البوابة سيكون 1 في الحالات 3, 5, 6, 7.

والآن جاء وقت كتابة المعادلة، ثم اختصارها في أبسط صورة باستخدام مسلمات ونظريات المنطق.

$$\begin{aligned}
 \text{FMajority} &= \bar{X}YZ + X\bar{Y}Z + XY\bar{Z} + XYZ \\
 &= \bar{X}YZ + X\bar{Y}Z + XY(\bar{Z} + Z) \\
 &= \bar{X}YZ + X\bar{Y}Z + XY
 \end{aligned}$$

ثم نمثل هذه المعادلة بالبوابات المنطقية.



ثم نقوم بشراء المتكاملات التي تمثل هذه الدائرة:

- متكاملة للعواكس بها 6 فنستخدم اثنين فقط.
- متكاملة بها ثلاث بوابات AND بثلاث مداخل، أحد هذه البوابات سنقصر أحد دخولها على الذي يليه بحيث يكون لها مدخلان فقط كي تمثل البوابة 3.
- متكاملة بها ثلاث بوابات OR بثلاث مداخل نستخدم واحدة فقط.

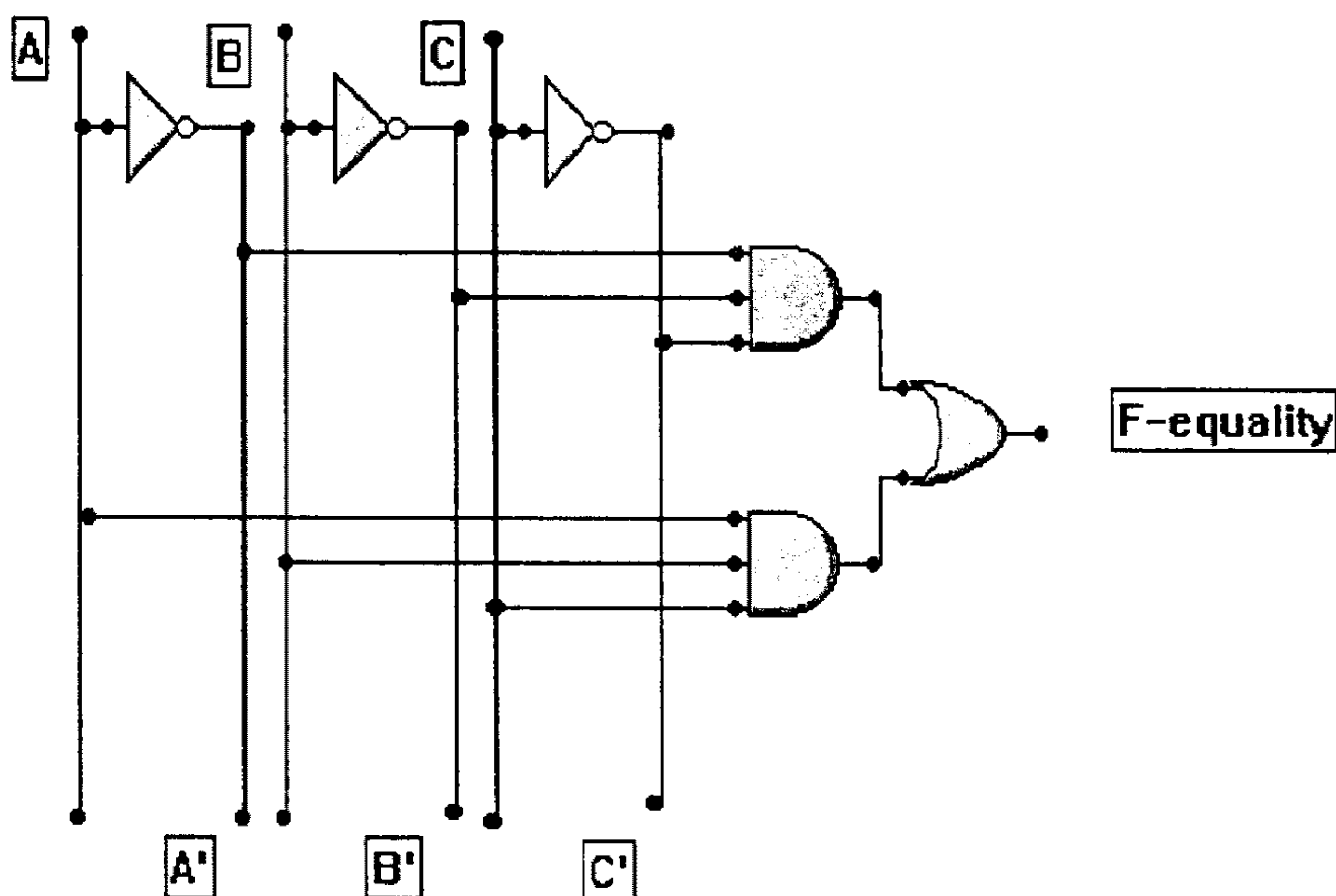
ثم نقوم بطباعة خطوط التوصيل بين أرجل المتكاملات وضم أطراف الأرضي والتغذية كلاً على حدة، وتتقب أماكن الأرجل ثم نلحم المتكاملات بالدائرة النحاسية.

مثال ٢-١٤: صمم بوابة التساوي التي تخرج 1 عندما يكون كل مداخلها متساوية سواء أصفار أو واحد وهي ذات ثلاث متغيرات.

الحل

	A	B	C	FEquality	
0	0	0	0	1	\overline{ABC}
1	0	0	1	0	
2	0	1	0	0	
3	0	1	1	0	
4	1	0	0	0	
5	1	0	1	0	
6	1	1	0	0	
7	1	1	1	1	ABC

$$FEquality = \overline{ABC} + ABC$$

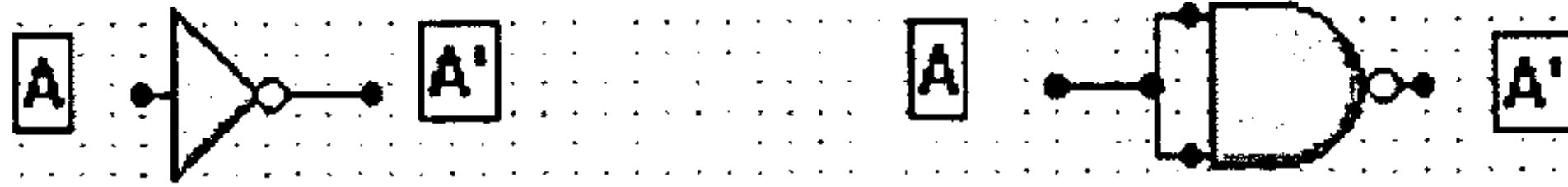


نحتاج ثلاث متكاملات كالسابقة تماماً.

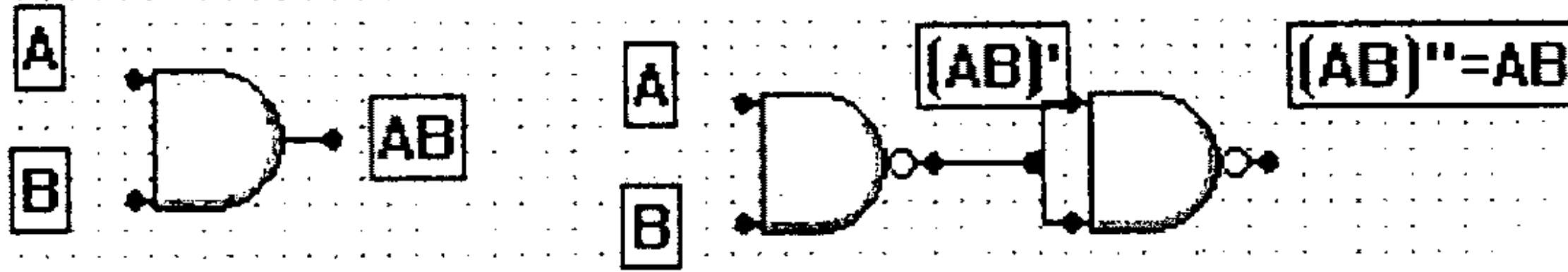
تمثيل الدوائر المنطقية باستخدام البوابة NAND فقط

لاحظنا في الأمثلة السابقة أننا نحتاج لأكثر من نوع من المتكاملات وأننا في الغالب لا نستخدم كل المكونات الداخلية للمتكاملة مما يؤدي لهدر كبير في المال وبالتالي في سعر الدائرة فكان لزاماً علينا محاولة تقليل هذا الهدر باستخدام نوع واحد من البوابات يقوم مقام هذه الأنواع المختلفة (NOT - OR - AND) فوجدنا البوابة NAND. وإليك تمثيل البوابات الثلاث الرئيسية NOT، AND، OR بالبوابات NAND.

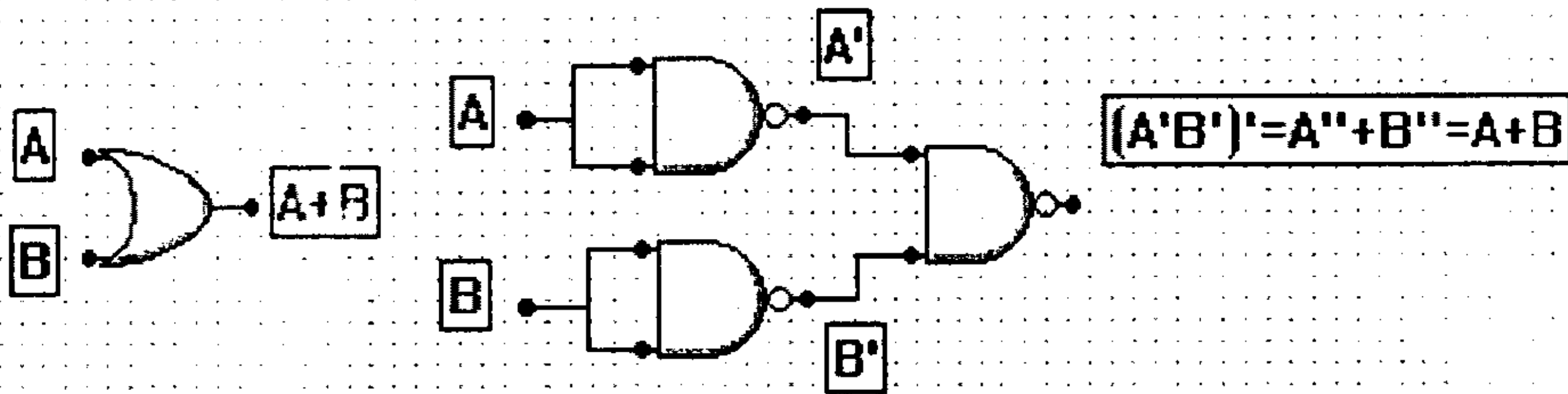
• تم عمل قصر لمداخل البوابة حتى تصير ذات مدخل واحد.



• بوابتان NAND إحداهما (2) تعمل كدالة NOT: الأولى تخرج ناتج AND منفي، والثانية تنفي فتعود لخرج البوابة AND المطلوب تمثيلها.

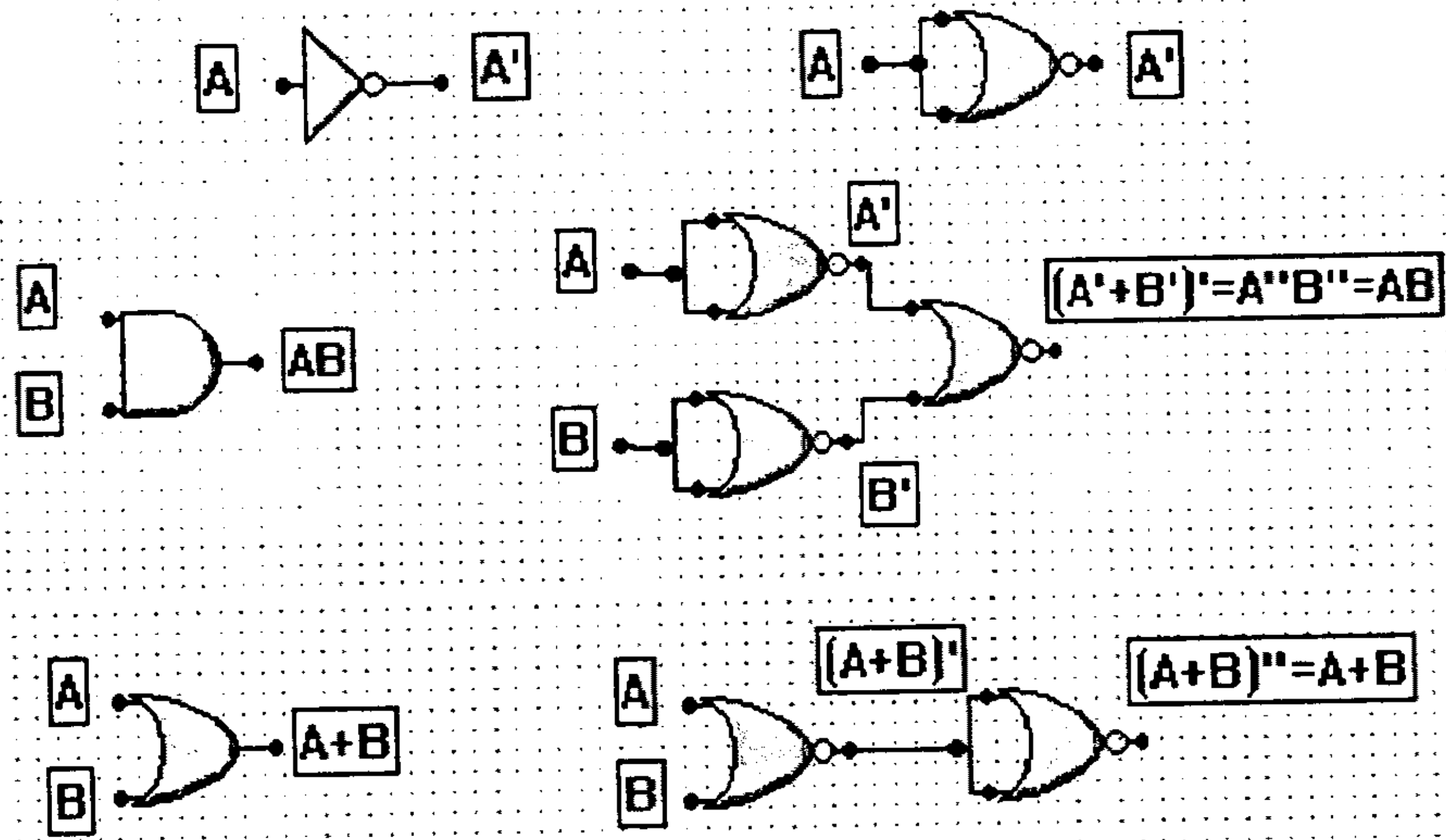


• وهذا تطبيق مباشر لنظرية ديمورجان



تمثيل الدوائر المنطقية بالبوابة العامة NOR

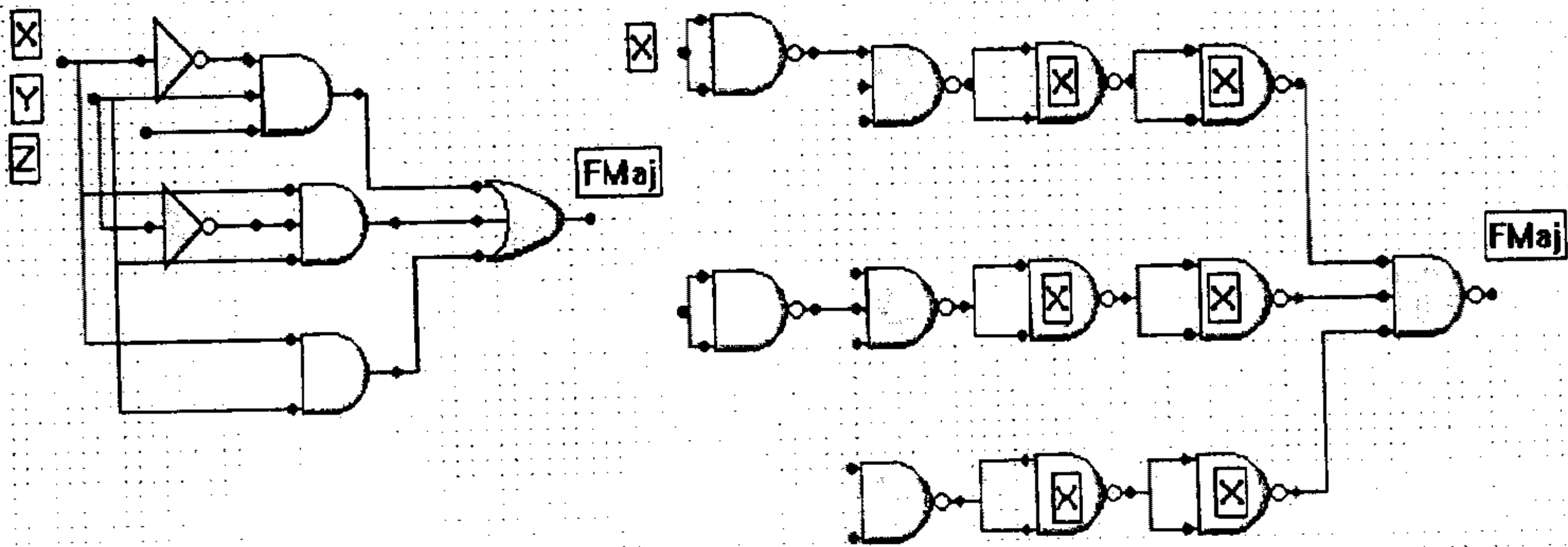
يمكننا تمثيل البوابات الرئيسية الثلاث NOT، AND، OR بالبوابة NOR كالتالي:



مثال ٢-١٥: أعد رسم دالتي التساوي والأغلبية باستخدام البوابات العامة NOR أو NAND.

$$FMajority = \bar{X}YZ + X\bar{Y}Z + XY$$

- نحتاج إلى 2 NAND بدلاً من 2 NOT.
- وإلى 4 NAND بدلاً من 3 AND.
- وإلى 4 NAND بدلاً من 1 OR ثلاثية.

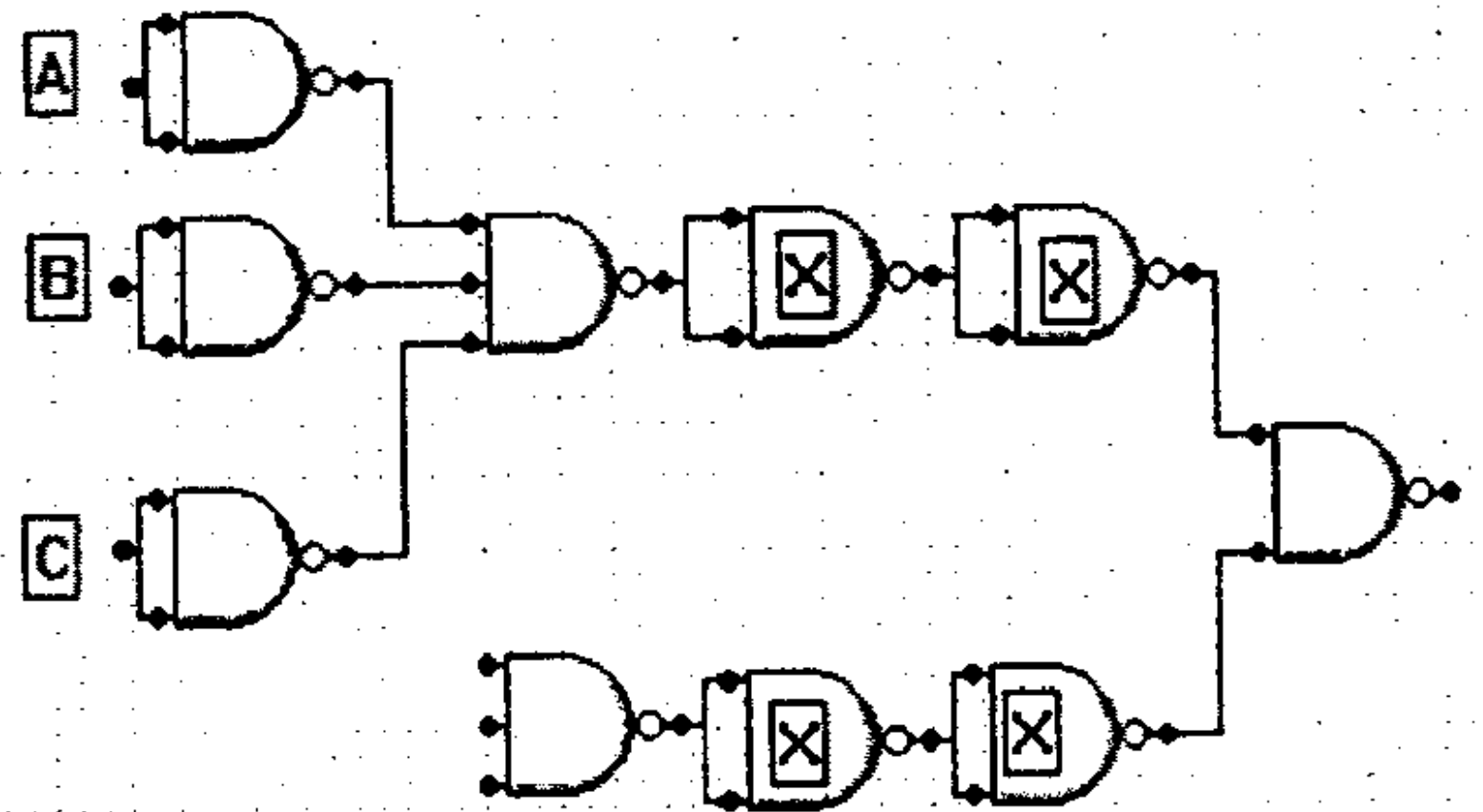
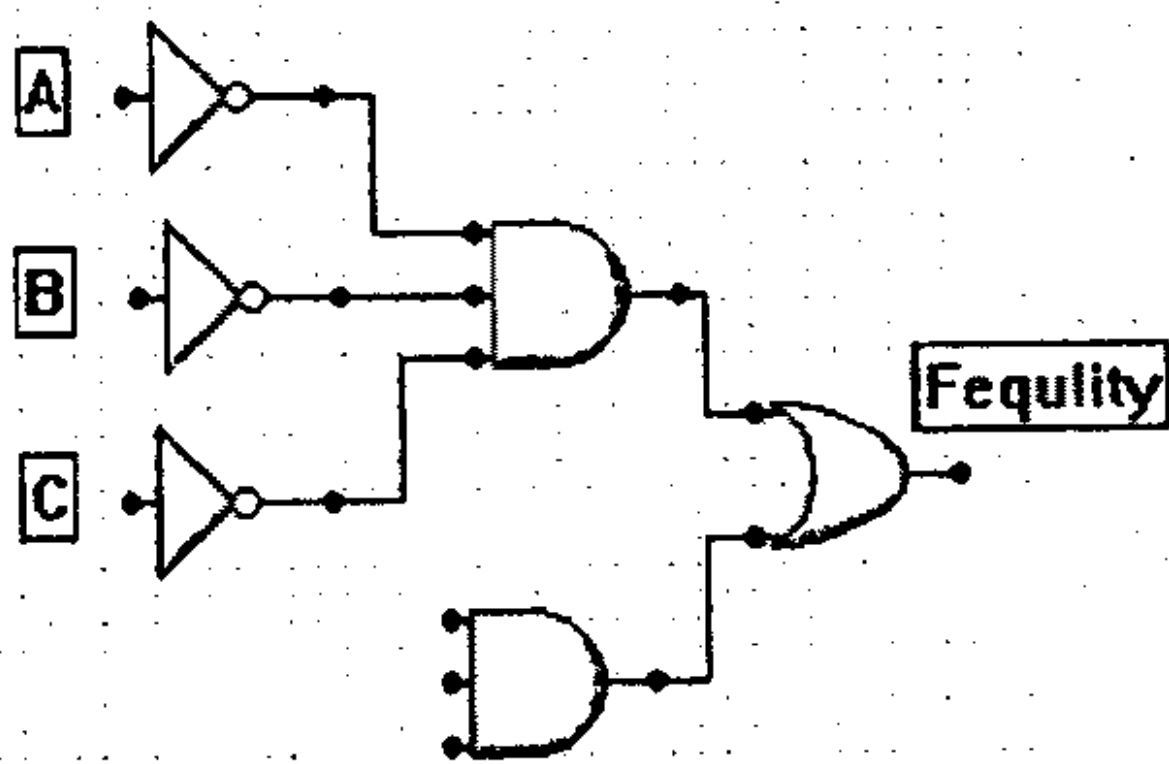


يتم إزالة محل بوابتين NAND متتاليتين (يعملان كبوابة NOT) لأن نفي النفي إثبات، فيصبح كل المطلوب ٣ بوابات NAND ثلاثية وثلاث بوابات NAND ثنائية، أي أننا في

حاجة لمتكاملتين واحدة بها ٤ NAND ثنائية نستخدم فيها 3 والأخرى بها ٣ NAND ثلاثية نستخدمها جميعاً.

وبذلك نكون قد وفرنا متكاملة وقللنا مساحة الدائرة المطبوعة ومجهود تقب اللوحة النحاسية وبالتالي التكلفة الإجمالية للدائرة.

$$FE_{equality} = \overline{ABC} + ABC$$



نحتاج إلى متكاملة NAND بمدخلين فيها ٤ بوابات لتمثيل ٣ بوابات نفي وبوابة OR ونحتاج إلى متكاملة بها 3 NAND بثلاثة مداخل نستخدم اثنين منها لتمثيل بوابتي AND.

اختبر نفسك

١. قارن بين البوابات الأساسية والمشتقة من حيث:

- جدول الحقيقة.
- الرمز الأوربي.
- تمثيل PLC.
- تمثيل فن.
- تمثيل كهربى.
- تمثيل إلكترونى.
- المخطط الزمني.

٢. ارسم الدوائر المنطقية للمعادلات التالية، واملأ جدول الحقيقة:

$$\sum(1,3,5)$$

$$\prod(2,4,5)$$

$$F = (\overline{A+B})(\overline{B+C})D$$

$$F = AC + \overline{B}\overline{D} + \overline{D}C$$

٣. اثبت النظريات التالية باستخدام فن، الجداول، المسلمات المنطقية:

$$\overline{AB} = \overline{A} + \overline{B}$$

$$A + AB = A$$

٤. صمم بوابة الأغلبية ذات ثلاثة مداخل.

٥. مثل بوابة الأغلبية، XOR، XNOR باستخدام البوابة العامة NOR.

الفصل الثالث

3

أهداف الفصل

عند الانتهاء من دراسة هذا الفصل يمكنك استيعاب النقاط التالية:

- فهم كود جراي ومميزاته.
- التحويل بين كود جراي والكود الثنائي.
- رسم خرائط كارنو لتغيرين، وثلاثة، وأربعة، وخمسة، وستة متغيرات.
- تبسيط خرائط كارنو.
- تمثيل الحالات غير المهمة.

خرائط كارنو

خرائط كارنو

هي طريقة سهلة للحصول على أبسط صورة لأي معادلة منطقية وهي تعتمد على تمثيل كل حالة/احتمال من احتمالات المعادلة المنطقية في مربع خاص ويتم ترتيب المربعات طبقاً لكود جراي والذي يتميز بأن كل احتمال يختلف عن الاحتمال المجاور له من أي جهة في خانة واحدة فقط مما ييسر عملية تجميع الاحتمالات المتشابهة وبالتالي سهولة الاختصار.

كود جراي

لكي نوضح ترتيب الاحتمالات في هذا الكود سنقارنه بالكود الثنائي في حالة أربع خانات.

الكود الثنائي					كود جراي				
القيمة العشرية	8	4	2	1	8	4	2	1	القيمة العشرية
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	1
2	0	0	1	0	0	0	1	1	3
3	0	0	1	1	0	0	1	0	2
4	0	1	0	0	0	1	1	0	6
5	0	1	0	1	0	1	1	1	7
6	0	1	1	0	0	1	0	1	5
7	0	1	1	1	0	1	0	0	4
8	1	0	0	0	1	1	0	0	12
9	1	0	0	1	1	1	0	1	13
10	1	0	1	0	1	1	1	1	15
11	1	0	1	1	1	1	1	0	14
12	1	1	0	0	1	0	1	0	10
13	1	1	0	1	1	0	1	1	11
14	1	1	1	0	1	0	0	1	9
15	1	1	1	1	1	0	0	0	8

• نلاحظ الخانة 8 الأعلى وزناً في الكود جراي مساوية تماماً للخانة 8 الأعلى

وزناً في الكود الثنائي.

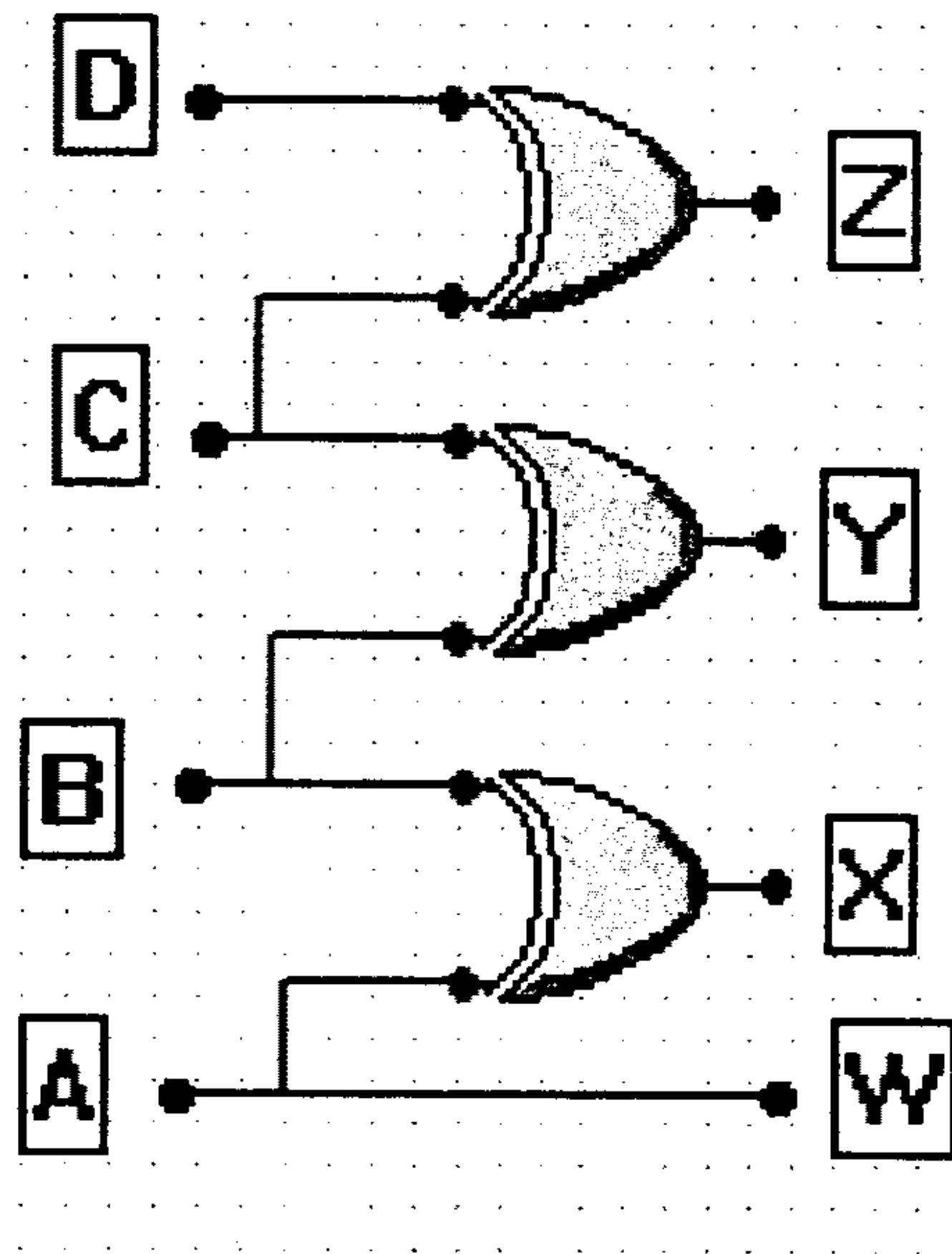
• في الخانة التالية في الوزن 4 يتم وضع مرآة في منتصف الاحتمالات. أي أن الخانة ذات الوزن 4 في الكود الثنائي يتم تكرارها أما في الكود جراي فيتم عكسها لا تكرارها.

• في الخانة ذات الوزن 2 يتم التكرار 4 مرات في الكود الثنائي، ولذلك نجد أن هناك ثلاث مرايا ليقوموا بعملية العكس في الكود جراي.

• في الخانة ذات الوزن 1 تزداد المرايا إلى 6 في الكود جراي.

• نلاحظ أن الاحتمال الأول (0000) يختلف عن الاحتمال التالي له (0001) في الخانة 1، ويختلف عن الاحتمال السابق له (1000) في خانة واحدة فقط هي الخانة 8. وكذلك الاحتمال (0110) يختلف عن سابقه (0010) في خانة 4، وعن لاحقه (0111) في خانة 1، وهكذا.

الدائرة المنطقية لتوليد الكود جراي



شكل (٣-١)

ABCD هو الكود الثنائي، WXYZ هو كود جراي. فمثلاً عندما
:0001 = ABCD

$$W = A = 0$$

$$X = \bar{A}B + A\bar{B} = 1 \times 0 + 0 \times 1 = 0$$

$$Y = \bar{B}C + B\bar{C} = 1 \times 0 + 0 \times 1 = 0$$

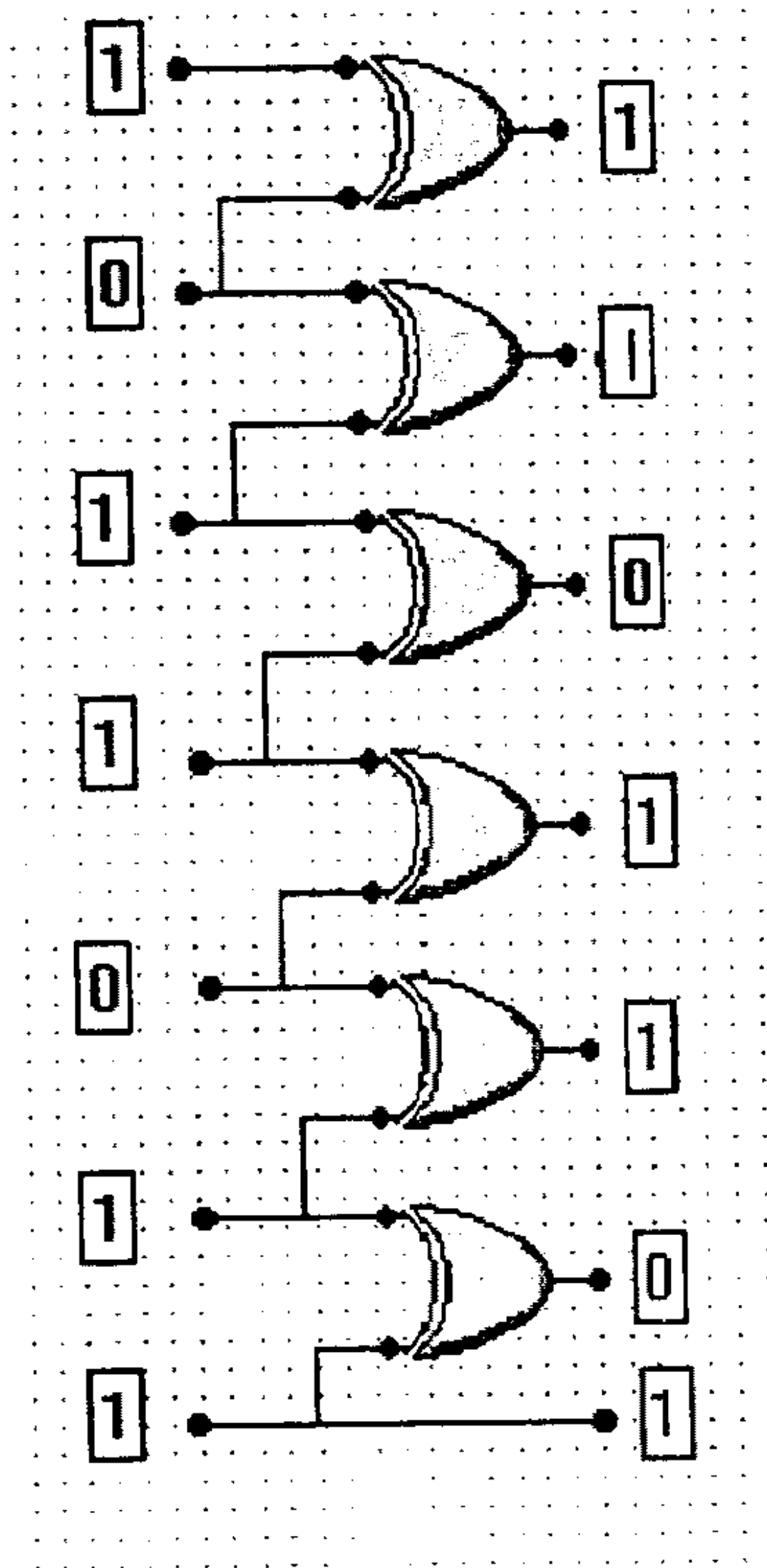
$$Z = \bar{C}D + C\bar{D} = 1 \times 1 + 0 \times 0 = 1$$

أي أن:

$$WXYZ = 0001$$

وبمقارنة تلك النتيجة بجدول الكودين السابق نجدها مطابقة للاحتمال الثاني.

مثال ١-٣ استنتج كود جراي للكود الثنائي $(1101101)_2$.



شكل (٢-٣)

ومعلوم أن البوابة XOR إذا كان دخلها مختلفين كان ناتجها 1، وإذا كانا متفقين كان ناتجها صفر 0.

تشكيل خرائط كارنو

خريطة كارنو لمتغيرين

أي أن لهما أربع احتمالات، وبالتالي لهما أربع مربعات كما بالشكل التالي:

			y
		0	1
x	0	$x'y'$	$x'y$
x	1	xy'	xy

(a)

(b)

شكل (3-3)

يتم تمثيل المتغير باحتمالية 0، 1 رأسياً.

يتم تمثيل المتغير باحتمالية 0، 1 أفقياً.

وهذه لا تستخدم مطلقاً لبساطة المعادلات ذات المتغيرين وسهولة اختصارها.

خريطة كارنو لثلاث متغيرات

ولهم 8 احتمالات.

m_0	m_1	m_3	m_2
m_4	m_5	m_7	m_6

		y			
		yz	00	01	11
x	0	$x'y'z'$	$x'y'z$	$x'yz'$	$x'yz$
	1	$xy'z'$	$xy'z$	xyz'	xyz

$\underbrace{\hspace{10em}}$
 z

شكل (3-4)

الأرقام المدونة داخل المربعات هي القيمة العشرية للكود الثنائي.

تم تمثيل المتغيرين Z، Y أفقياً حسب كود جراي.

تم تمثيل المتغير X رأسياً.

خريطة كارنو لأربع متغيرات

m_0	m_1	m_3	m_2
m_4	m_5	m_7	m_6
m_{12}	m_{13}	m_{15}	m_{14}
m_8	m_9	m_{11}	m_{10}

(a)

		y			
	yz				
w,x	00	01	11	10	
00	w'x'y'z'	w'x'y'z	w'x'yz	w'x'yz'	
01	w'xy'z'	w'xy'z	w'xyz	w'xyz'	
11	w'xy'z'	w'xy'z	w'xyz	w'xyz'	
10	w'x'y'z'	w'x'y'z	w'x'yz	w'x'yz'	

(b)

شکل (۳-۵)

نلاحظ أن هناك مناطق تحوي مجموعة احتمالات بصورة متجاورة فمثلاً نجد أن الاحتمالات التي تحوي $Y=1$ في عمودين متجاورين، والتي تحوي $X=1$ في صفين متجاورين، والتي تحوي $W=1$ في صفين متجاورين، والتي تحوي $W=0$ في الصفين الآخرين، وهكذا.

خطوات الاختصار بخرائط كارنو ذات الثلاث متغيرات

١. من جدول الحقيقة نفرغ القيم داخل خريطة كارنوف، وللتبسيط نوقع القيم 1 ونترك خانات الأصفار خالية.
٢. كل خانة يتم تمثيلها بثلاثة رموز، فمثلاً الخانة 000 تمثل بالرموز $\overline{X}\overline{Y}\overline{Z}$.
٣. كل خانتين يتم تمثيلهما برمزتين، فمثلاً الخانتين 000، 001 بالرمزين $\overline{X}\overline{Y}$ لأن Z مترددة بين 0، 1.
٤. كل أربع خانات يتم تمثيلها برمز واحد، فمثلاً الصف الثاني يمثل بالرمز X.
- وكلما أمكن تجميع عدد أكبر من الخانات 2 أو 4 أو 8 أو 16 كلما كان أفضل في الاختصار حيث سيقبل عدد المتغيرات الممثلة لهذه المجموعات وبالتالي يقل عدد مداخل البوابات. وأيضاً فإنه كلما كانت المجموعات كبيرة، قل عدد حدود المعادلة، وبالتالي يقل عدد البوابات الممثلة لها.

مثال ٣-٢ اختصر خرائط كارنو التالية:

		A	
B	C	0	1
	0	1	1
0	1	1	
1	1	1	
1	0	1	1

شكل (٣-٦): $F_1 = \bar{A} + \bar{C}$

		A	
B	C	0	1
	0	1	
0	1	1	1
1	1	1	1
1	0		1

شكل (٣-٧): $F_2 = C + AB + \bar{A}\bar{B}$

		A	
B	C	0	1
	0	1	
0	1		1
1	1	1	
1	0		1

شكل (٣-٨): $F_3 = A \oplus B \oplus C$

		A	
		0	1
B	C		
	00		1
	01		
	11		1
	10	1	1

شكل (٩-٣) : $F_4 = \overline{B}\overline{C} + A\overline{C} + AB$

		A	
		0	1
B	C		
	00	1	1
	01	1	1
	11	1	1
	10	1	1

شكل (١٠-٣) : $F_5 = 1$

		A	
		0	1
B	C		
	00		1
	01	1	
	11		1
	10	1	

شكل (١١-٣) : $F_6 = A \oplus B \oplus C$

الحل

- الدالة F_1 : وجدنا ٤ وحيد في العمود $A=0$ ، أي أنهم يمثلون بـ \overline{A} ،
وواحدين بالصف $\overline{B}\overline{C}/00$ ، وواحدين بالصف $\overline{B}\overline{C}/10$ ، أي أنهما في منطقة

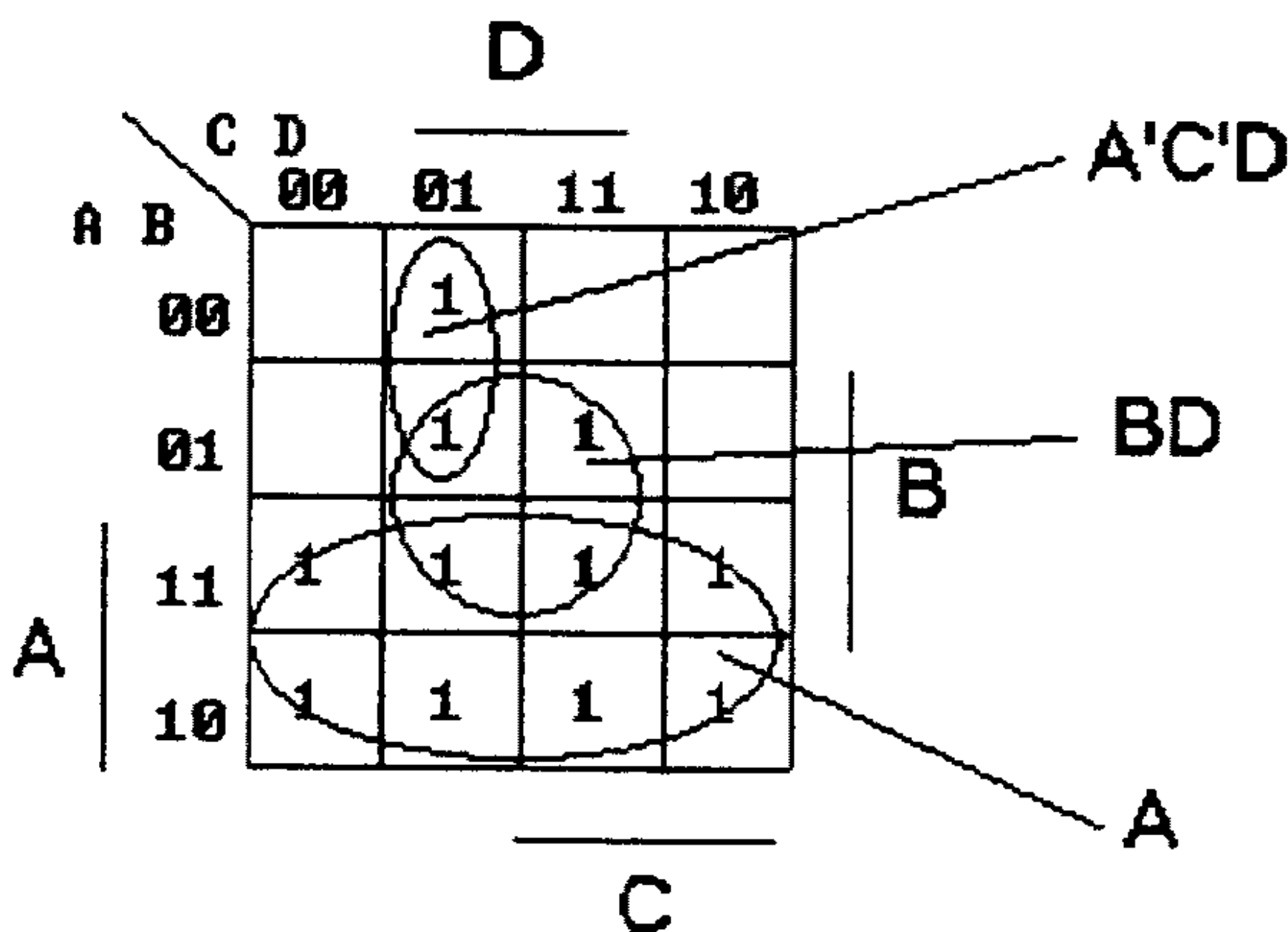
- \bar{C} ، حيث $C=0$ في كلا الصفين. إذن الدالة متحققة في المنطقتين \bar{A} ، \bar{C} .
- الدالة F_2 : ٤ وحيد بمنطقة C ، أي بالصفين $BC=01$ ، $BC=11$ ، والتي قيمتها $C=1$. ويبقى عندنا واحد في الأيسر العلوي وواحد بالركن الأيمن السفلي ولو مثلنا كل واحد وحده، فسنحتاج لبوابتين AND كل منهما ذات ثلاث مداخل فوجب علينا البحث عن وحيد مجاورة لكل منهما لتكوين مجموعات ثنائية كي تستطيع استخدام بوابات AND ذات مدخلين حتى لو كانت هذه الوحيد تم استخدامها من قبل في مجموعة أخرى فوجدنا واحدتين بالعمود الأول والصفين 00 ، 01 فهما يقعان بالمنطقة \bar{A} والمنطقة \bar{B} (لأن الصفين العامل المشترك بينهما أن $B=0$). وأما الواحدتين بالعمود الثاني والصفين 11 ، 10 فهما يقعان داخل المنطقة A والمنطقة B (لأن العامل المشترك بين الصفين أن $B=1$ في كل منهما).
- الدالة F_3 : نجد أن الوحيد متفرقة متبعثرة لا يمكن لم اثنتين منهما بحال، ولكننا نلاحظ أنهما في الخلايا الزوجية. أي أن الدالة تعطي 1 في حالة إذا كان عدد وحيد الدخل زوجي مثل 000 ، 011 ، 101 ، 110 ، وهذه هي العلاقة $XNOR$.
- الدالة F_4 : هناك واحدتين في الركن السفلي الأيمن يقعان في نطاق المنطقة A وفي نطاق المنطقة B ، أي أنهما في منطقة التقاطع AB . هناك واحدتين في الصف 10 ($B\bar{C}$)، أي أنهما في منطقة تقاطع B مع \bar{C} . الواحد الذي في الصف 00 والواحد الذي في الصف 10 يقع في منطقة \bar{C} وفي منطقة A ، أي أنهما يمثلان بـ $A\bar{C}$.
- الدالة F_5 : الخريطة كلها وحيد، أي ان الدالة تعطي واحد دائماً، أي يمكن تمثيلها بخط متصل بمصدر التغذية V_{cc} حيث $V_{cc} = \text{المنطق } 1$.

- الدالة F_6 : كما في الدالة F_3 ، إلا أن الواحد في الخلايا الفردية 001 ، 100 ، 101 ، 111 (الواحد الفردية)، وهذا يمثل بالعلاقة XOR.

خرائط كارنو لأربع متغيرات

قواعد الاختصار

١. البحث عن ١٦ خانة وحيد، أي أن الخريطة كلها وحيد فتكون الدالة مساوية للواحد.
 ٢. البحث عن ٨ خانات متجاورة قيمتها واحد، وهذه يتم تمثيلها برمز واحد حيث أن كل متغير له منطقة من ٨ مربعات.
 ٣. البحث عن ٤ خانات متجاورة قيمتها واحد، ويتم تمثيلها برمزين لأنها واقعة في منطقة مشتركة بين متغيرين.
 ٤. البحث عن ٢ خانة كل منهما بواحد، ويتم تمثيلهم بثلاث متغيرات حيث أن الخانتين يمثلان منطقة تقاطع ٣ متغيرات.
- كما بالشكل التالي:



شكل (٣-١٢)

ملاحظات

- يحظر التجاور القطري.
- يحظر الخانات المتباعدة بينهما خانات صفرية.
- خانات الأطراف المتقابلة رأسياً أو أفقياً متجاورة لأن خريطة كارنو يتعامل معها على أنها كرة أو اسطوانة رأسية إذا كانت خلايا الأطراف في اليمين واليسار أو اسطوانة أفقية إذا كانت خلايا الأطراف أعلى وأسفل.
- جميع خلايا الأركان متجاورة.

مثال ٣-٣ اختصر المعادلات التالية في أبسط صورة:

$$F_0(X, Y, Z) = \sum m(2, 3, 4, 5) \quad (أ)$$

$$F_1(X, Y, Z) = \sum m(3, 4, 6, 7) \quad (ب)$$

$$F_2(X, Y, Z) = \sum m(0, 2, 4, 5, 6) \quad (جـ)$$

الحل

(أ) الدالة F_0 حدودها 8 بدليل عدم وجود أكبر من 7. إذن الدالة من 3 متغيرات وليكن XYZ.

		YZ			
		00	01	11	10
X	0			1	1
X	1	1	1		

شكل (٣-٣) (١٣)

(ب) الدالة F_2 أيضاً ذات ثلاثة متغيرات.

(جـ) وكذلك الدالة F_3 ذات ثلاثة متغيرات.

	YZ		Y	
	00	01	11	10
X				
0			1	
1	1		1	1

(a) $F_1(X, Y, Z) = \sum m(3, 4, 6, 7)$
 $= YZ + X\bar{Z}$

	YZ		Y	
	00	01	11	10
X				
0	1			1
1	1	1		1

(b) $F_2(X, Y, Z) = \sum m(0, 2, 4, 5, 6)$
 $= \bar{Z} + X\bar{Y}$

شكل (٢-١٤)

مثال ٣-٤ اختصر المعادلتين التاليتين:

$$F_1 = \sum (1, 3, 5, 6, 7, 8, 12)$$

$$F_2 = \bar{A}B\bar{C}D + A\bar{C}\bar{D} + A\bar{B}\bar{C}$$

الحل

- الدالة F_1 ذات ٤ متغيرات ويمكن تمثيلها مباشرة في خريطة كارنو دون الحاجة لجدول حقيقة

		YZ			
		00	01	11	10
WX	00		1	1	
	01		1	1	1
	11	1			
	10	1			

$$F_1 = ZW' + W'XY + WY'Z'$$

- الدالة F_2 ذات ٤ متغيرات نتمثلها في جدول وخريطة.
- الحد $A\bar{B}\bar{C}$ يعني أن F_2 يجب أن تكون 1 عندما $A=1$ وعندما $B=0$ ، $C=0$. بصرف النظر عن قيمة D ولذا يتم تمثيلها في سطرين بالجدول.

• الحد $A\bar{C}\bar{D}$ أي أن F_2 يجب أن تكون 1 عندما $A=1$ ، $C=0$ ، $D=0$. بصرف النظر عن قيمة B ولذا يتم تمثيلها في سطرين بالجدول.

• الحد $\bar{A}B\bar{C}D$ أي أن F_2 تساوي 1 في حالة $A=0$ ، $B=1$ ، $C=0$ ، $D=1$.

والآن نرسم خريطة كارنو ونفرغ فيها جدول الحقيقة لنحصل على المعادلة التالية:

$$F_2 = A\bar{B} + A\bar{C} + B\bar{C}D$$

A	B	C	D	F_2	
0	0	0	0	0	
0	0	0	1	0	
0	0	1	0	0	
0	0	1	1	0	
0	1	0	0	0	
0	1	0	1	1	← $\bar{A}B\bar{C}D$
0	1	1	0	0	
0	1	1	1	0	← $A\bar{C}\bar{D}$
1	0	0	0	1	← $A\bar{B}\bar{C}$ {
1	0	0	1	1	
1	0	1	0	0	← $A\bar{C}\bar{D}$
1	0	1	1	0	
1	1	0	0	1	
1	1	0	1	0	
1	1	1	0	0	
1	1	1	1	0	

		C D			
		00	01	11	10
A B	00				
	01		1		
	11	1			
	10	1	1		

$$F2 = AB'C' + AC'D' + A'BC'D$$

شكل (٣-١٥)

خرائط كارنو 5 متغيرات و 6 متغيرات.

		CDE				C			
		000	001	011	010	110	111	101	100
A B	00	0	1	3	2	6	7	5	4
	01	8	9	11	10	14	15	13	12
	11	24	25	27	26	30	31	29	28
	10	16	17	19	18	22	23	21	20

شكل (٣-١٦)

فن تصميم الدوائر الرقمية

ABC	DEF				D			
	000	001	011	010	110	111	101	100
000	0	1	3	2	6	7	5	4
001	8	9	11	10	14	15	13	12
011	24	25	27	26	30	31	29	28
010	16	17	19	18	22	23	21	20
110	48	49	51	50	54	55	53	52
111	56	57	59	58	62	63	61	60
101	40	41	43	42	46	47	45	44
100	32	33	35	34	38	39	37	36

شكل (١٧-٣)

تمثيل الحالات غير المهمة في خريطة كارنو

وهو ما يطلق عليه بالإنجليزية Don't Care Condition، ويرمز لها داخل الخريطة بالرمز X حيث أن X إما 0 أو 1. نعتبرها بـ 1 عندما نحتاج إليها في تكوين مجموعات الاختصار.

مثال ٣-٥ اختصر خرائط كارنو التالية:

A B	C D			
	00	01	11	10
00	1			
01	1	1		1
11	X	X	X	X
10	1	1	X	X

شكل (١٨-٣) : $F_1 = \overline{B}C + \overline{A}C + A + \overline{C}D$

		Y Z		00	01	11	10
W X	00	1			1	1	
	01		1	1		1	
11		X	X	X	X		
10	1	1		X		X	

شكل (٣-١٩) : $F_2 = XZ + W + Y + \overline{XZ}$

نلاحظ من المجموعات أننا كلما كان إدخال X في مجموعات الاختصار، سيكون مفيداً أدخلناه مثل الحد W، والحد A أدخلنا ٦ X، والحد \overline{CD} أدخلنا X، والحد \overline{XZ} أدخلنا X واحدة، وهكذا.

اختبر نفسك

١. اكتب كود جراي لخمس متغيرات، ومثله بخريطة كارنو.
٢. ارسم الدائرة المنطقية لكود جراي ثمانية متغيرات (تحويل من جراي لثنائي).
٣. صمم دائرة لحساب مربع الأرقام من ٥ إلى ٩.

الفصل الرابع

4

أهداف الفصل

عند الانتهاء من دراسة هذا الفصل يمكنك استيعاب النقاط التالية:

- فهم وتصميم دوائر وحدة الحساب والمنطق ALU.
- تصميم الدوائر باستخدام البوابات.
- تصميم الدوائر باستخدام حالات الشفرة Decoders.
- تصميم الدوائر باستخدام دوائر التجميع Multiplexer.
- تصميم الدوائر باستخدام PLA.
- تصميم الدوائر باستخدام PAL.

طرق تصميم الدوائر المنطقية

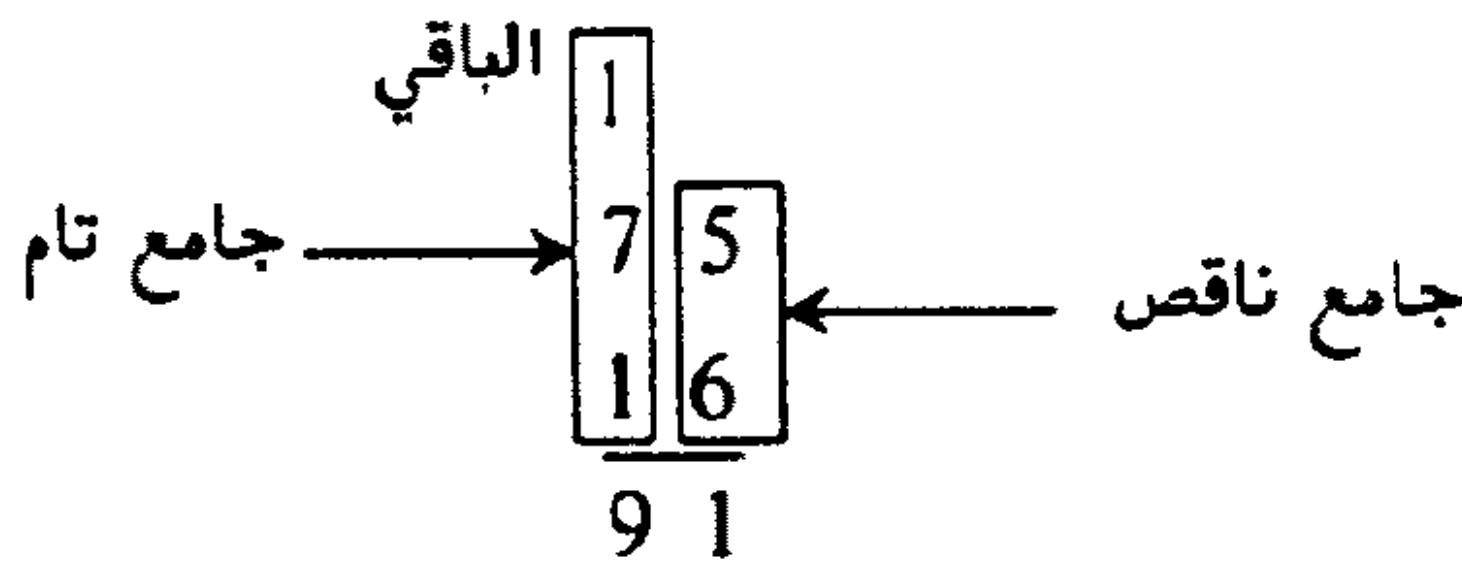
أولاً- باستخدام البوابات الرئيسية والعامة

خطوات التصميم

١. تمثيل الدالة في جدول الحقيقة المناسب لعدد المتغيرات في الدالة، فدالة بها ٣ متغيرات لها جدول حقيقة من ٨ احتمالات ١.
٢. تبسيط الدالة بتوقيع جدول الحقيقة في خرائط كارنو، والحصول على أبسط صورة للدالة.
٣. رسم الدالة باستخدام البوابات الرئيسية: AND، OR، NOT.
٤. إعادة رسم الدالة باستخدام البوابات العامة NOR أو NAND لتقليل التكلفة والحجم.
٥. اختصار "حذف" البوابات الزائدة.
٦. شراء المتكاملات المطلوبة.

الجامع الناقص Half Adder

عند جمع أي رقمين عشريين كالتالي: $16 + 75$



نلاحظ أنه في خانة الآحاد جمعنا رقمين فقط لأنه ليس هناك أي باقي، حيث أننا نجمع الخلية الأولى في النظام العشري. وهذا ما يطلق عليه "الجامع الناقص" الذي لا يحتوي باقي. أما عند جمع الخلية الثانية، فإننا جمعنا ثلاث أرقام $1 + 7 + 1$ ، أحدهم يمثل الباقي من جمع الخلية الأولى، وهذا ما يطلق عليه "الجامع التام" Full Adder.

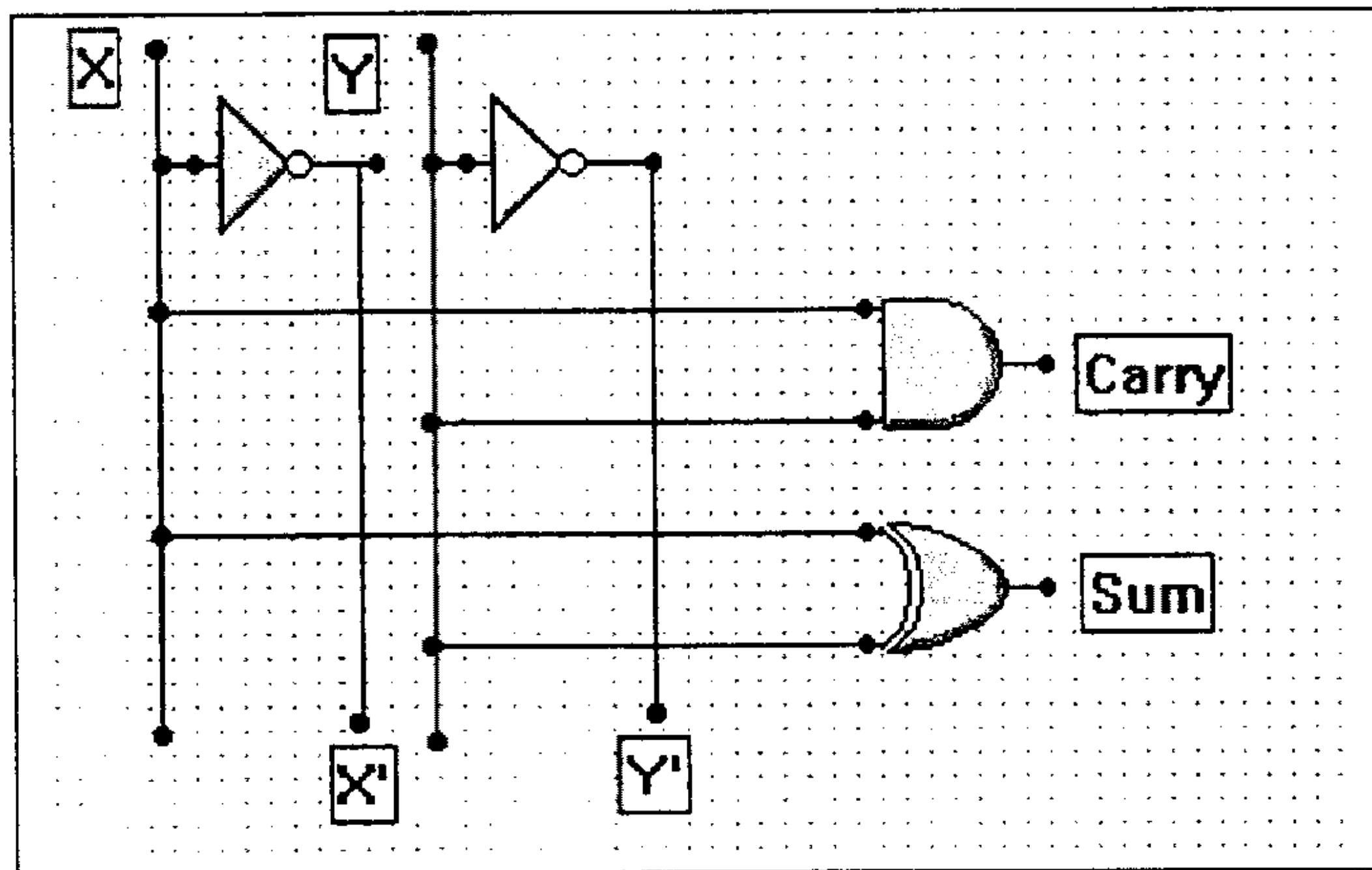
الجامع الناقص في النظام الثنائي

افترض أننا سنجمع رقمين X, Y ثنائيين، كل منهما عبارة عن خانة واحدة، فإن

جدول الحقيقة سيكون كالتالي: رقمين X, Y احتمالاتهما ٤، وخرجين أحدهما الجمع Sum والثاني الباقي Carry.

المقابل العشري			2	1
			الباقي	الجمع
	2	1	C	S
X	Y			
0	0	0	0	0
1	0	1	0	1
2	1	0	0	1
3	1	1	1	0

- الاحتمال الأول (0): ناتج الجمع صفر والباقي صفر.
 - الاحتمال الثاني (1): ناتج الجمع 1 والباقي صفر.
 - الاحتمال الثالث (2): ناتج الجمع 1 والباقي صفر.
 - الاحتمال الرابع (3): ناتج الجمع 0 والباقي 1، لأن الرقم 2 يتم تمثيله 0 في خانة 1، 1 في خانة 2.
- الخرج S عبارة عن دالة XOR.
- الخرج C عبارة عن دالة AND.



شكل (٤-١)

الجامع التام Full Adder

وفيه يتم جمع الخانات؛ خانة لكل رقم من الرقمين المراد جمعهما X, Y . وخانة الباقي من جمع خانتين سابقتين Z .

وإليك جدول احتمالات جمع الثلاث خانات والجمع والباقي.

المقابل العشري	X	Y	Z	2 C	1 S	نتاج الجمع بالعشري	$X + Y + Z$
0	0	0	0	0	0	0	$0 = 0 + 0 + 0$ والباقي 0
1	0	0	1	0	1	1	$1 = 0 + 0 + 1$ والباقي 0
2	0	1	0	0	1	1	$1 = 0 + 1 + 0$ والباقي 0
3	0	1	1	1	0	2	$0 = 0 + 1 + 1^*$ والباقي 1
4	1	0	0	0	1	2	$1 = 1 + 0 + 0$ والباقي 0
5	1	0	1	1	0	2	$0 = 1 + 0 + 1^*$ والباقي 1
6	1	1	0	1	0	2	$0 = 1 + 1 + 0^*$ والباقي 1
7	1	1	1	1	1	3	$1 = 1 + 1 + 1^{**}$ والباقي 1

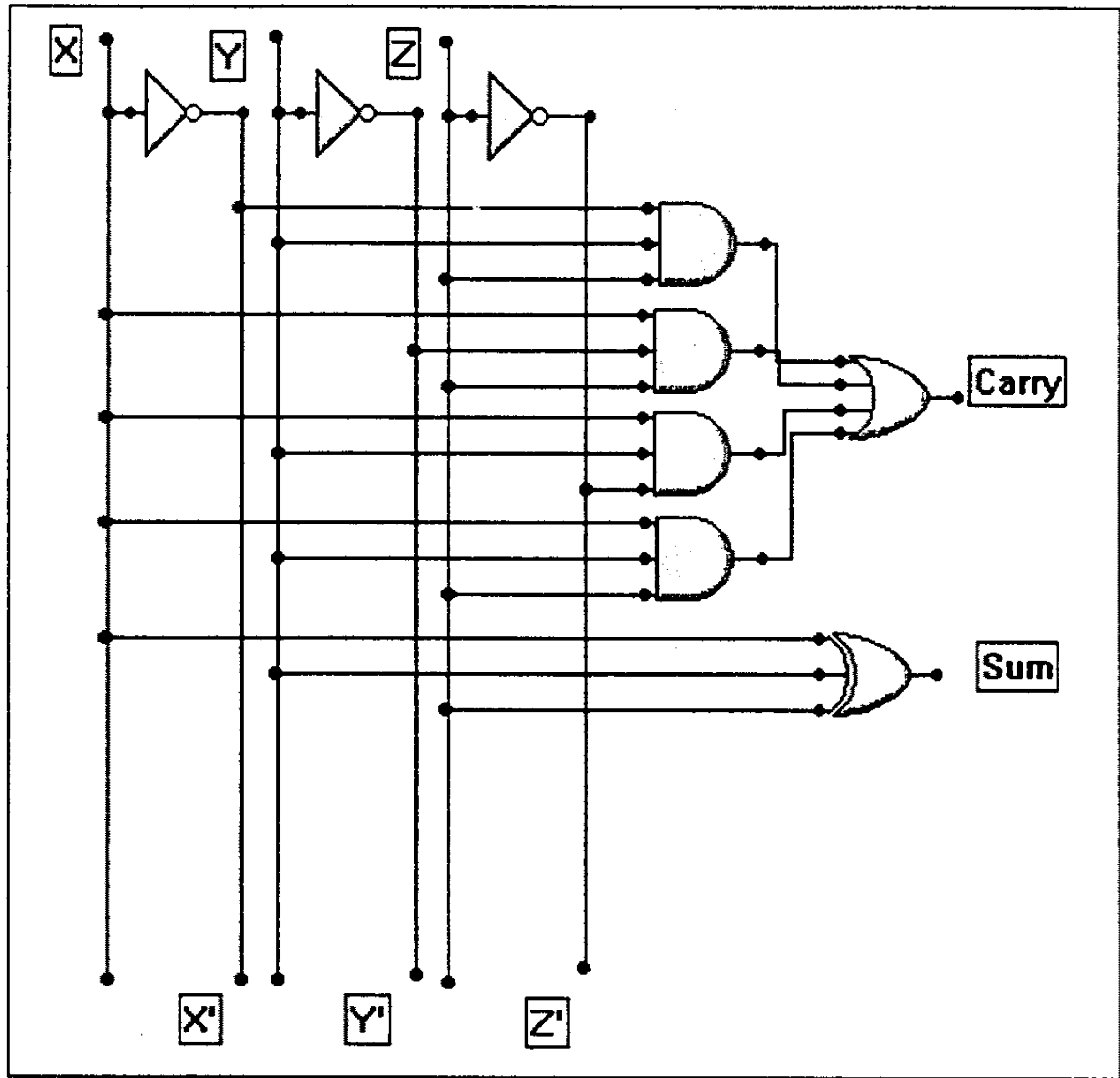
* لأن ناتج الجمع 2، يتم كتابتها بالثنائي $\begin{smallmatrix} 2 & 1 \\ 1 & 0 \end{smallmatrix}$ ناتج الجمع في الخانة الأولى 0

والباقي 1 يوضع في الخانة الثانية ذات الوزن 2.

** لأن ناتج الجمع 3، يتم كتابته بالثنائي $\begin{smallmatrix} 2 & 1 \\ 1 & 1 \end{smallmatrix}$ فناتج الجمع S في الخانة الأولى

(الآحاد) والباقي C في الخانة الثانية (اثنيان) ذات الوزن 2، فيكون مجموعهم 3.

أي أن ناتج الجمع العشري يتم تمثيله بالثنائي في خانتين CS حيث S وزنها 1، C وزنها 2.



شكل (٢-٤)

توقيع S، C في خرائط كارنو

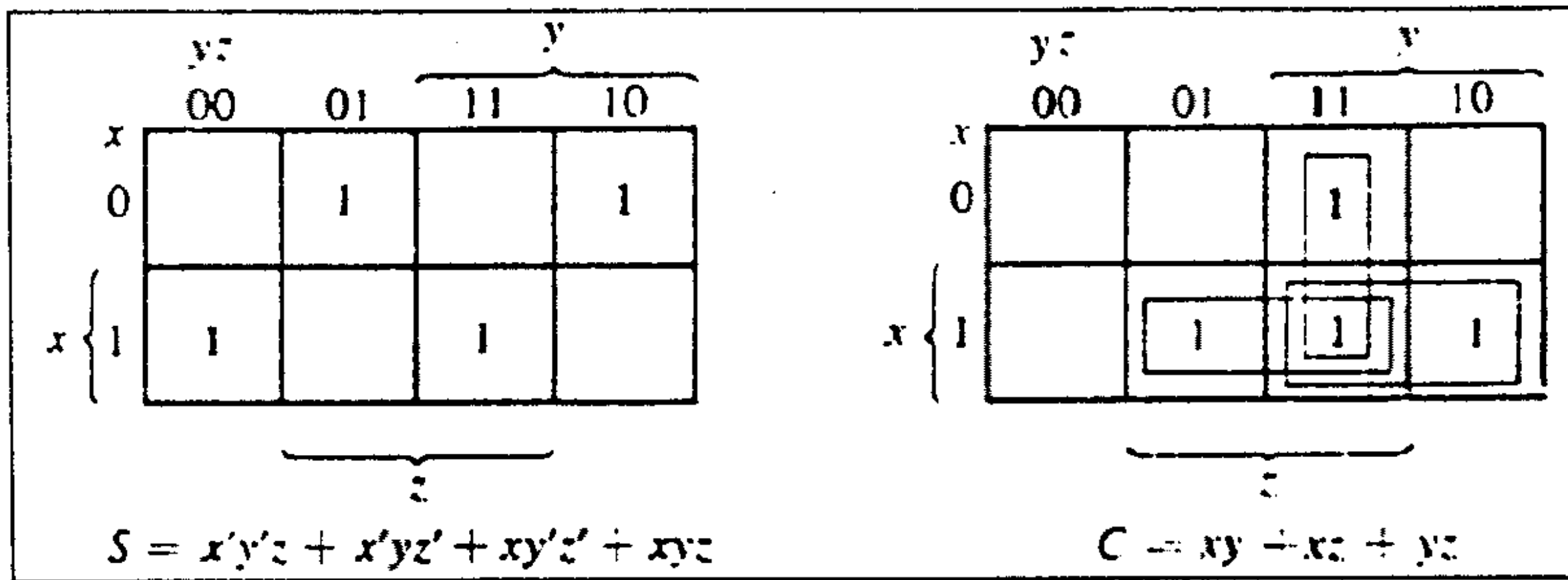
كل خرج يمثل في خريطة كارنو خاصة به.

أولاً- الخرج S إذا تأملناه جيداً سنجدّه عبارة عن دالة XOR بثلاث مداخل فلا حاجة لتبسيطه:

$$S = X \oplus Y \oplus Z$$

ثانياً- الخرج C له ثمان احتمالات:

١. توقع الواحد في الخانات المقابلة لها في الخريطة.

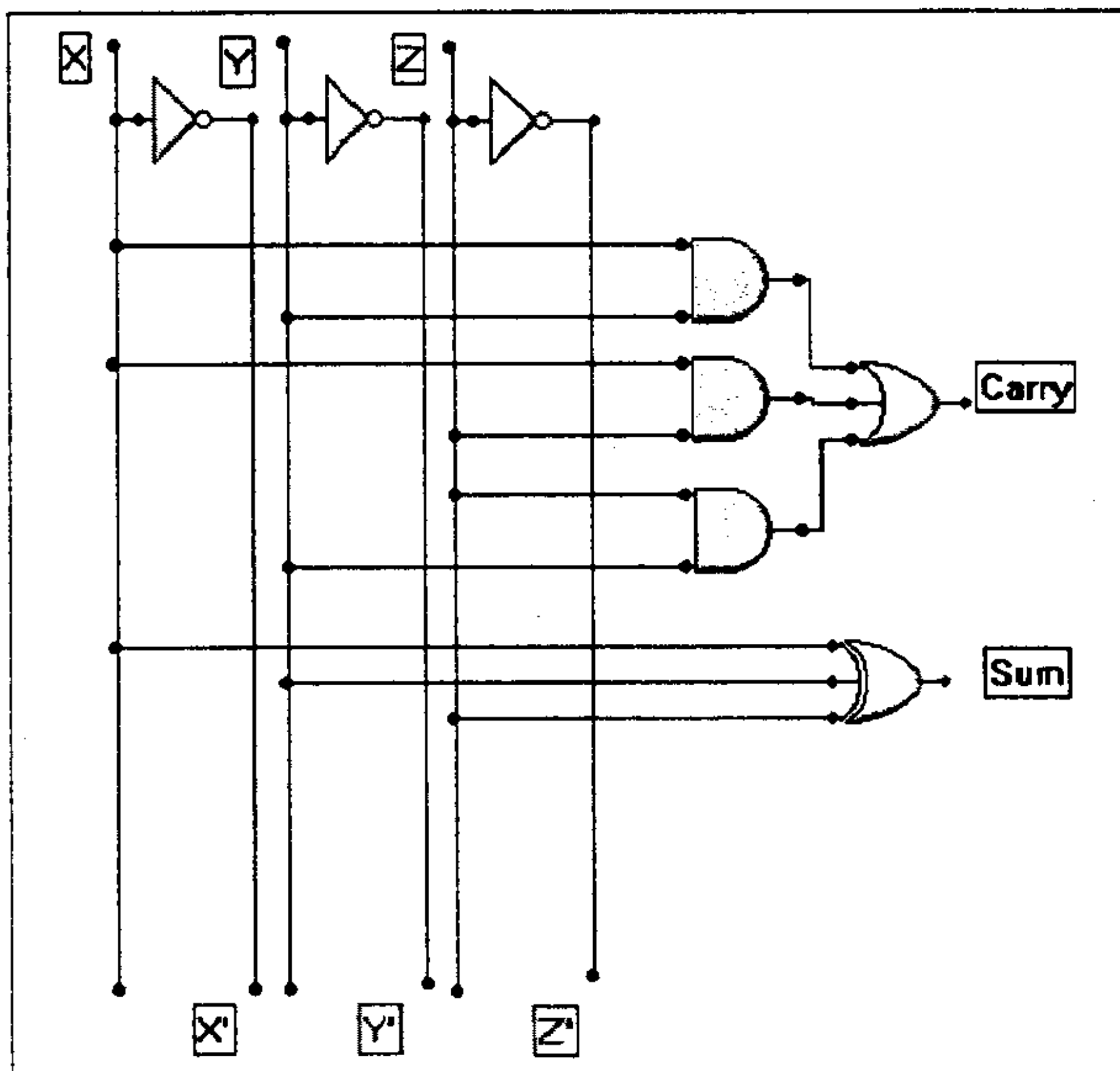


شكل (٤-٣)

٢. نقسم الواحد إلى مجموعات ثمانية، فإن تعذر فرباعية، فإن تعذر فثنائية، والمتاح هنا ثلاث مجموعات ثنائية:

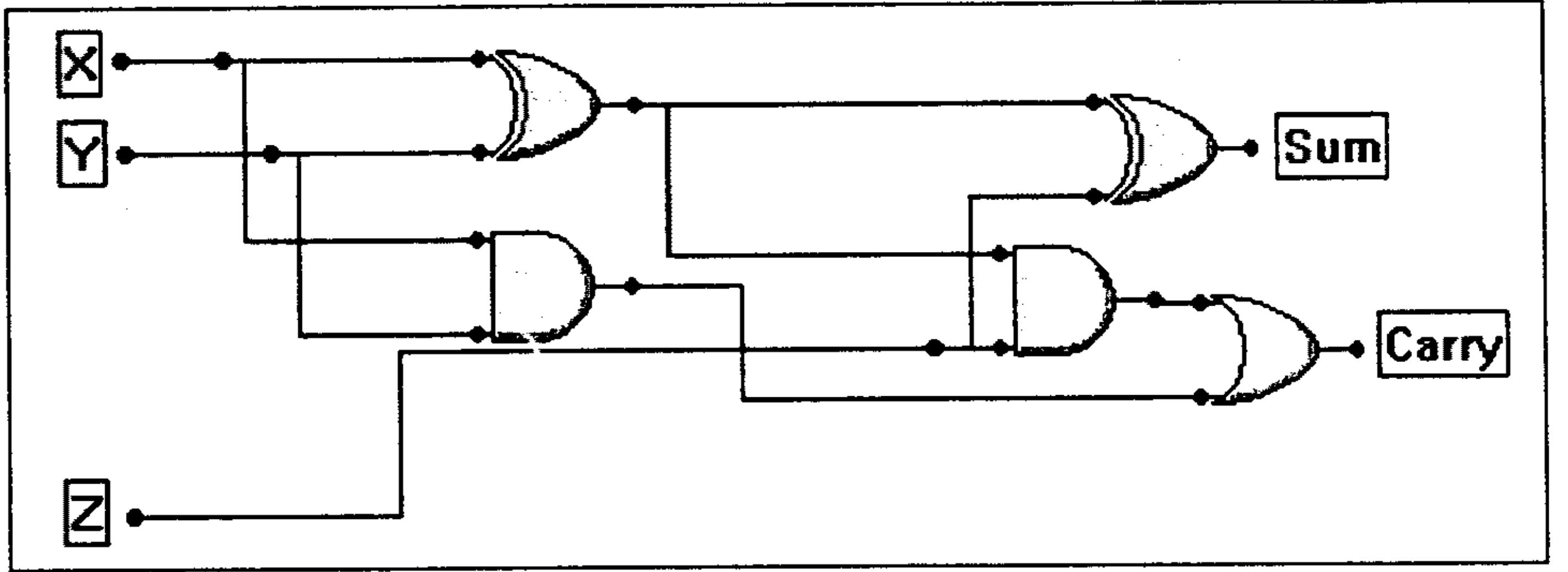
- الأولى: تقع في صف X، وتحت Z، أي XZ.
 - الثانية: تقع في صف X، وتحت Y، أي XY.
 - الثالثة: تقع في مربع Y وفي مربع Z، أي YZ.
٣. نكتب المعادلة المكونة من مجموع الحدود السابقة:

$$C = XZ + XY + YZ$$



شكل (٤-٤)

طريقة أخرى لرسم الدائرة المنطقية للجامع التام
وفي هذه الطريقة تستفيد من دائرة الجامع الناقص.



شكل (٤-٥)

فلو أخذنا خرج الجامع الناقص S_H مع Z وأدخلناه على XOR جديدة لحصلنا جمع الجامع التام S_F .

$$C_{Full} = XZ + XY + YZ$$

$$= XY + [\bar{X}YZ + X\bar{Y}Z] \leftarrow \text{من خريطة كارنو}$$

$$= XY + Z(\bar{X}Y + X\bar{Y})$$

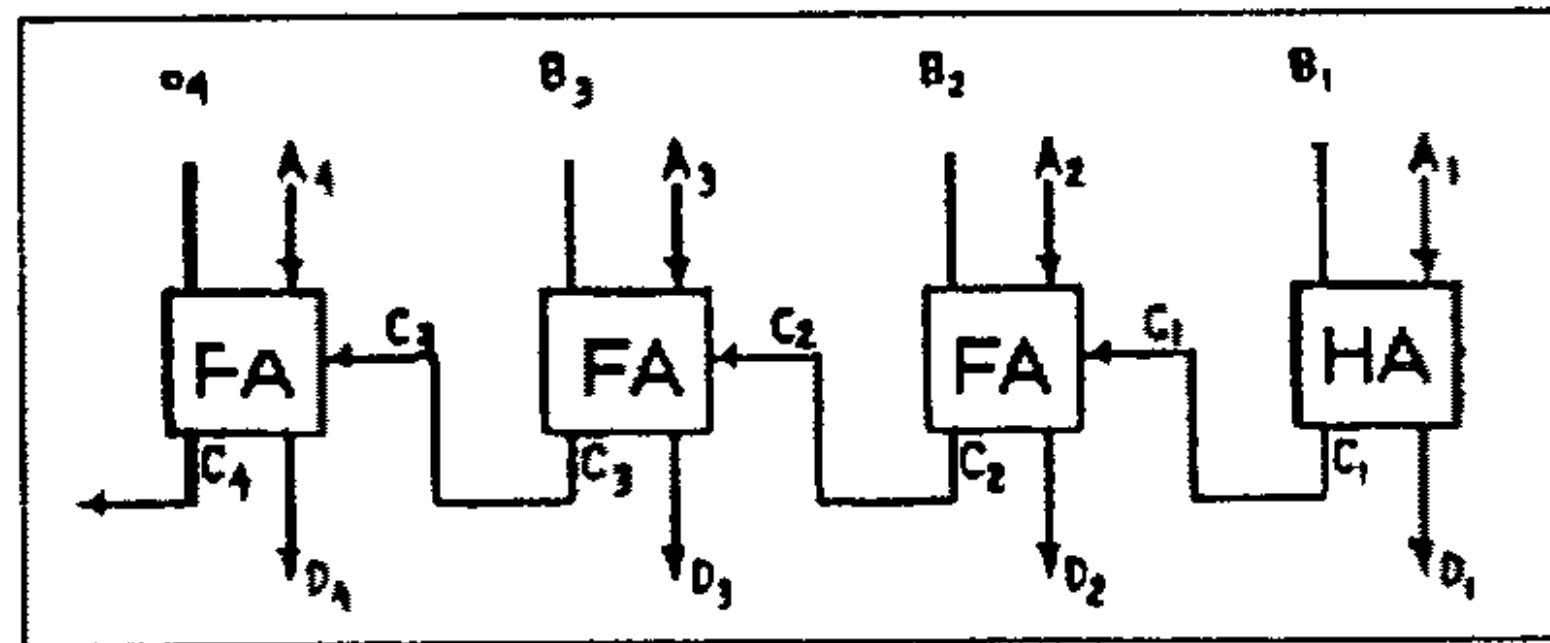
$$= XY + Z(X \oplus Y)$$

وتم تمثيلها باللون الأحمر.

الدائرة الكاملة لجامع رقمين ثنائيين كل منهما أربع خانات

$$A = A_3 A_2 A_1 A_0$$

$$B = B_3 B_2 B_1 B_0$$



شكل (٤-٦)

جمع الخانة الأولى للرقمين لا تحتاج إلا لجامع ناقص حيث لا يوجد باقي من خانات سابقة بقية الخانات الثلاث تحتاج لجامع تام، ولكن لا مانع من استخدام جامع تام للأولى، واعتبار الباقي من العمليات السابقة صفر.

الطرح الناقص

وفيه نطرح رقم ثنائي مكون من خانة واحدة Y من رقم ثنائي آخر مكون من خانة واحدة X والفرق Difference D .

وفي حالة ما إذا كان قيمة $X < Y$ ، فإننا نستلف من الخانة التالية في الرقم المطروح منه X ، ويطلق عليه Borrow B .

مثال ذلك في النظام العشري 27 من 35.

$$\begin{array}{r} \text{الأوزان} \\ 10 \quad 1 \\ X \quad 3 \quad 5 \\ Y \quad 2 \quad 7 \quad - \\ \hline 0 \quad 8 \end{array}$$

في طرح الخانة الأولى احتجنا استلاف 1 من خانة العشرات، فأصبح 7 من 15 يساوي 8 ولم يكن هناك مستلف سابقاً، أما في طرح الخانة الثانية، فقد تمت عمليتي طرح:

$$\begin{array}{r} \text{المطروح } Y - \text{المستلف سابقاً } Z - \text{الرقم المطروح منه } X \\ 3 - 3 = 0 \quad 2 - 1 = 1 \quad 3 - 3 = 0 \end{array}$$

وهذا ما يطلق عليه "الطرح التام" لاعتبار وجود سلف سابق.

إليك جدول احتمالات طرح رقم Y من رقم X في النظام الثنائي دون اعتبار سلف سابق.

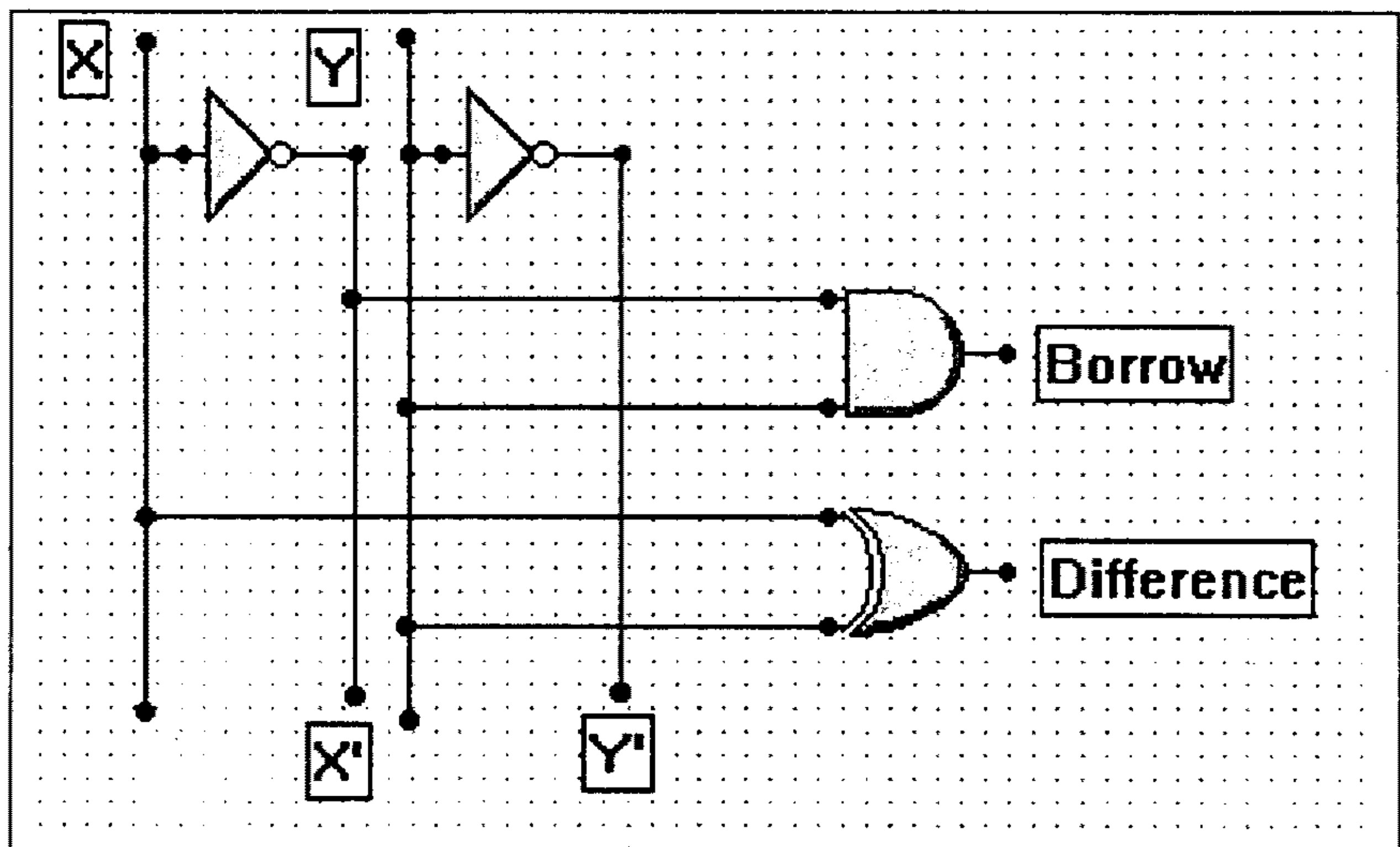
فن تصميم الدوائر الرقمية

		الفرق	
		الاستلاف	
X	Y	B	$D = X - Y$
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

1 من 0 لا يصح نستلف 1 من
الخانة التالية "قيمتة 2"، إذا 1 من
2 يساوي 1 والمستلف 1.

$$D = Y \oplus Y$$

$$B = \bar{X}Y$$



شكل (٧-٤)

الطرح التام Full Subtractor

وفيه الرقم المطروح منه X والمطروح Y والمستلف سابقاً "المطروح سابقاً" Z. وإليك جدول احتمالات X, Y, Z والفرق D والسلف B.

X	Y	Z	B	D =	X - Y - Z	
0	0	0	0	0	0 - 0 - 0	= 0
0	0	1	1	1	2 - 0 - 1	= 1
0	1	0	1	1	2 - 0 - 1	= 1
0	1	1	1	0	2 - 1 - 1	= 0
1	0	0	0	1	1 - 0 - 0	= 1
1	0	1	0	0	1 - 0 - 1	= 0
1	1	0	0	0	1 - 1 - 0	= 0
1	1	1	1	1	3 - 1 - 1	= 1

تم استلاف 1 للمطروح

منه X فأصبح 2

تم استلاف 1 للمطروح

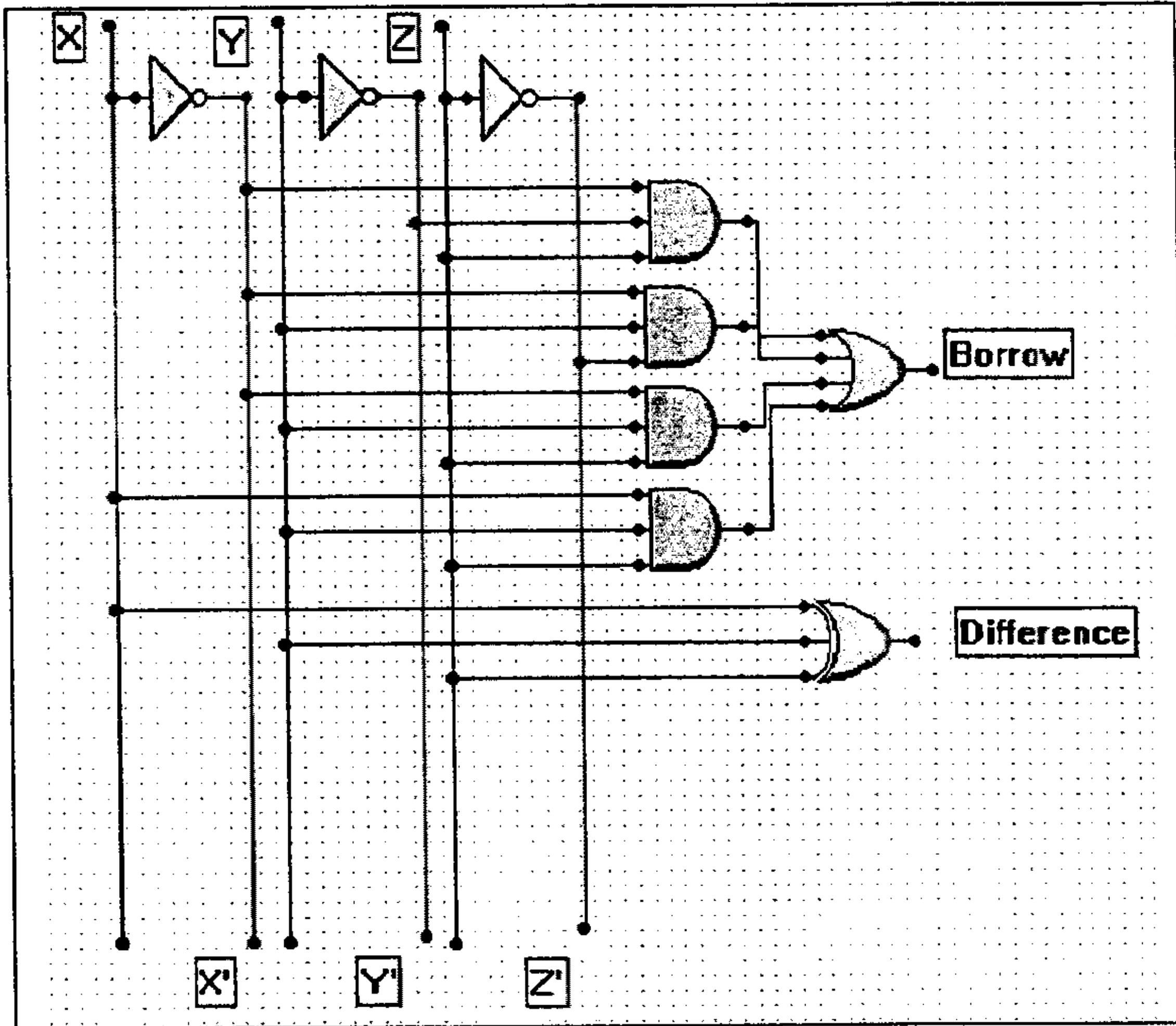
منه X فأصبح 3

في حالة $Z = 0$ ، فإن الأمر يسري كما لو كان طارح ناقص.

دالة الفرق D عبارة عن دالة XOR.

$$D = X \oplus Y \oplus Z$$

دالة الاستلاف B يتم توقييعها في خريطة كارنو ثم اختصارها.



شكل (٤-٨)

الطارح التام لرقمين ثنائيين كل منهما ٤ خانات

فلنتذكر كيف كنا نقوم بعملية الطرح في النظام الثنائي باستخدام الإتمام

2nd Complement.

كنا نقوم بجمع A على المكمل للمطروح Y ثم نجمع 1، أو نقوم بجمع X على المكمل 2 (المتمم) مباشرة.

مثال ذلك: نطرح Y من X.

$$(25)_{10} \quad A = 11001$$

$$(11)_{10} \quad B = 01011$$

$$11001$$

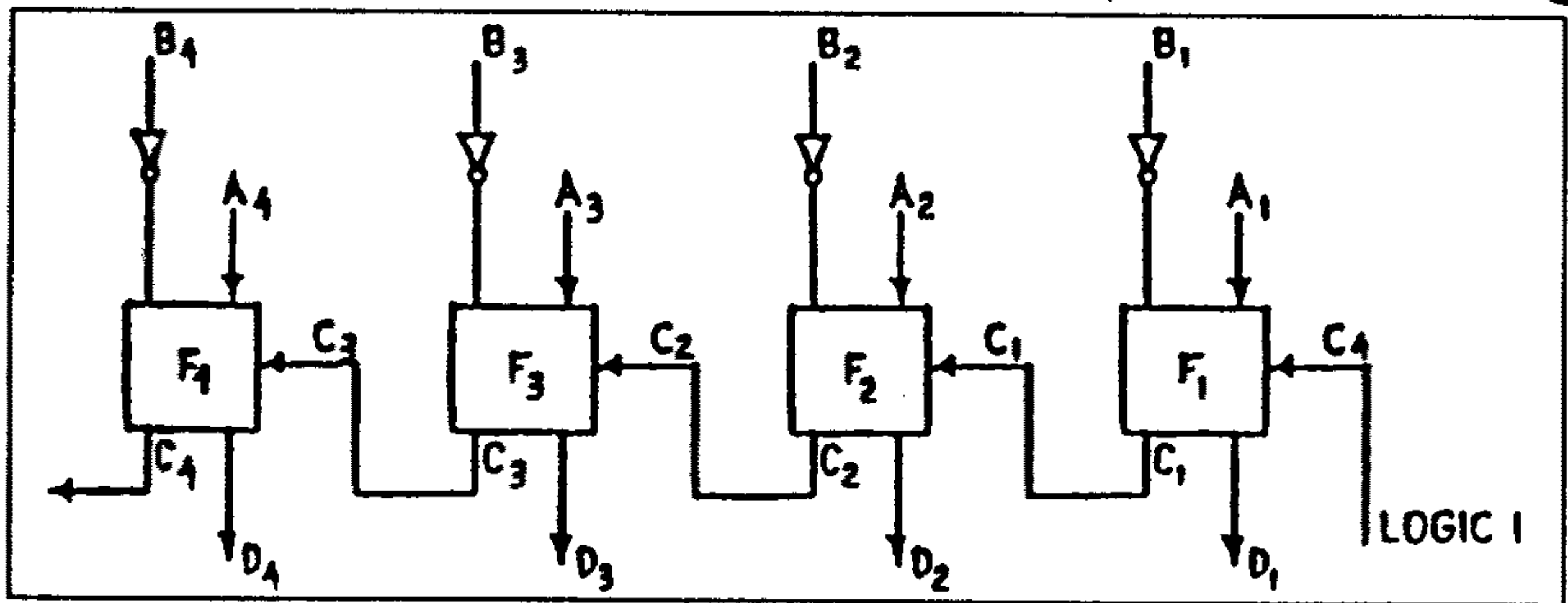
$$10100$$

$$01101$$

$$+ 1$$

$$(14)_{10} = (1110)$$

إذاً نجمع A على مقلوب B ثم نضيف 1.



شكل (٩-٤)

فهذا الرسم يختلف على الجامع التام ٤ خانات في:

١. عكس الدخل الثاني Y.

٢. إضافة 1 إلى أول خلية مما حولها من HA إلى FA. وبهذا نكون قد جمعنا X

على المكمل 1 لـ Y ثم جمعنا 1 على الناتج فحصلنا على ناتج الطرح.

الجامع/الطرح التام ٤ خانات

دائرة منطقية تقوم بعمليتي الجمع والطرح لرقمين طول كل منهما ٤ خانات.
بالتأمل في جدول حقيقة البوابة XOR خاصية مفتاح التمرير.

A	B	الخرج
0	0	0
0	1	1
1	0	1
1	1	0

عندما تثبت $A = 0$ ، فإن الخرج B .

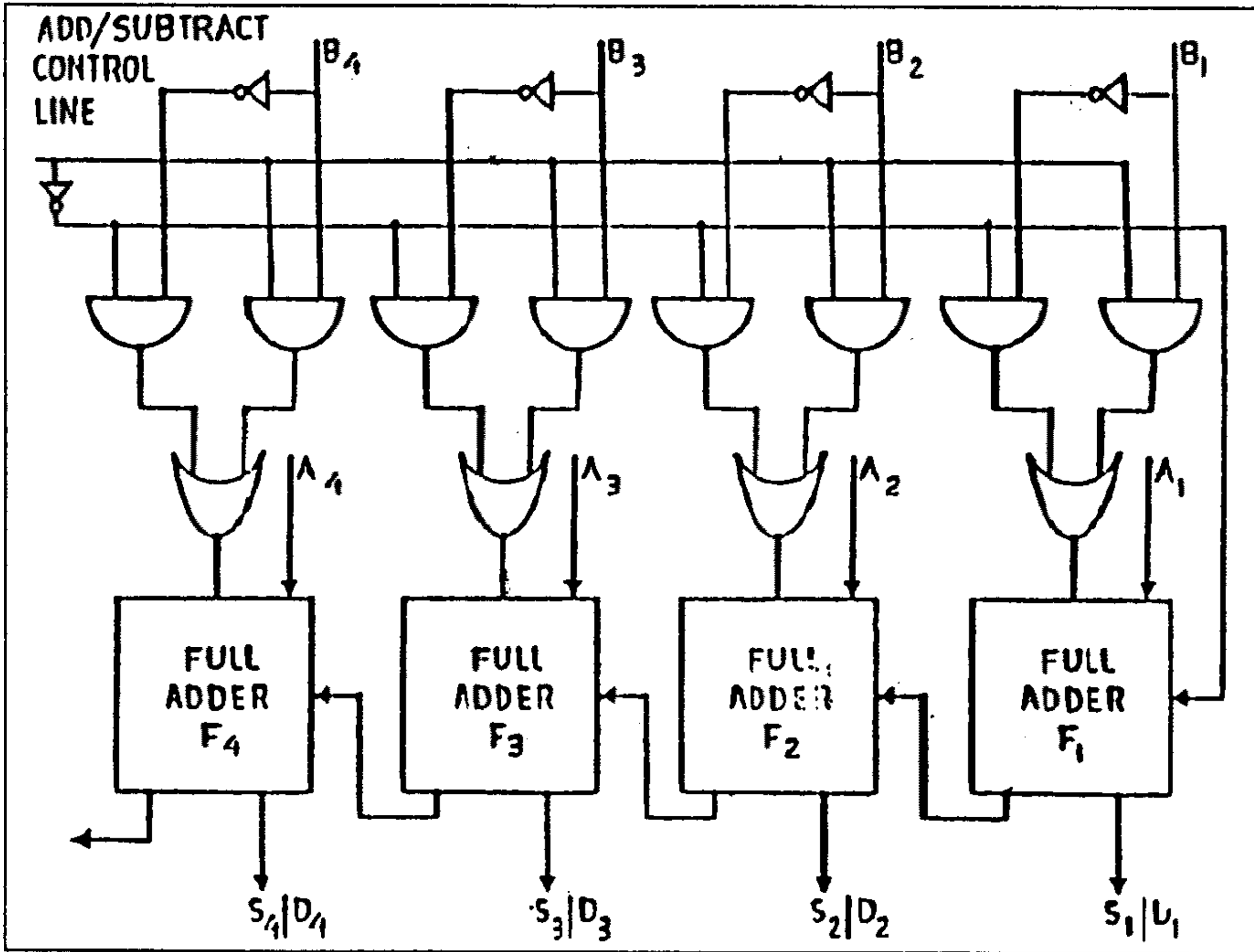
عندما تثبت $A = 1$ ، فإن الخرج \bar{B} .

وهذا ما نحتاجه تماماً في هذه الدائرة.

نريد مرة أن ندخل الرقم Y كما هو للحصول على ناتج

الجمع، وحينها تعمل الدائرة كجامع تام ٤ خانات، ومرة

ندخلها \bar{Y} كي تعمل الدائرة كطرح تام ٤ خانات.



شكل (١٠-٤)

إذا كان $Sub = 0$ ، فإن B ستمر كما هي، وتعمل الدائرة كجامع تام أول خلية فيه جامع ناقص لأنه لا يوجد باقي (الباقى = 0).

إذا كان $Sub = 1$ ، فإن B ستخرج من XOR معكوسة \bar{B} ، وتعمل الدائرة كطرح تام وتكون الخلية الأولى جامع تام لأن الباقي = 1.

دائرة تسريع الجامع التام المتوازي؛ خانات

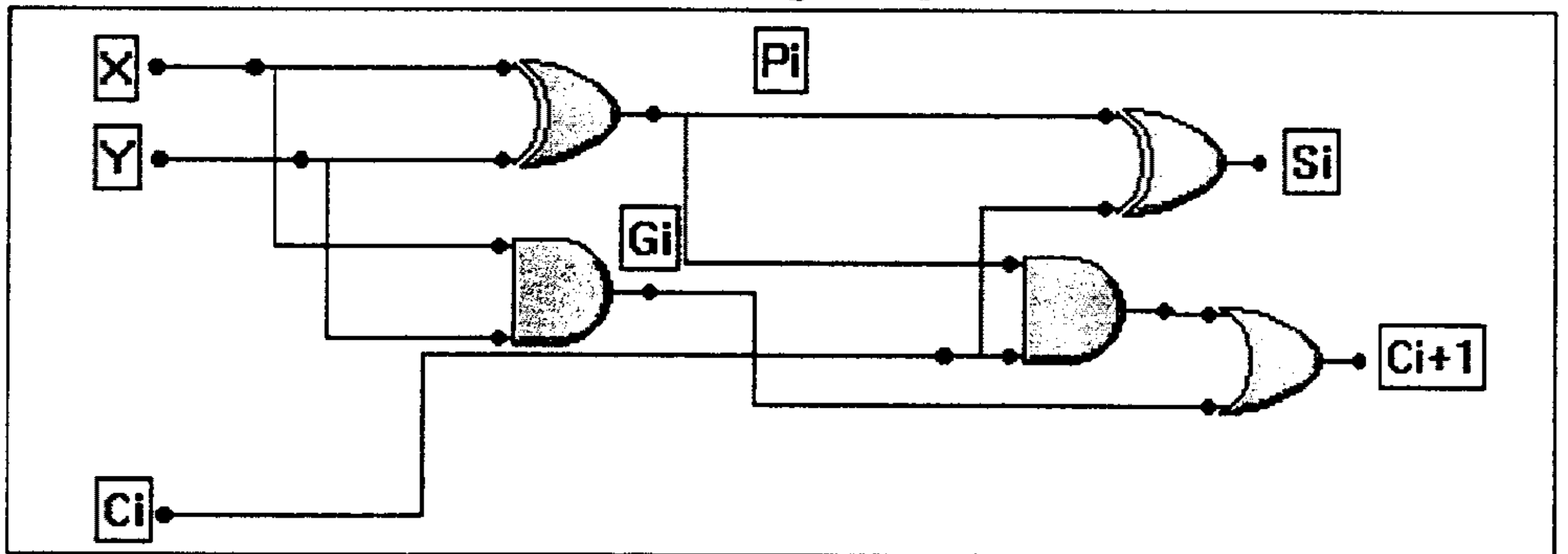
إن أي دائرة منطقية تنقسم لعدة مستويات من البوابات، وكلما زاد عدد المستويات تأخر الخرج النهائي.

في حالة الجامع التام/الطرح التام المتوازي نواجه مشكلة الوقت الطويل نسبياً الذي تستغرقه إشارة الباقي Carry أثناء عبورها خلال 4 دوائر جامع تام كل جامع يحتوي على مستويين من البوابات.

ولذا كان لابد من الوصول لفكرة تساعدنا في حل هذه المشكلة إننا بحاجة لدائرة منطقية تقوم بتوليد الباقي في نفس لحظة حصولنا على الجمع، وهذه الدائرة يطلق عليها Look a Head.

طريقة عمل الجامع التام

في البداية ينتج S_0 ، C_0 ، ثم S_1 ، C_1 لأنهما متوقفان على قيمة C_0 ثم S_2 ، C_2 لأنهما متوقفان على قيمة C_1 ثم S_3 ، C_3 لأنهما متوقفان على قيمة C_2 .
ولذلك يجب علينا توليد كل من C_0 ، C_1 ، C_2 ، C_3 بدائرة أخرى عدد مستويات البوابات فيها قليلة 2، بدلاً من 8 كي نسرع من الحصول على S_0 ، S_1 ، S_2 ، S_3 .



شكل (١١-٤)

$$P_i = X_i \oplus Y_i$$

$$G_i = X_i Y_i$$

$$S_i = P_i \oplus C_i$$

$$C_{i+1} = G_i + P_i C_i$$

$$C_{i+1} = G_i + P_i C_i$$

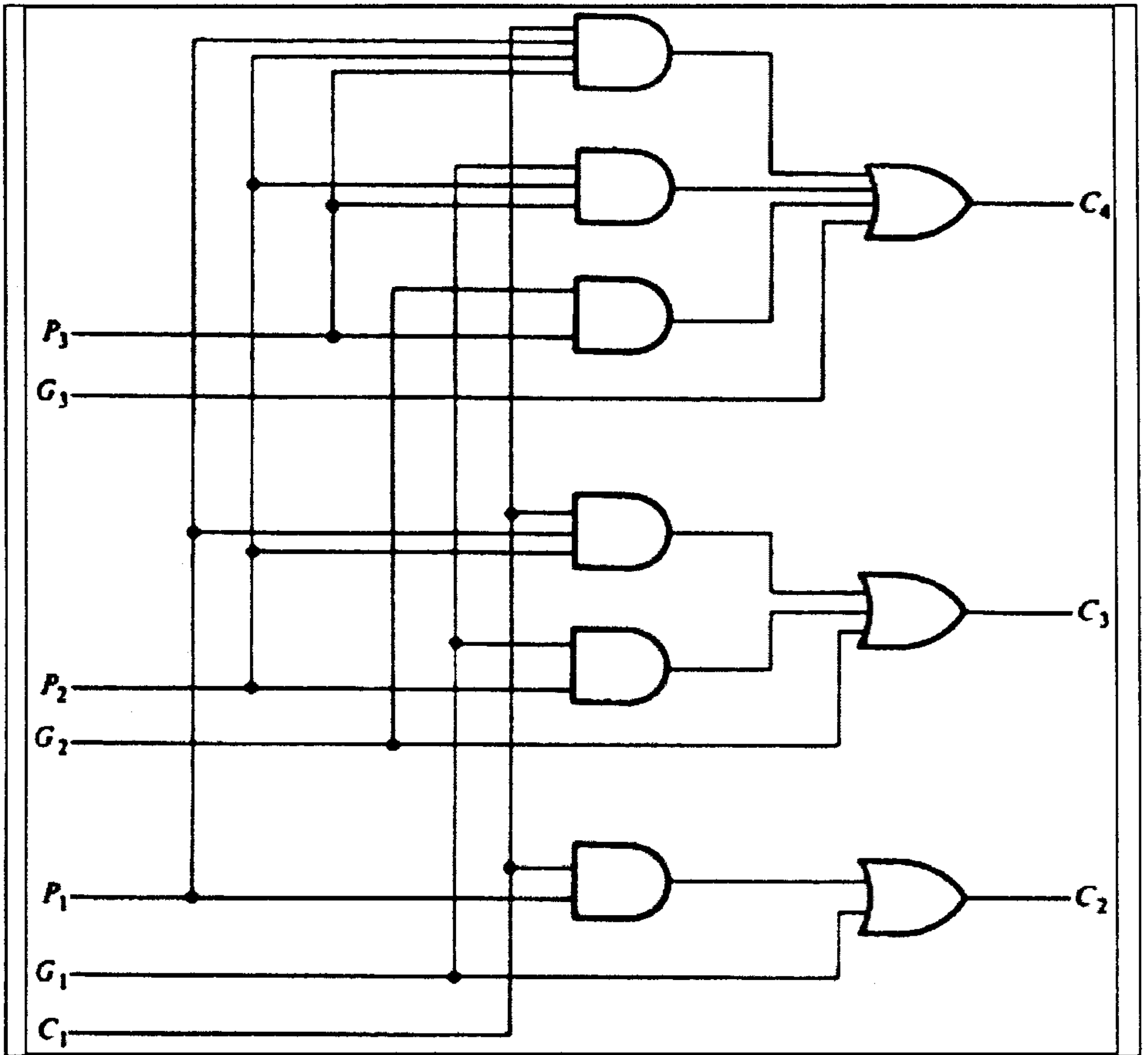
$$C_2 = G_1 + P_1 C_1$$

$$C_3 = G_2 + P_2 C_2 = G_2 + P_2 (G_1 + P_1 C_1) = G_2 + P_2 G_1 + P_2 P_1 C_1$$

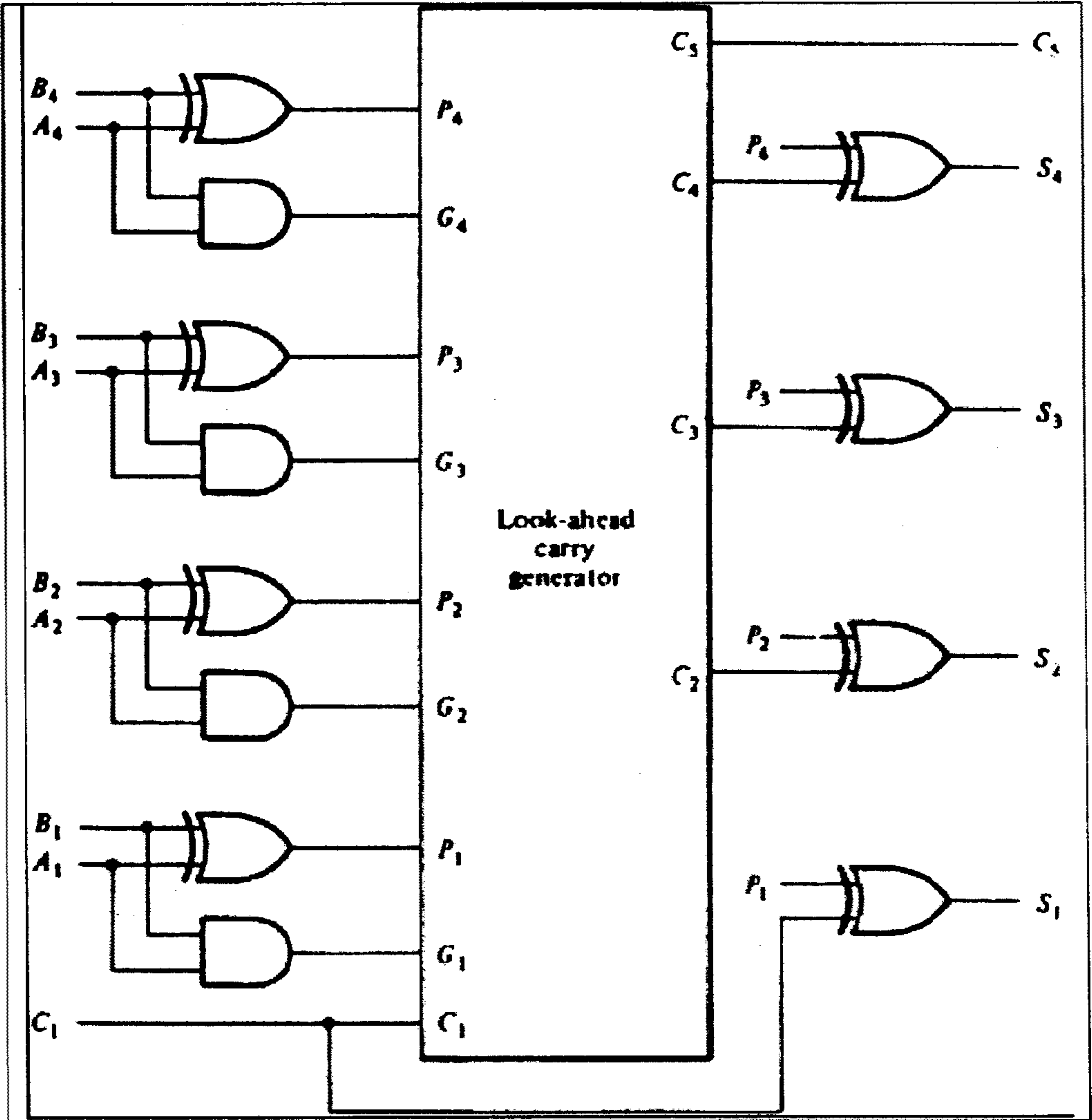
$$C_4 = G_3 + P_3 C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_1$$

نلاحظ C_2 ، C_3 ، C_4 كل منهم معادلة جبرية جمع مضروب، أي أنها ذات مستوى واحد من AND وآخر من OR. وكل معادلة منهم C_2 ، أو C_3 ، أو C_4 لا تعتمد في إخراجها إلا على قيمة C_1 فقط.

في حين كان الأمر قبل ذلك أن C_4 تعتمد على C_3 ، C_3 تعتمد على C_2 ، C_2 تعتمد على C_1 مما كان سبباً في تأخير الخرج. وإليك دائرة تمثيل دوال البواقي ثم طريقة توصيلها في الجامع التام.

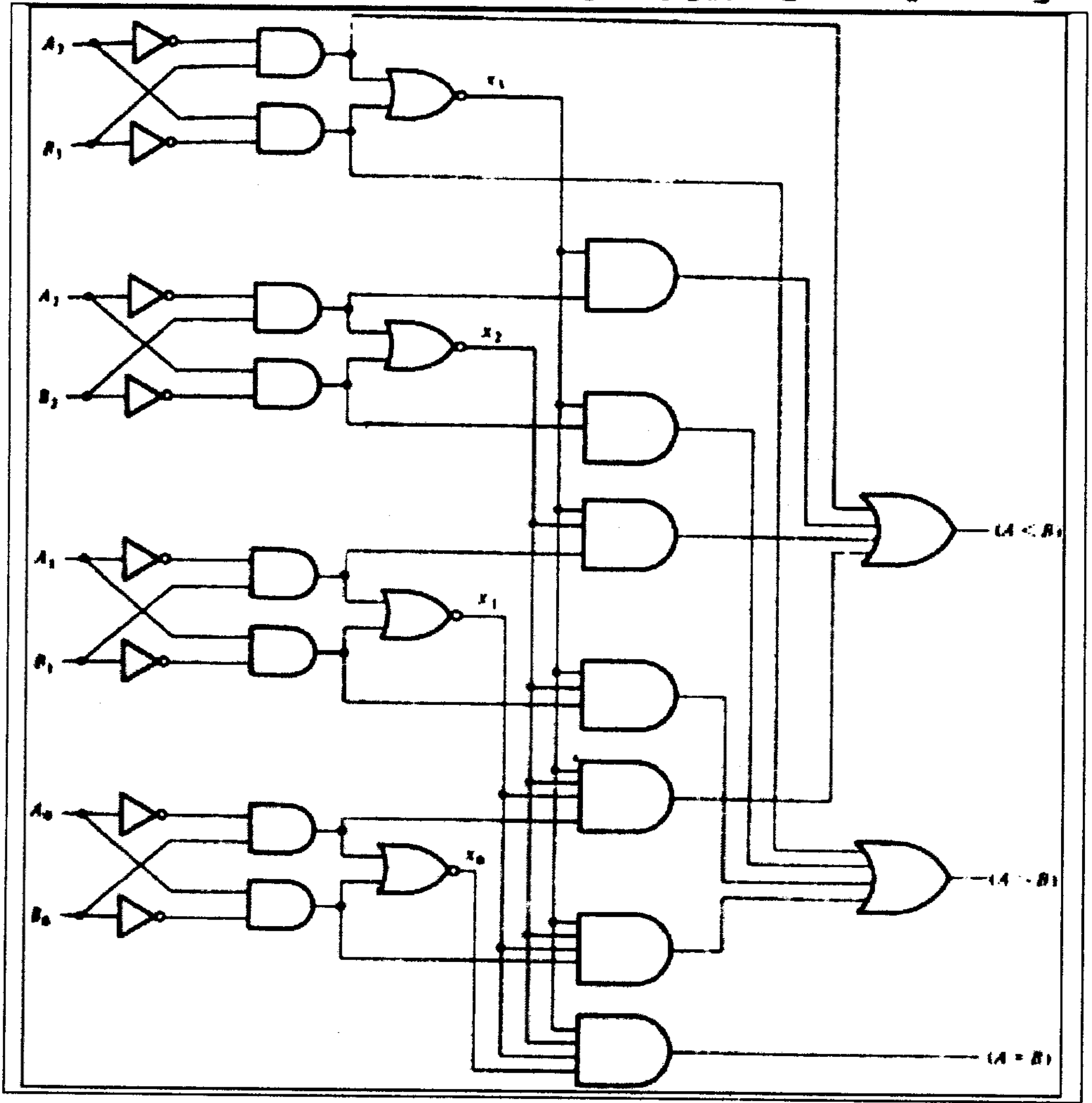


شكل (٤-١٢-أ) : Logic diagram of a look-ahead carry generator



شكل (٤-١٢ ب): Full-adders with look-ahead carry

دائرة منطقية للمقارنة بين رقمين



شكل (٤-١٣) 4-bit magnitude comparator

بفرض أننا نقارن بين رقمين A، B كل منهما ٤ بت.

$$A_i = A_3 A_2 A_1 A_0$$

$$B_i = B_3 B_2 B_1 B_0$$

يقال للرقمين أنهما متساويان:

إذا كان $A_i = B_i$ أو $\bar{A}_i = \bar{B}_i$ ، وعندها $X_i = 1$.

$$X_i = A_i B_i + \bar{A}_i \bar{B}_i$$

$$X_3 = A_3 B_3 + \bar{A}_3 \bar{B}_3$$

أي أننا ندخل الخلية A_3 ، الخلية B_3 على دالة XNOR (دالة التساوي)، والتي تعطي 1 إذا كان الخليتان متساويتان تماماً.

إما $A_3 = B_3 = 0$ أو $A_3 = B_3 = 1$ ، عندها $X_3 = 1$. ونفس الكلام يقال في حالة:

$$X_2 = A_2 B_2 + \bar{A}_2 \bar{B}_2$$

$$X_1 = A_1 B_1 + \bar{A}_1 \bar{B}_1$$

$$X_0 = A_0 B_0 + \bar{A}_0 \bar{B}_0$$

فإذا كان خرج $X_3 = 1$ ، $X_2 = 1$ ، $X_1 = 1$ ، $X_0 = 1$ ، فإن الرقمان يكونان متساويين تماماً.

$$X_i = X$$

أي أن $A = B$ في حالة المعادلة التالية:

$$(A = B) = X_3 X_2 X_1 X_0 \\ = 1 \times 1 \times 1 \times 0 = 0$$

أي أن الرقمان غير متساويين لأن $X_0 = 0$.

ويقال للرقم A أنه أكبر من B إذا تحققت المعادلة التالية:

$$A > B = A_3 \bar{B}_3 + X_3 A_2 \bar{B}_2 + X_3 X_2 A_1 \bar{B}_1 + X_3 X_2 X_1 A_0 \bar{B}_0$$

A أكبر من B إذا كان $A_3 = 1$ ، $B_3 = 0$ ، وهما أكبر الخانات وزناً، فحتى لو كانت كل خانات A الباقية أصغر من خانات B الباقية فإن الرقم A سيظل أكبر من B في كل الحالات.

أو تساوي A_3 ، B_3 ($X_3 = 1$)، وكان $A_2 = 1$ ، $B_2 = 0$ ، أو تساوي A_3 ، B_3 ($X_3 = 1$)، وتساوي A_2 ، B_2 ($X_2 = 1$)، وكان $A_1 = 1$ ، $B_1 = 0$ ، أو تساوي جميع الخانات ماعداً $A_0 = 1$ ، $A_0 = 0$.

ويقال للرقم A أصغر من B (A < B) إذا حقق شروط المعادلة التالية:

$$A < B = \bar{A}_3 B_3 + X_3 \bar{A}_2 B_2 + X_3 X_2 \bar{A}_1 B_1 + X_3 X_2 X_1 \bar{A}_0 B_0$$

- الحد الأول: إما أن $A_3 = 0$ ، $B_3 = 1$.
- الحد الثاني: أو $A_3 = B_3$ ، وبالتالي ننظر في الخانة الأقل وزناً، $A_2 = 0$ ، $B_2 = 1$.
- الحد الثالث: أو الخانتين $X_3 X_2$ متساويتان، $A_1 = 0$ ، $B_1 = 1$.
- الحد الرابع: أو الخانات الثلاث $X_3 X_2 X_1$ متساوية، $A_0 = 0$ ، $B_0 = 1$.

دائرة جامع BCD

افترض أننا نريد تصميم دائرة جامع BCD يجمع رقمين عشريين مكودين ثنائياً، كل رقم لا يزيد عن 9، والباقي السابق لا يزيد عن 1. فيكون أكبر احتمال للجمع هو $19 = 1 + 9 + 9$. والجدول التالي يوضح احتمالات جمع الرقمين، والباقي 1 في صورة BCD وفي الصورة الثنائية.

Derivation of a BCD adder

Binary sum					BCD sum					Decimal
K	Z ₈	Z ₄	Z ₂	Z ₁	C	S ₈	S ₄	S ₂	S ₁	
0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	2
0	0	0	1	1	0	0	0	1	1	3
0	0	1	0	0	0	0	1	0	0	4
0	0	1	0	1	0	0	1	0	1	5
0	0	1	1	0	0	0	1	1	0	6
0	0	1	1	1	0	0	1	1	1	7
0	1	0	0	0	0	1	0	0	0	8
0	1	0	0	1	0	1	0	0	1	9
0	1	0	0	0	1	0	0	0	0	10
0	1	0	1	1	1	0	0	0	1	11
0	1	0	0	0	1	0	0	1	0	12
0	1	1	0	1	1	0	0	1	1	13
0	1	1	1	0	1	0	1	0	0	14
0	1	1	1	1	1	0	1	0	1	15
1	0	0	0	0	1	0	1	1	0	16
1	0	0	0	1	1	0	1	1	1	17
1	0	0	1	0	1	1	0	0	0	18
1	0	0	1	1	1	1	0	0	1	19

ملاحظات هامة من الجدول

احتمالات الجمع من 0-9 متطابقة في حالتها BCD، الثنائي الجزء الخاص بالجمع الثنائي يوضح ناتج جامع تام 4 خانات والباقي، والجزء الثاني من الجدول يمثل ناتج الجمع في صورة BCD. والمشكلة نريد الحصول على طريقة لتحويل ناتج الجامع التام إلى صورة BCD.

لكن النتائج مختلفة إذا كان الرقم < 9 ، ولكي نجعل الثنائي يساوي BCD يجب إضافة الرقم 6 على الثنائي بداية من الرقم 10 إلى 19 كي نحصل على الجمع في صورة BCD. والمطلوب الآن تحديد معادلة الدائرة المنطقية التي ستكتشف الحاجة لإضافة 6. إننا نحتاج لإضافة 6 في جميع الأرقام من 10-19.

١. نحتاج لإضافة 6 لجميع الأرقام الثنائية التي لها باقي 1. أي عندما $K=1$ ، أي من 16-19.

٢. نحتاج لإضافة 6 لجميع الأرقام التي فيها $Z_8 = Z_9 = 1$ ، وهي من 12-15.

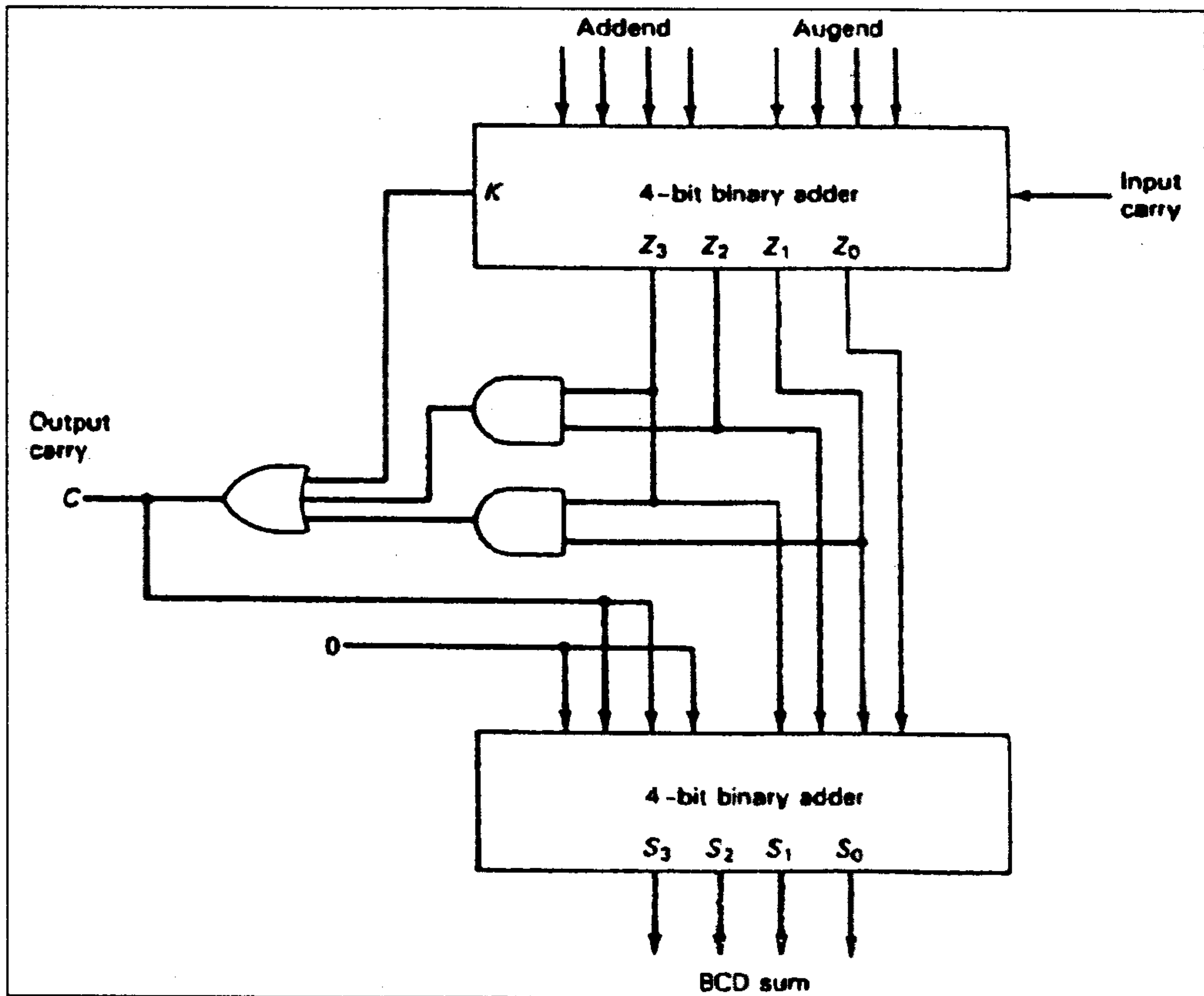
٣. نحتاج لإضافة 6 لجميع الأرقام التي فيها $Z_8 = Z_2 = 1$ ، وهما الرقمان 11، 12.

الأرقام من 10-19 كلها الباقي فيها 1 في التمثيل BCD.

$$C = K + Z_8 Z_9 + Z_8 Z_2$$

أي أن $C=1$ في حالة $K=1$ أو $Z_8 = Z_9 = 1$ أو $Z_8 = Z_2 = 1$. والدائرة التالية تبين جامع تام BCD مكونة من:

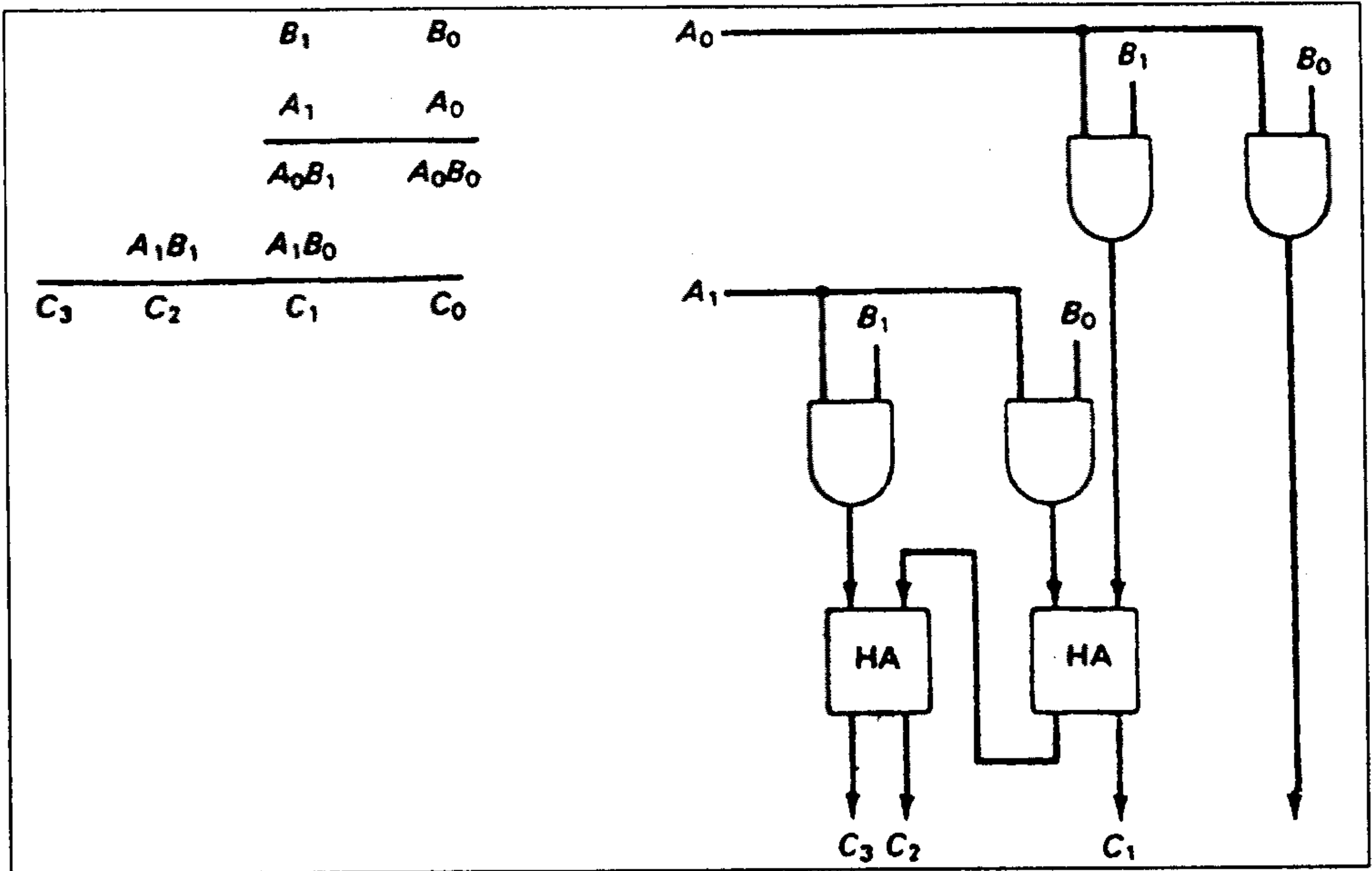
١. جامع تام ثنائي 4 خانات.
٢. دائرة استنتاج الرقم 6 الذي سيتم إضافته.
٣. جامع تام ثنائي 4 خانات لجمع 6 على الناتج الثنائي.



شكل (٤-١٤)

دائرة ضرب رقمين ثنائيين

أحد الرقمين خانتين $A = A_1 A_0$ ، والتالي خانتين $B = B_1 B_0$.



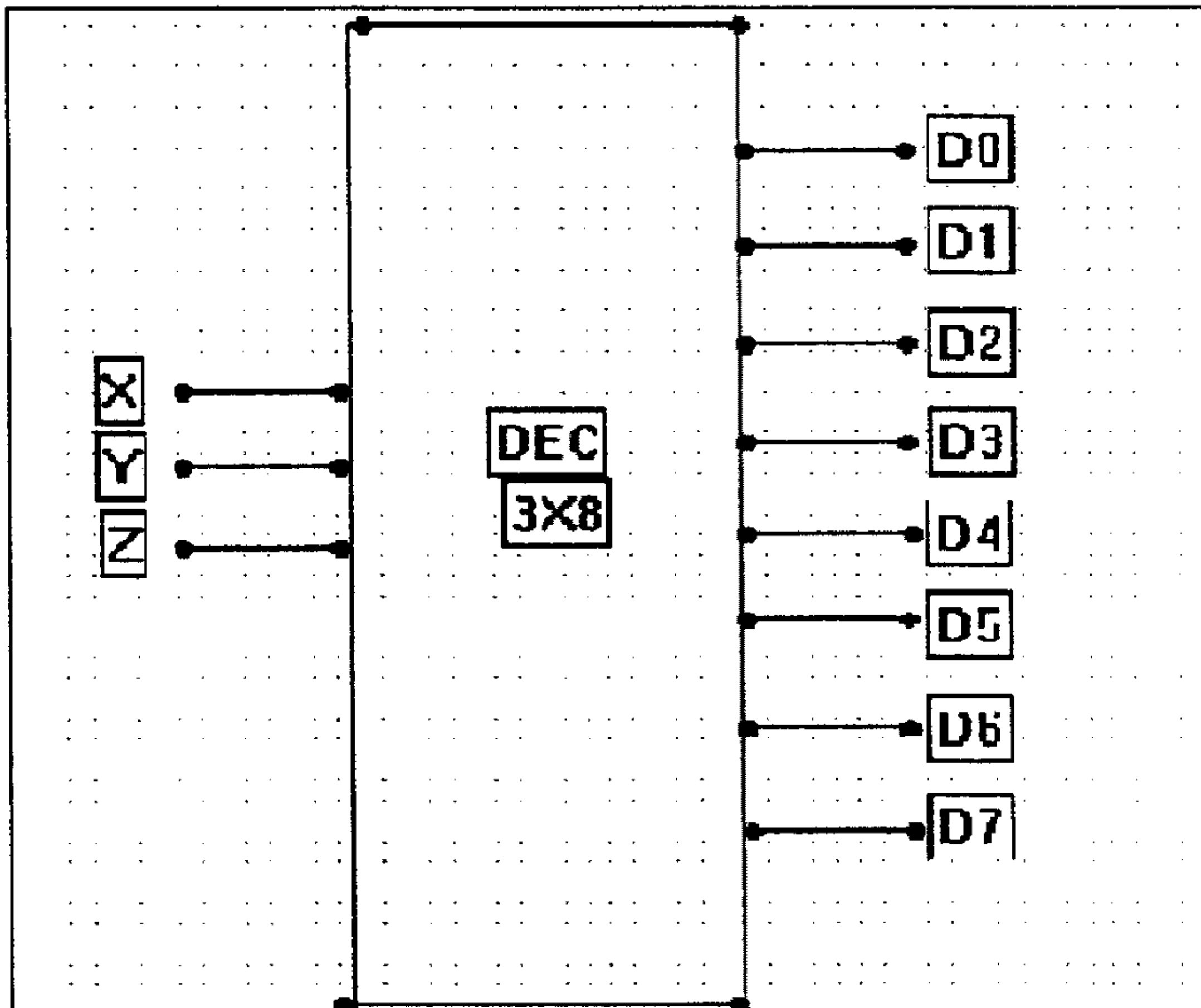
شكل (١٥-٤)

دائرة حلال الشفرة Decoder

دائرة رقمية دخلها عدد من المتغيرات (ثلاثة مثلاً X, Y, Z)، وخرجها احتمالات هذه المتغيرات ($8 = 2^3$). أي إذا كان عدد المدخلات n ، فعدد المخرجات 2^n . وإليك جدول الحقيقة لحلال شفرة 3×8 DEC.

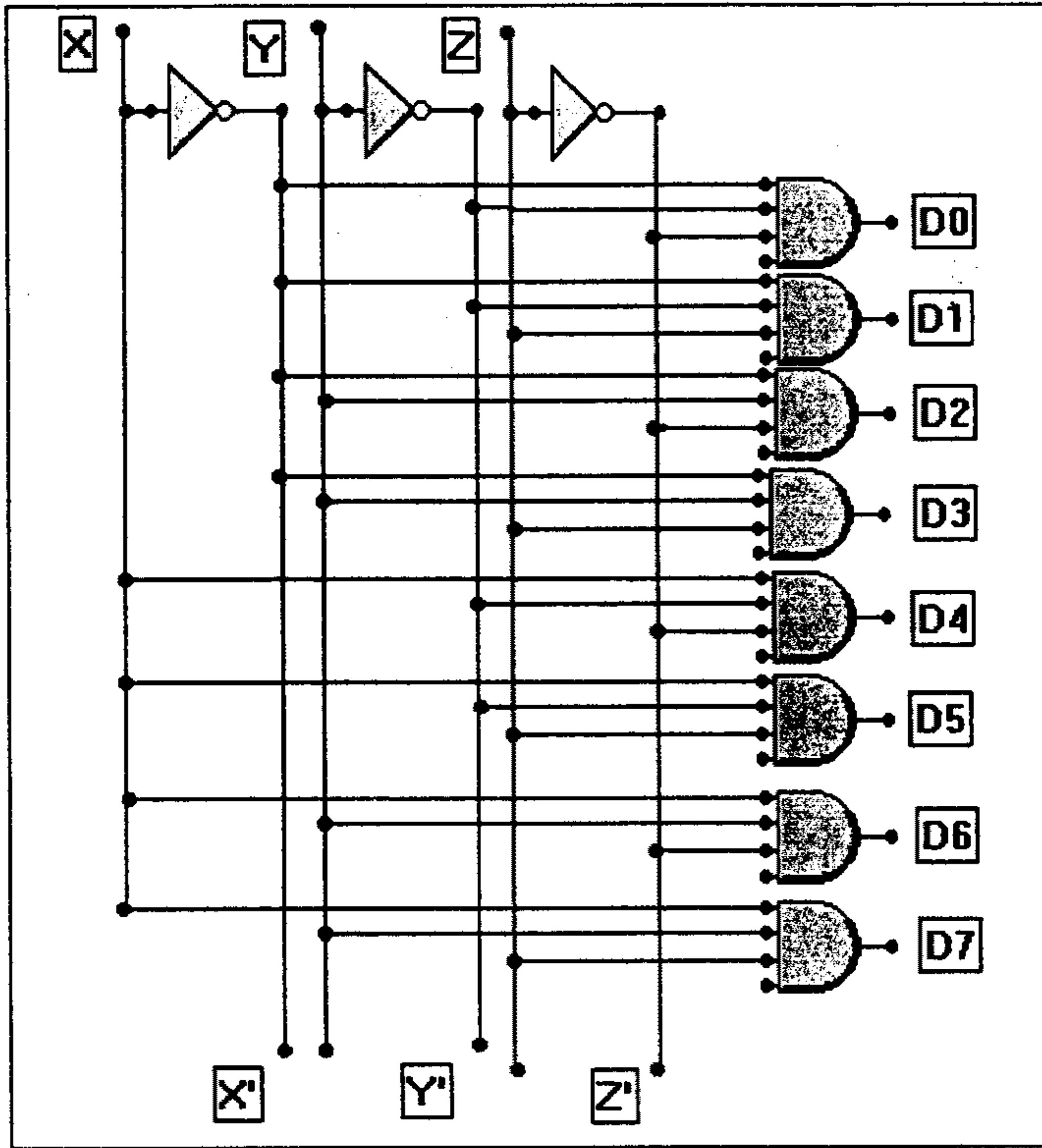
Inputs			Outputs							
X	Y	Z	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

ورمزه كالتالي:



شكل (٤-١٦)

والدائرة المنطقية له عبارة عن ٨ بوابات AND كل واحدة تخرج خرجاً (احتمالاً).



شكل (١٧-٤)

دائرة حلال شفرة تعمل كمحول من BCD إلى عشري

دائرة دخلها الأرقام الثنائية من 0 إلى 9، أي أنها تحتاج لأربع مداخل وخرجها عشرة احتمالات متصلة بلمبات متغيرة مكتوب على كل واحدة منها رقم من أرقام النظام العشري 0-9.

ودائرة التحويل متوفرة 7442 ولسنا في حاجة لتصميمها من جديد إلا من باب تعلم طريقة التصميم

خطوات التصميم

١. كتابة جدول الحقيقة لأربع مداخل WXYZ وعشرة دوال خرج من

D0 إلى D9

٢. تمثيل كل خرج في خريطة كارنو لإستنتاج أخصر معادلة

٣. رسم الدوائر المنطقية لتلك المعادلات

وإليك جدول الحقيقة و٨خرائط كارنو من D2 إلى D9 بينما D0 و D1 لا يمكن اختصارهم لعدم مجاورتهم لأي خلية ذات شرط غير مهم X وتلك اخرائط لم تخفض عدد البوابات ولكنها خفضت عدد مداخلها.

Inputs				Outputs									
W	X	Y	Z	D ₀	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	D ₈	D ₉
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1
1	0	1	0	X	X	X	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X	X	X	X
1	1	0	1	X	X	X	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X	X	X	X

		Y Z			
		00	01	11	10
W X	00				1
	01				
	11				
	10				1

$$D2 = Y Z' X'$$

D3:

		Y Z			
		00	01	11	10
W X	00			1	
	01				
	11				
	10			1	

$$D3 = Y Z X'$$

D4:

		Y Z			
		00	01	11	10
W X	00				
	01	1			
	11	1			
	10				

$$D4 = Y' Z' X$$

D5:

W X	Y Z			
	00	01	11	10
00				
01		1		
11		1		
10				

$$D5 = Y' Z X$$

D7:

W X	Y Z			
	00	01	11	10
00				
01			1	
11			1	
10				

$$D7 = Y Z X$$

D6:

W X	Y Z			
	00	01	11	10
00				
01				1
11				1
10				

$$D6 = Y Z' X$$

D9:

W X	Y Z			
	00	01	11	10
00				
01				
11		1	1	
10		1	1	

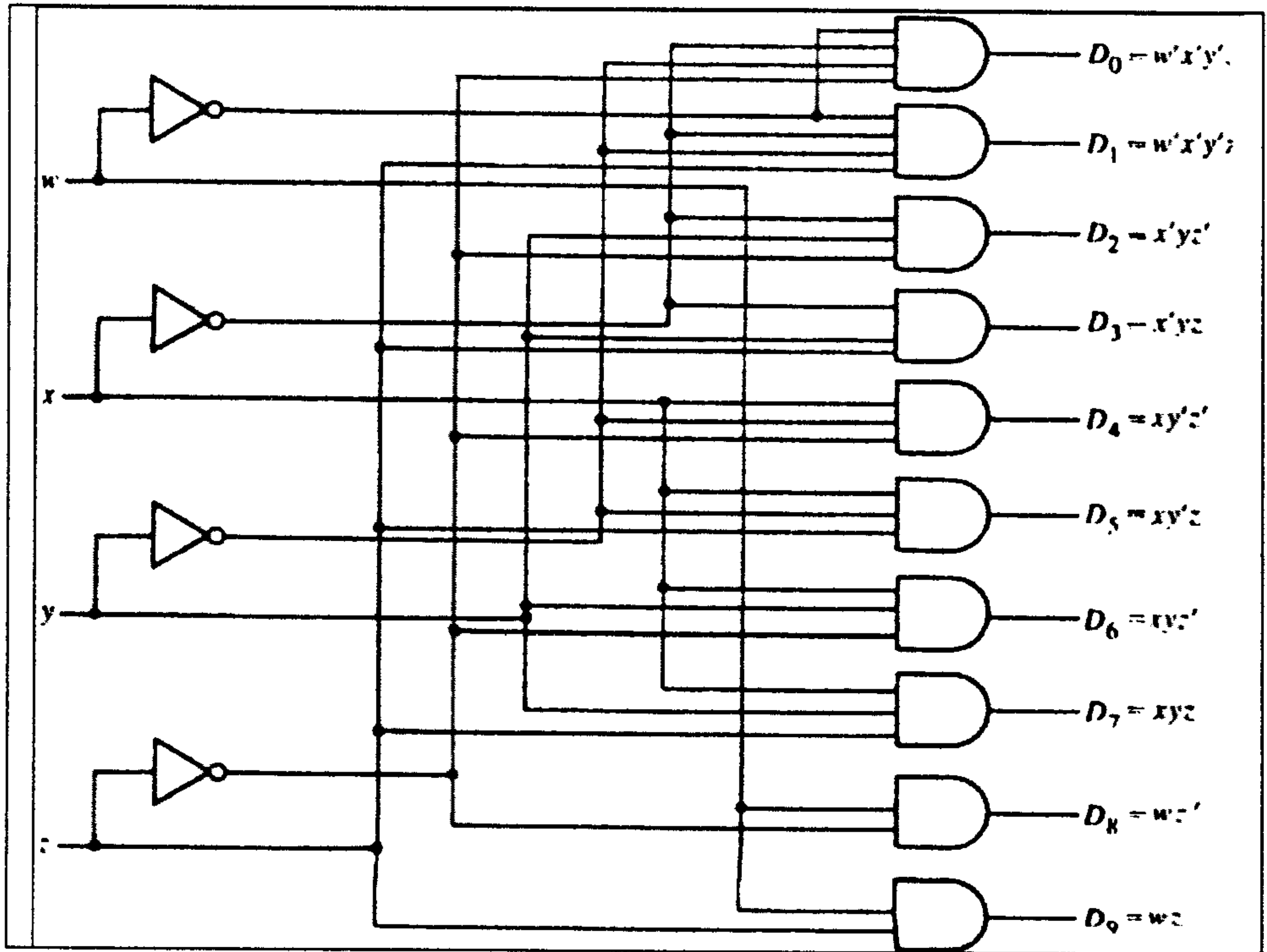
$$D9 = Z W$$

D8:

W X	Y Z			
	00	01	11	10
00				
01				
11	1			1
10	1			1

$$D8 = Z' W$$

ومنها نرسم الدائرة المنطقية:



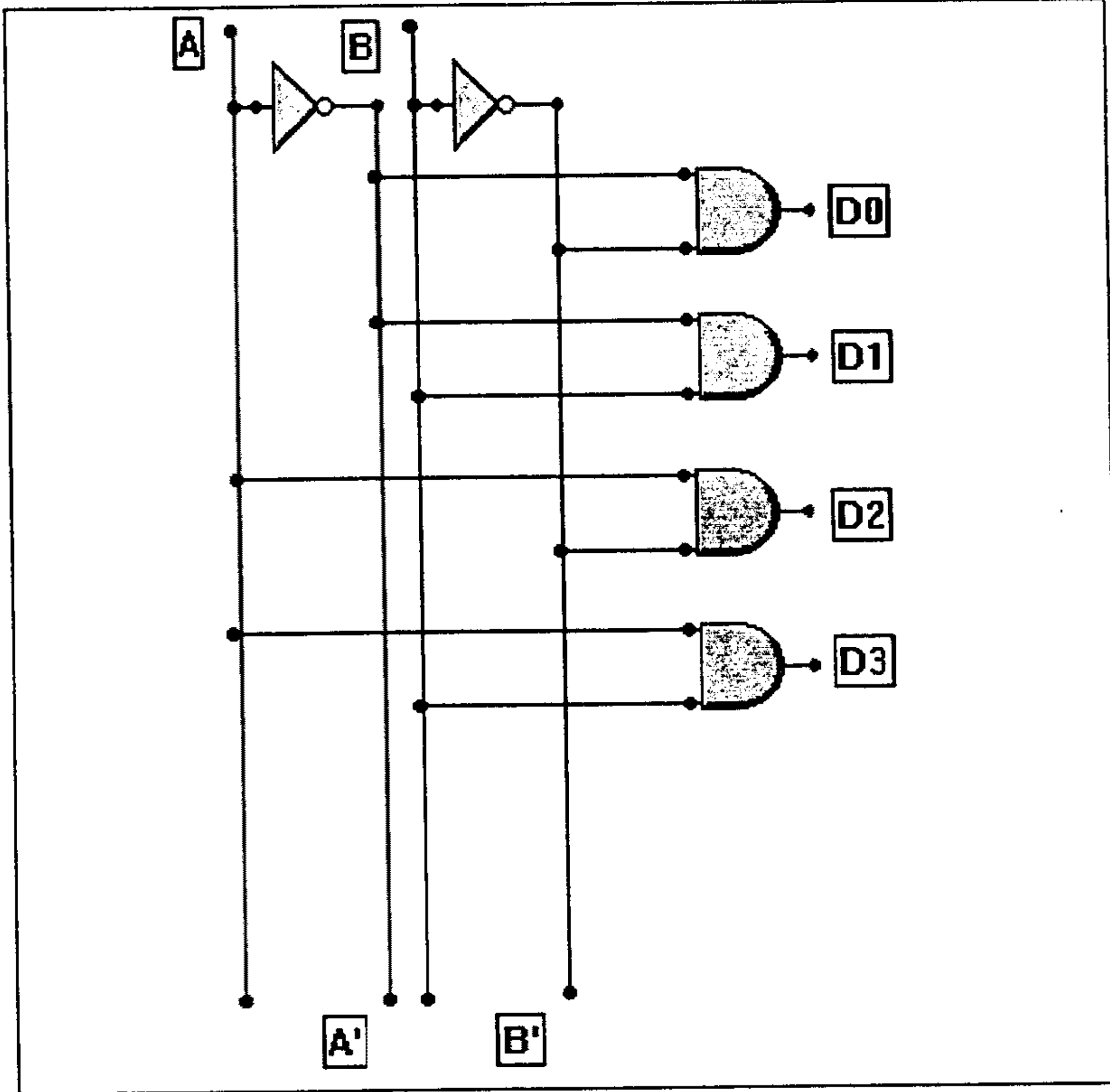
شكل (١٨-٤)

دائرة DEC 2x4

جدول الحقيقة:

A	B	D ₀	D ₁	D ₂	D ₃
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

الدائرة المنطقية:



شكل (٤-١٩)

دائرة DEC 5×32

الدخل 5 متغيرات والخرج 32 احتمال.

سنقوم بتكوين هذه الدائرة باستخدام نوعين من حالات الشفرة $DEC 2 \times 4$ ، 4 من النوع $DEC 3 \times 8$.

فالدائرة $DEC 2 \times 4$ مسئولة عن تحديد رقم حلال الشفرة 3×8 الذي سيعمل، والباقي سيكون متوقف تماماً عن العمل، حيث أن مخرجه الأربعة متصلة برجل في المتكاملة يطلق عليها Enable مسئولة عن تفعيل الدائرة أو تعطيلها.

وكل دائرة $DEC 3 \times 8$ مختصة بإخراج مجموعة احتمالات 8 من إجمالي الاحتمالات

32.

فالدائرة رقم 1 مخرجها من $D_1 - D_0$ تفعل عند $A_4 A_3 = 00$.
والدائرة رقم 2 مخرجها من $D_8 - D_{15}$ تفعل عند $A_4 A_3 = 01$.
والدائرة رقم 3 مخرجها من $D_{16} - D_{23}$ تفعل عند $A_4 A_3 = 10$.
والدائرة رقم 4 مخرجها من $D_{24} - D_{31}$ تفعل عند $A_4 A_3 = 11$.
فعندما يكون الدخل $A_4 A_3 A_2 A_1 A_0 = 10110$ ، فإن الدائرة رقم 3 هي التي ستفعل
والخرج رقم 6 منها هو الذي سيفعل واسمه D_{21} .

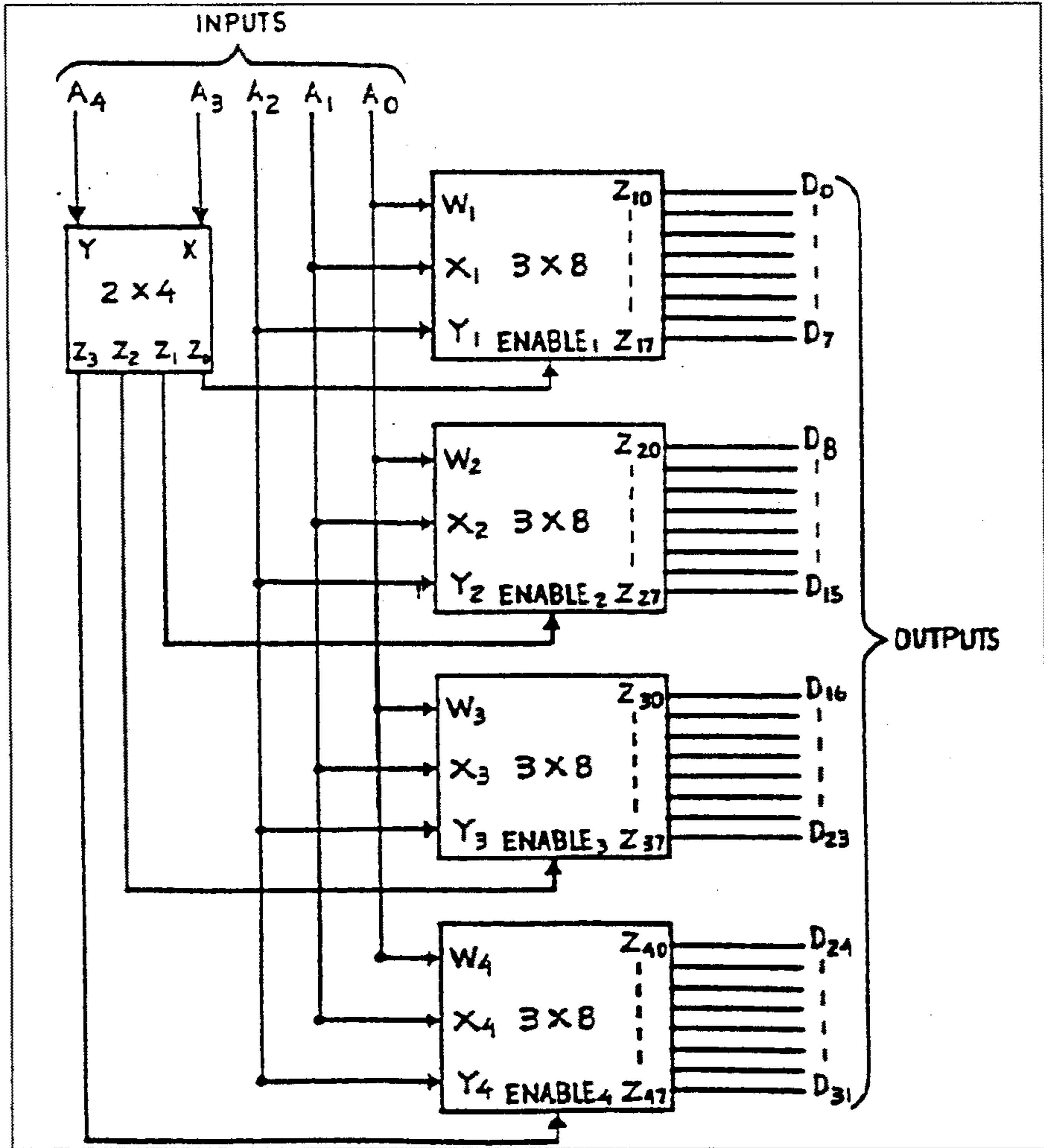
جدول الحقيقة لحلال شفرة 2×4 :

Inputs		Outputs			
X	Y	Z_0	Z_1	Z_2	Z_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

جدول الحقيقة لحلال شفرة 5×32 :

Inputs				Outputs							
Enable	W	X	Y	Z_0	Z_1	Z_2	Z_3	Z_4	Z_5	Z_6	Z_7
0	X	X	X	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
1	0	1	0	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	1	0	0	0	0
1	1	0	0	0	0	0	0	1	0	0	0
1	1	0	1	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	1

الدائرة المنطقية لحلال شفرة 5×32 :



شكل (٤-٢٠)

تصميم الدوائر المنطقية باستخدام حالات الشفرة Decoder

دائرة حلال الشفرة دخلها عدد المتغيرات وخرجها جميع الاحتمالات.

إن أي دائرة منطقية دخلها المتغيرات وخرجها بعض الاحتمالات مجموعة في صورة جمع المضروبات.

مثال ٤-١ صمم دائرة الأغلبية باستخدام حلال الشفرة.

الحل

دائرة الأغلبية لثلاث متغيرات جدول حقيقتها كالتالي:

	A	B	C	FMajority
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

الخرج لدالة الأغلبية FMajority يساوي 0 إذا كان عدد الأصفار أكبر من الواحد ويساوي 1 إذا كان عدد الواحد أكبر من عدد الأصفار.

ومن الجدول، فإن معادلة الدائرة كالتالي:

$$F = \bar{A}BC + A\bar{B}C + ABC\bar{C} + ABC$$

$$F = \sum (3, 5, 6, 7)$$

وهذه يمكن تمثيلها بحلال شفرة 3×8 ، وتوصيل المخارج 3، 5، 6، 7 على OR بأربع مداخل. مثل الدالة C في الجامع التام (انظر شكل ٤-٢٢).

مثال ٤-٢ صمم دائرة جامع تام 1 خانة باستخدام 3×8 DEC.

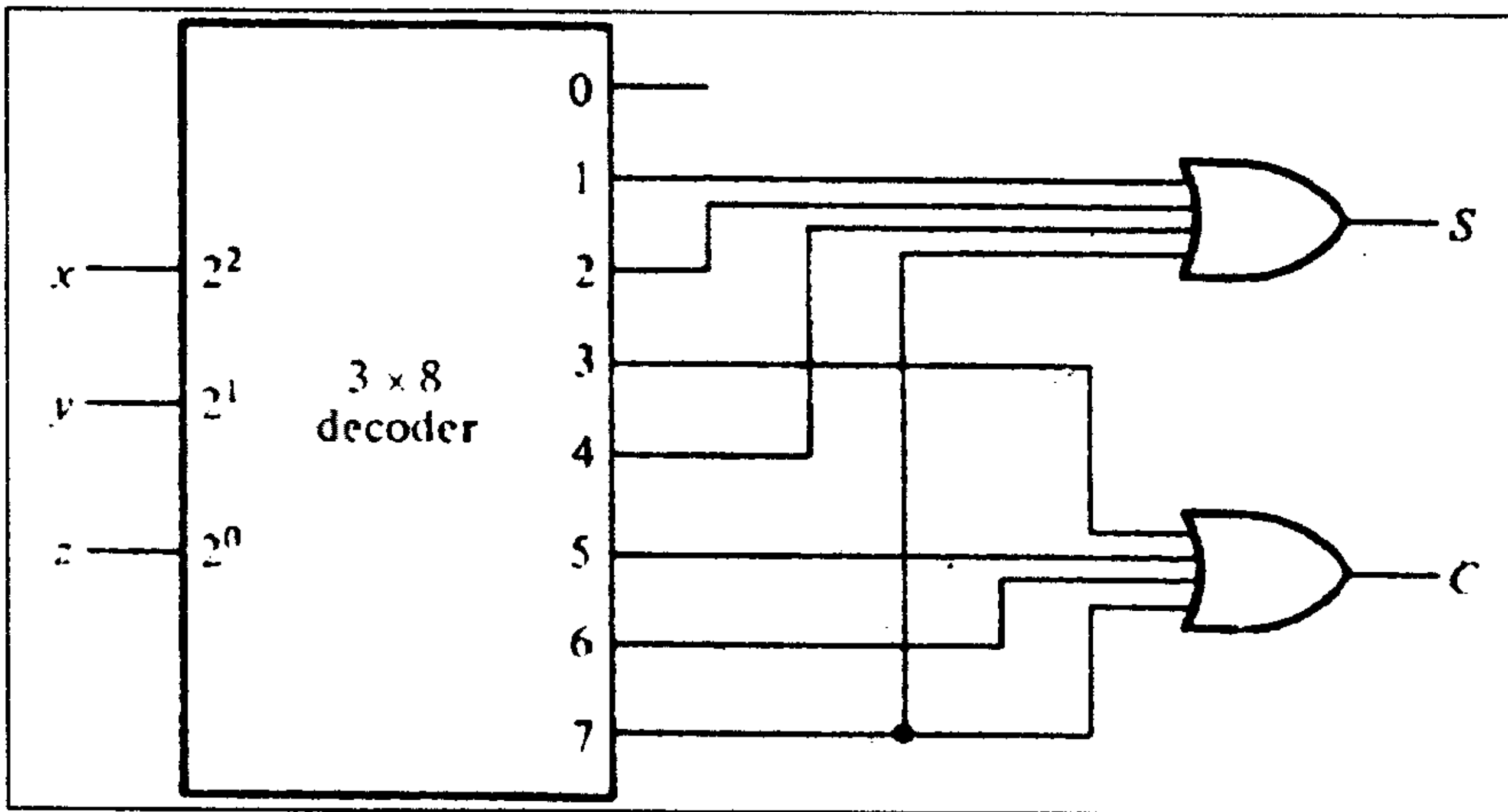
الحل

معلوم أن الجامع التام يمثل بالمعادلتين الآتيتين:

$$S = \sum (1, 2, 4, 7)$$

$$C = \sum (3, 5, 6, 7)$$

وهاتان يمكن تمثيلهما بدائرة 3×8 DEC كالتالي:



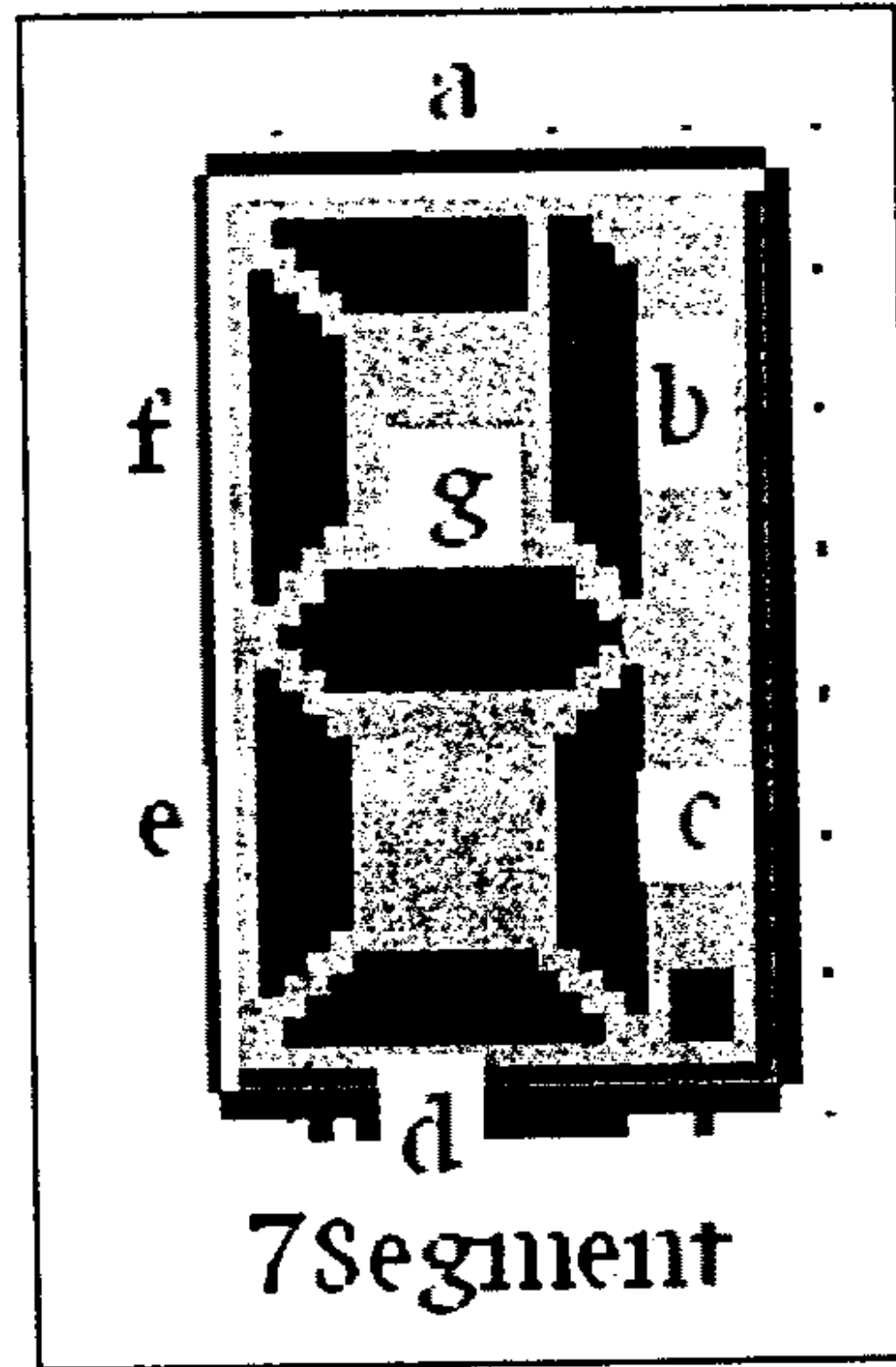
شكل (٤-٢١): Implementation of a full-adder with a decoder

مثال ٤-٢ صمم دائرة محول شفرة من BCD إلى 7 Segment.

الحل

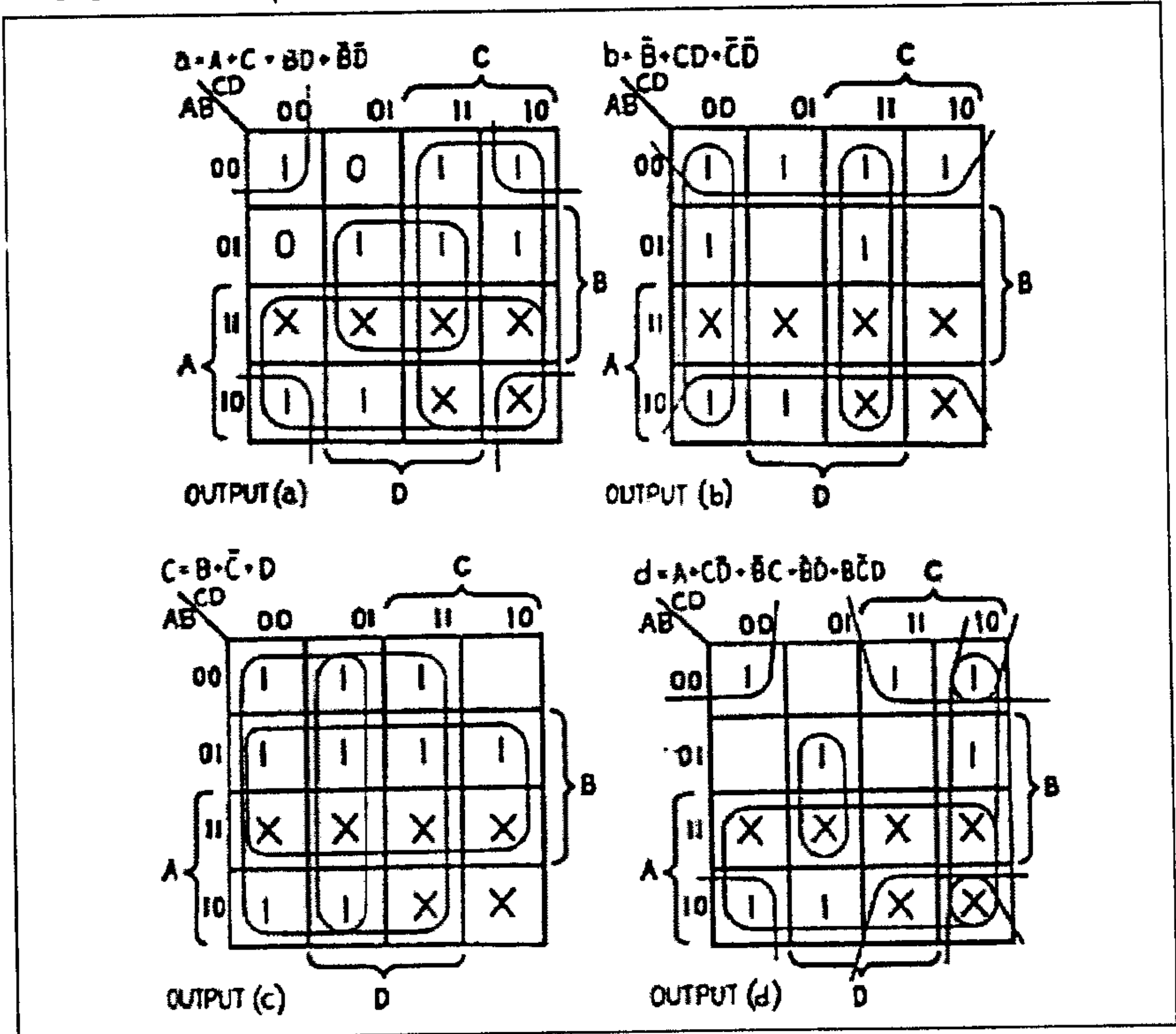
جدول الحقيقة لدائرة محول الشفرة كالتالي:

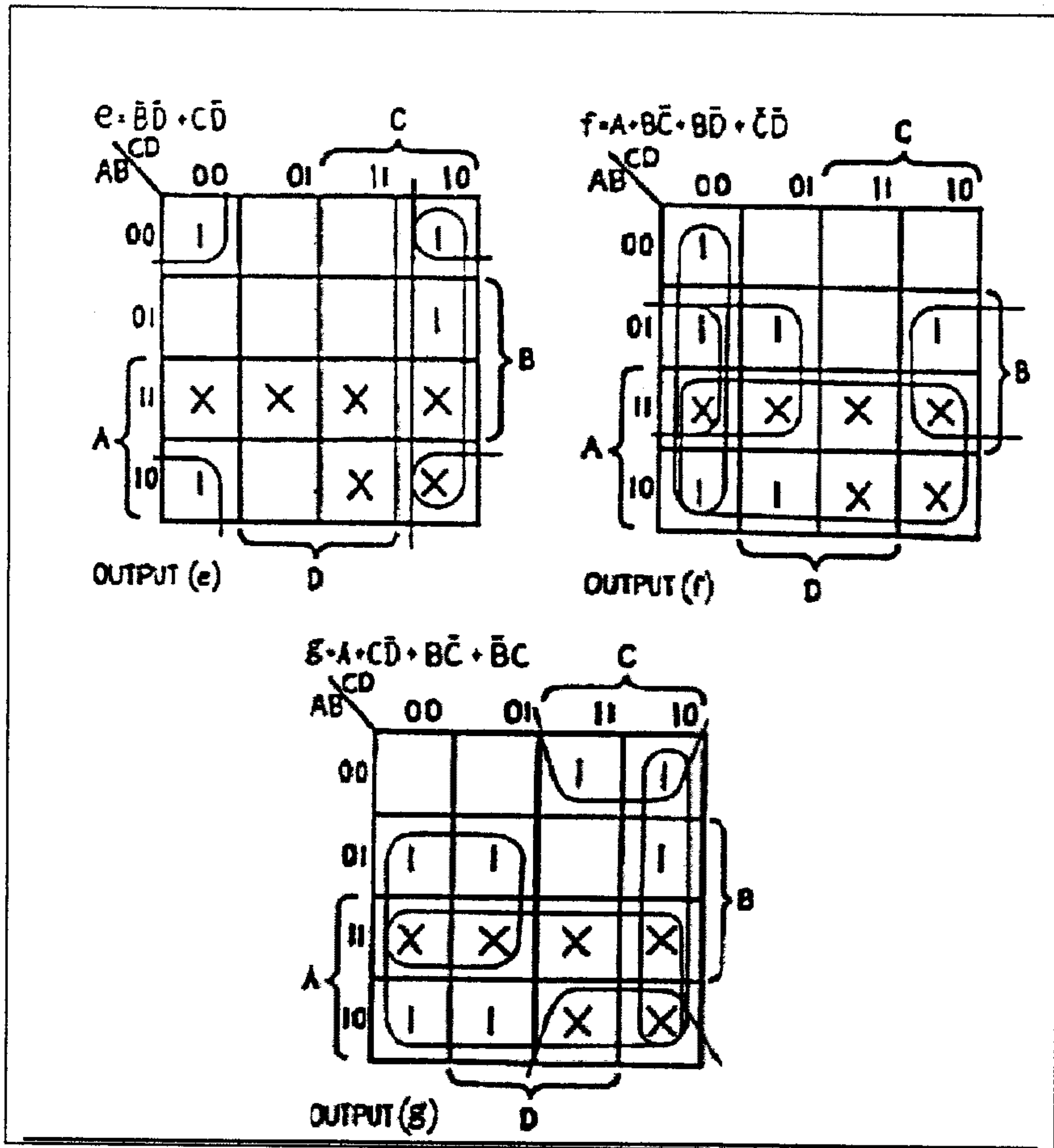
	A	B	C	D	a	b	c	d	e	f	g	ملاحظات
0	0	0	0	0	1	1	1	1	1	1	0	لأن كل الشرائح مضيئة ماعدا g
1	0	0	0	1	0	1	1	0	0	0	0	
2	0	0	1	0	1	1	0	1	1	0	1	
3	0	0	1	1	1	1	1	1	0	0	1	
4	0	1	0	0	0	1	1	0	0	1	1	
5	0	1	0	1	1	0	1	1	0	1	1	
6	0	1	1	0	1	0	1	1	1	1	1	
7	0	1	1	1	1	1	1	0	0	0	0	
8	1	0	0	0	1	1	1	1	1	1	1	الرقم 8 كل الشرائح مضيئة
9	1	0	0	1	1	1	1	1	0	1	1	الرقم 9 كله مضيء ماعدا e
10	1	0	1	0	x	x	x	x	x	x	x	الحالات التالية غير داخلة معنا في الحساب؛ فهي حالات غير مهمة لأنه أكبر من 9
11	1	0	1	1	x	x	x	x	x	x	x	
12	1	1	0	0	x	x	x	x	x	x	x	
13	1	1	0	1	x	x	x	x	x	x	x	
14	1	1	1	0	x	x	x	x	x	x	x	
15	1	1	1	1	x	x	x	x	x	x	x	



شكل (٤-٢٢)

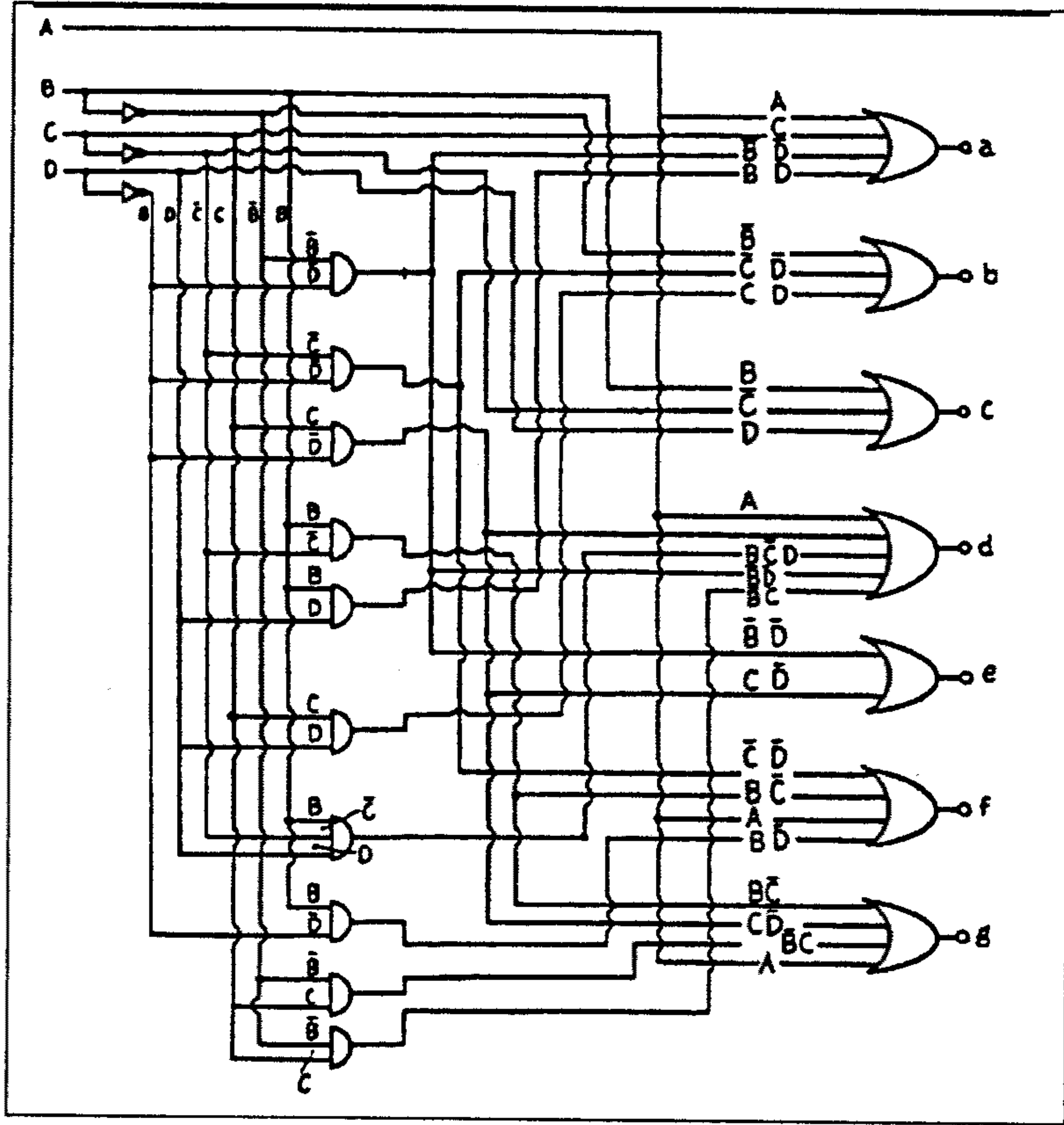
وكل عمود من أعمدة الخرج يمثل دالة يمكن تبسيطها باستخدام خرائط كارنو كالتالي:





شكل (٢٣-٤)

ويمكن تمثيل هذه المعادلات في دائرة منطقية كالتالي:



شكل (٤-٢٤)

تمرين: أعد تصميم مثال ٣-٤ باستخدام 2 DEC 3×8 (DEC 4×16)

مفتاح الحل

كل دالة تحتاج لبوابة OR بثمانية مداخل ماعدا الدالة C تحتاج لبوابة ذات تسع مداخل والدالة e تحتاج لبوابة OR بأربع مداخل.

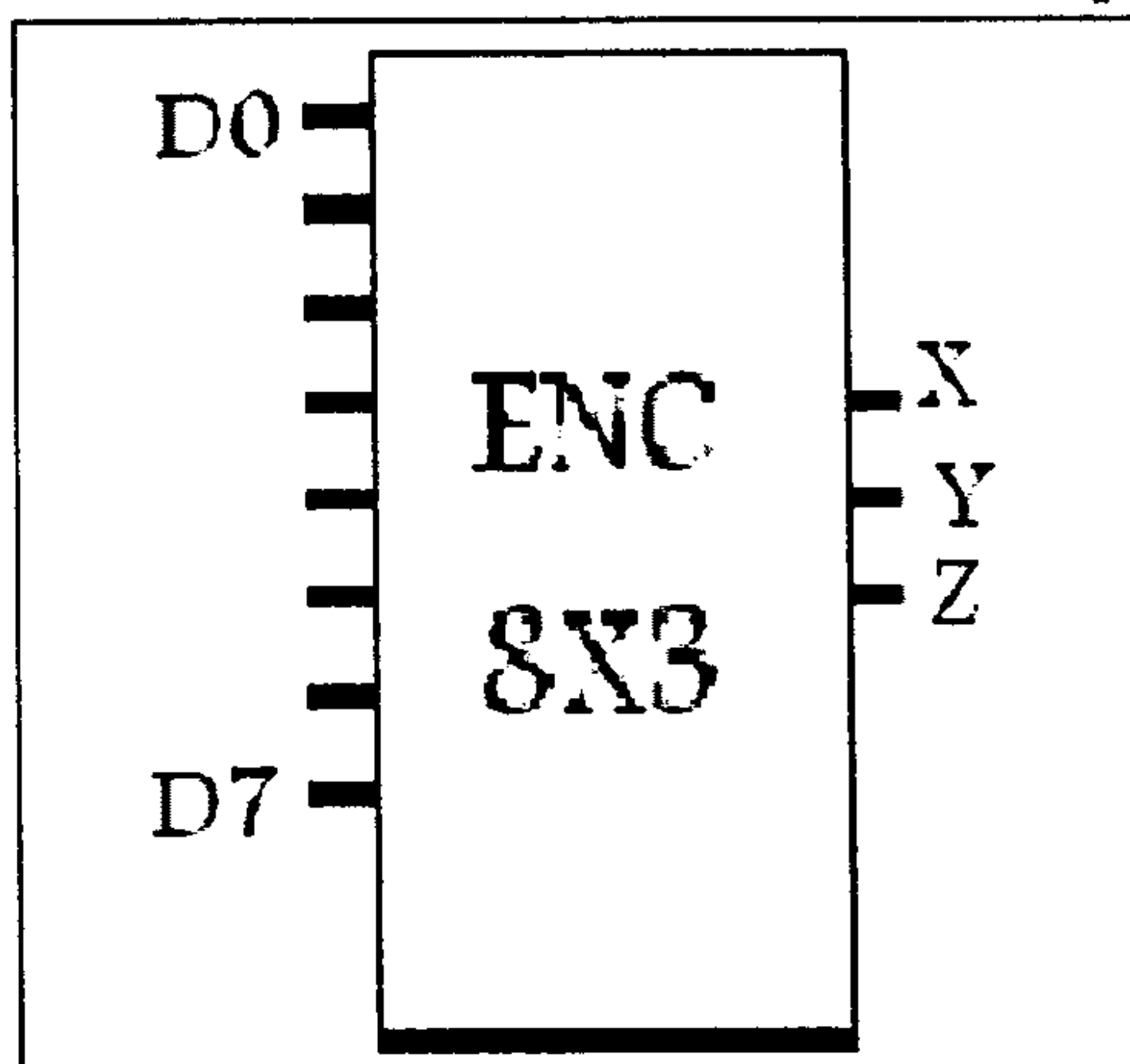
المشفرات ENCoder

وهي دائرة وظيفتها عكس حلال الشفرة؛ فهي تقوم بعمل شفرة لكل احتمال؛ فدخلها عدد الاحتمالات وخرجها عدد المتغيرات.

جدول الحقيقة لمشفّر 8×3 كالتالي:

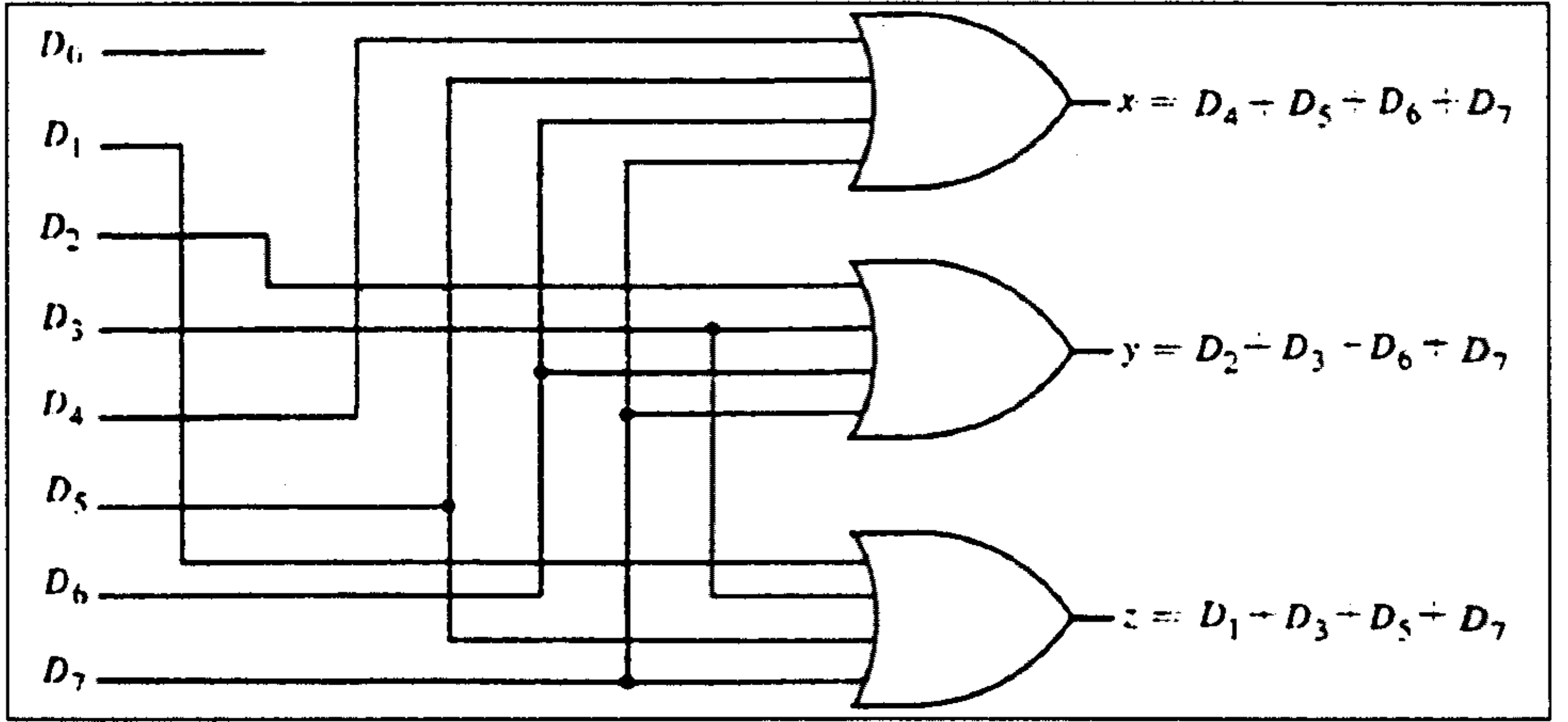
D ₀	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	X	Y	Z
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

ورمزه في الدائرة كالتالي:



شكل (٤-٢٥)

والدائرة المنطقية له كالتالي:



شكل (٢٦-٤)

يتم توصيل مداخل البوابة X بالمداخل التي تساوي 1 عندما $X=1$ ، وتوصل مداخل البوابة Y بالمداخل التي تساوي 1 عندما $Y=1$ ، وهكذا في البوابة Z.

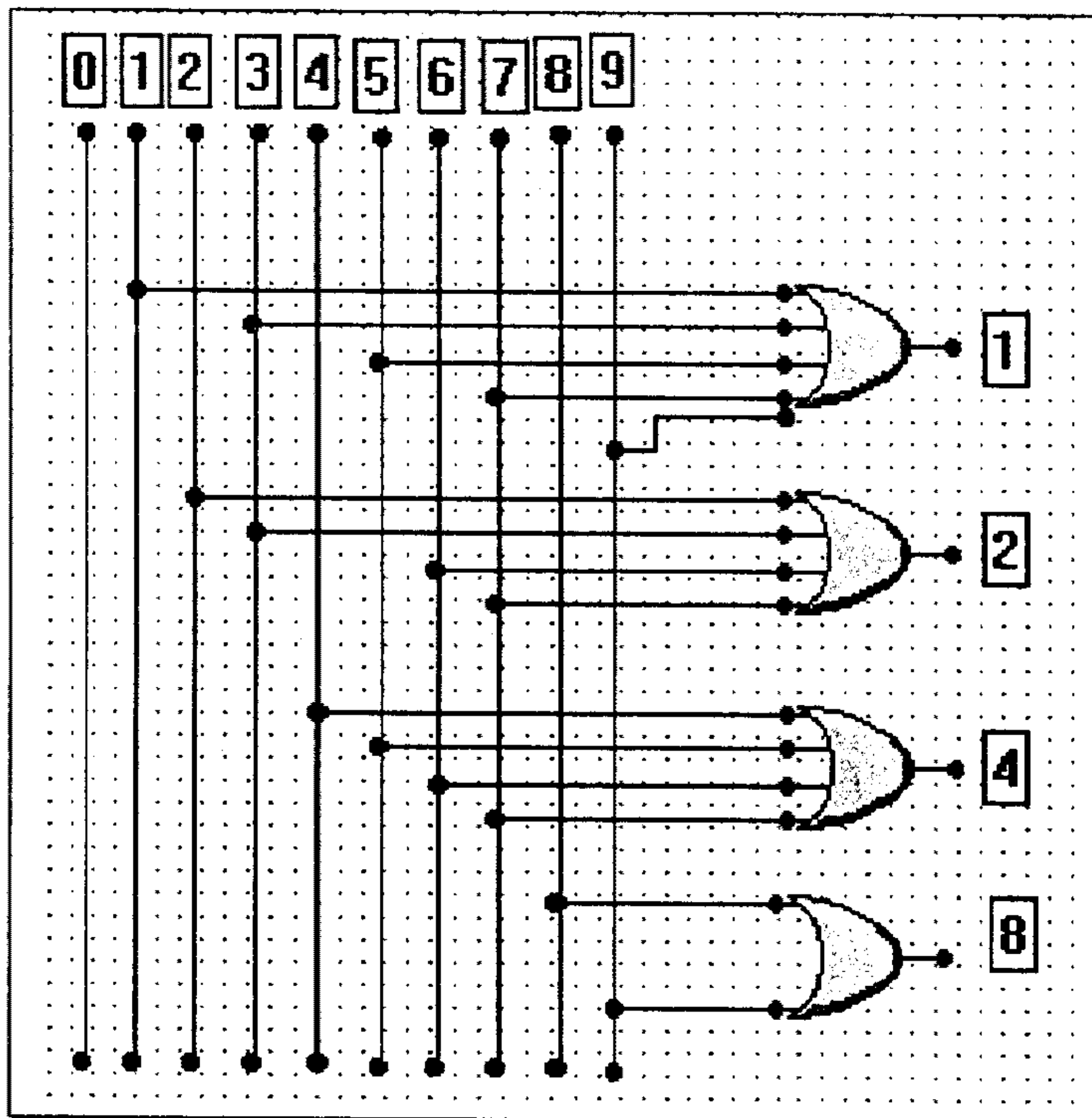
دائرة مشفر للتحويل من النظام العشري للنظام BCD

جدول الحقيقة للدائرة كالتالي:

9	8	7	6	5	4	3	2	1	0	W	X	Y	Z
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1

والدائرة المنطقية كالتالي:

تم كتابة الأرقام العشرية من 9-0 على أزرار تعمل بالضغط، فإذا ضغطنا على أحدهم ظهرت قيمته بالنظام الثنائي على مخارج الدائرة.



شكل (٤-٢٧)

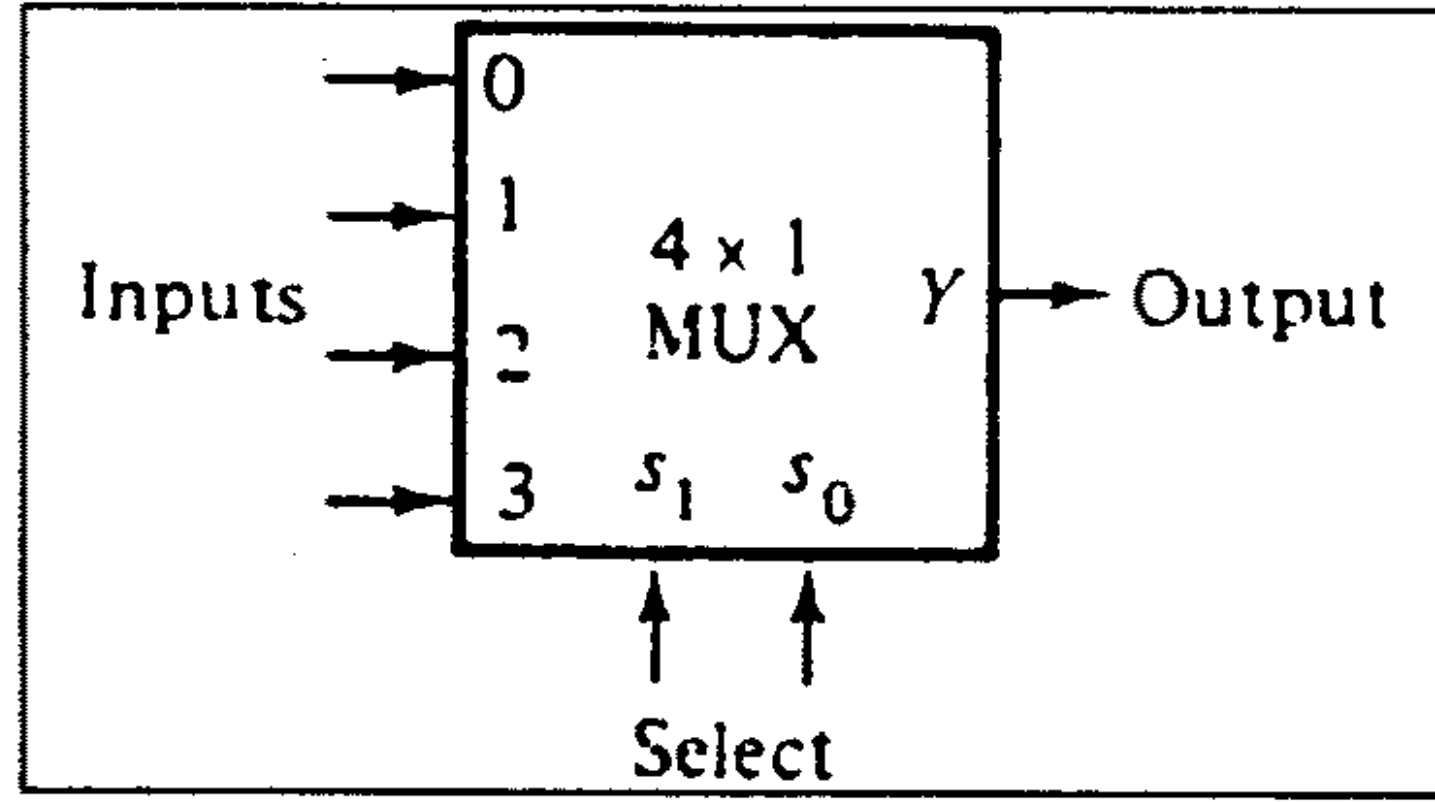
دوائر التجميع Multiplexer

دائرة لها عدد من المدخلات 2^n ، ومخرج واحد فقط. ويتم توصيل أحد المداخل بالمخرج الوحيد تبعاً لقيمة إشارات التحكم وعددها n .
وجداول الحقيقة دخله إشارات التحكم وخرجه مخرج المجمع، واحتمالات الخرج مداخله.

وإليك جدول الحقيقة لمجمع 4×1 .

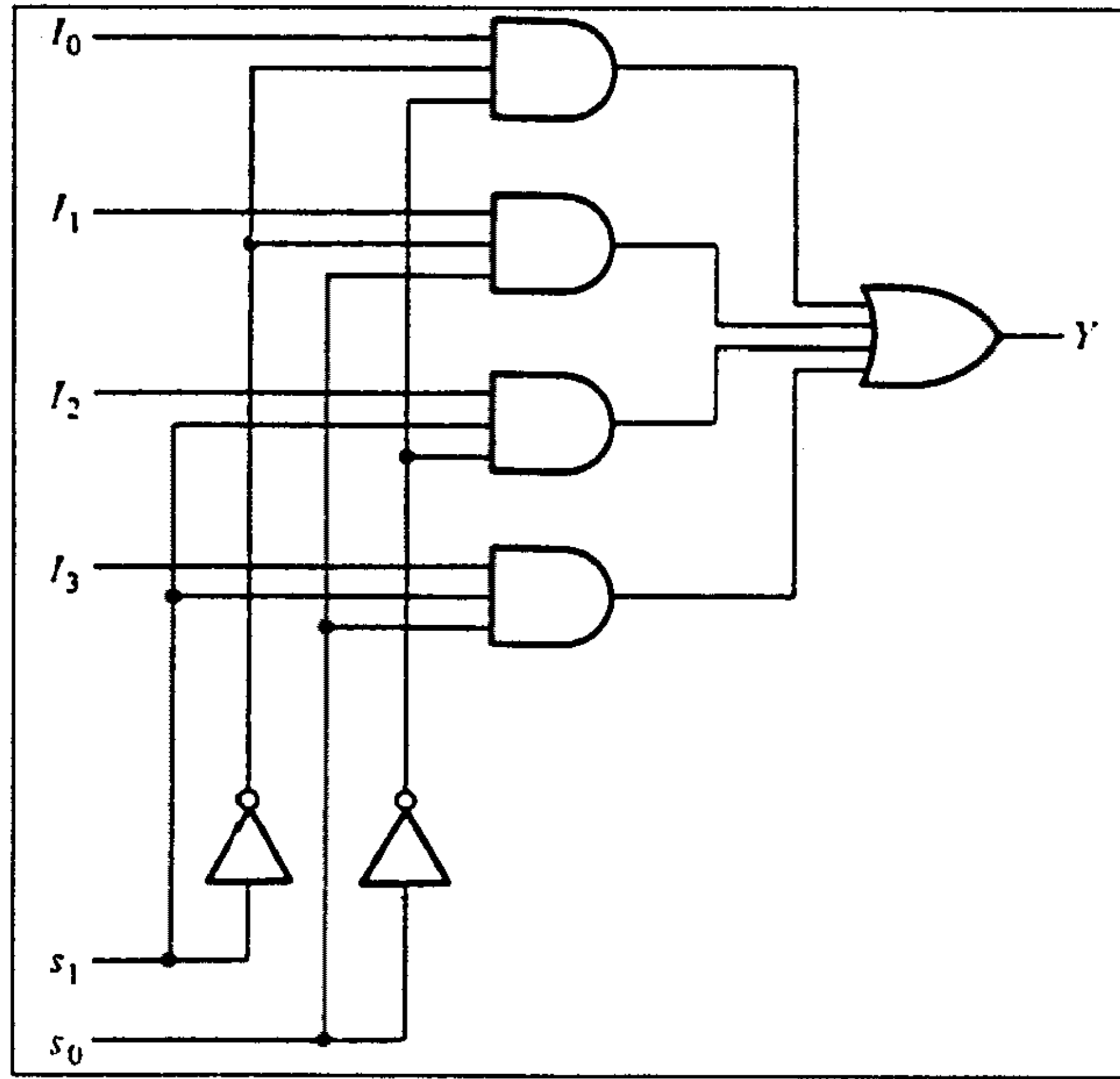
A	B	Y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

ورمزه كالتالي:



شكل (٢٨-٤)

ودائره المنطقية كالتالي:



شكل (٢٩-٤)

فهي عبارة عن 2×4 DEC تم تجميع مخرجه ببوابة OR، وتم توصيل إشارات دخل كل واحد بدخل بوابة. فبوابه AND التي دخلها 11 تمرر إشارة الدخل من خلالها والبوابة AND الأخيرة متصلة بنفس إشاراتي التحكم S_1 ، S_0 .

فإذا كانت قيمة $S_0 S_1 = 00$ ، فإن مداخل البوابة 0 صفر AND هي 11 يتم ضربها في I_0 ، فتمر I_0 وتدخل على بوابة OR.

بينما البوابة AND1 دخلها = 10 فيكون خرجها 0 ولا بد.

وكذلك البوابة AND2 دخلها = 01 فيكون خرجها 0 ولا بدز

وكذلك البوابة AND3 دخلها = 00 فيكون خرجها 0 ولا بد.

فيتم جمع مخارج البوابات بالبوابة OR كالتالي:

$$Y = I_0 + 0 + 0 + 0 = D_0$$

فيمر I_0 إلى الخرج دون بقية المدخلات.

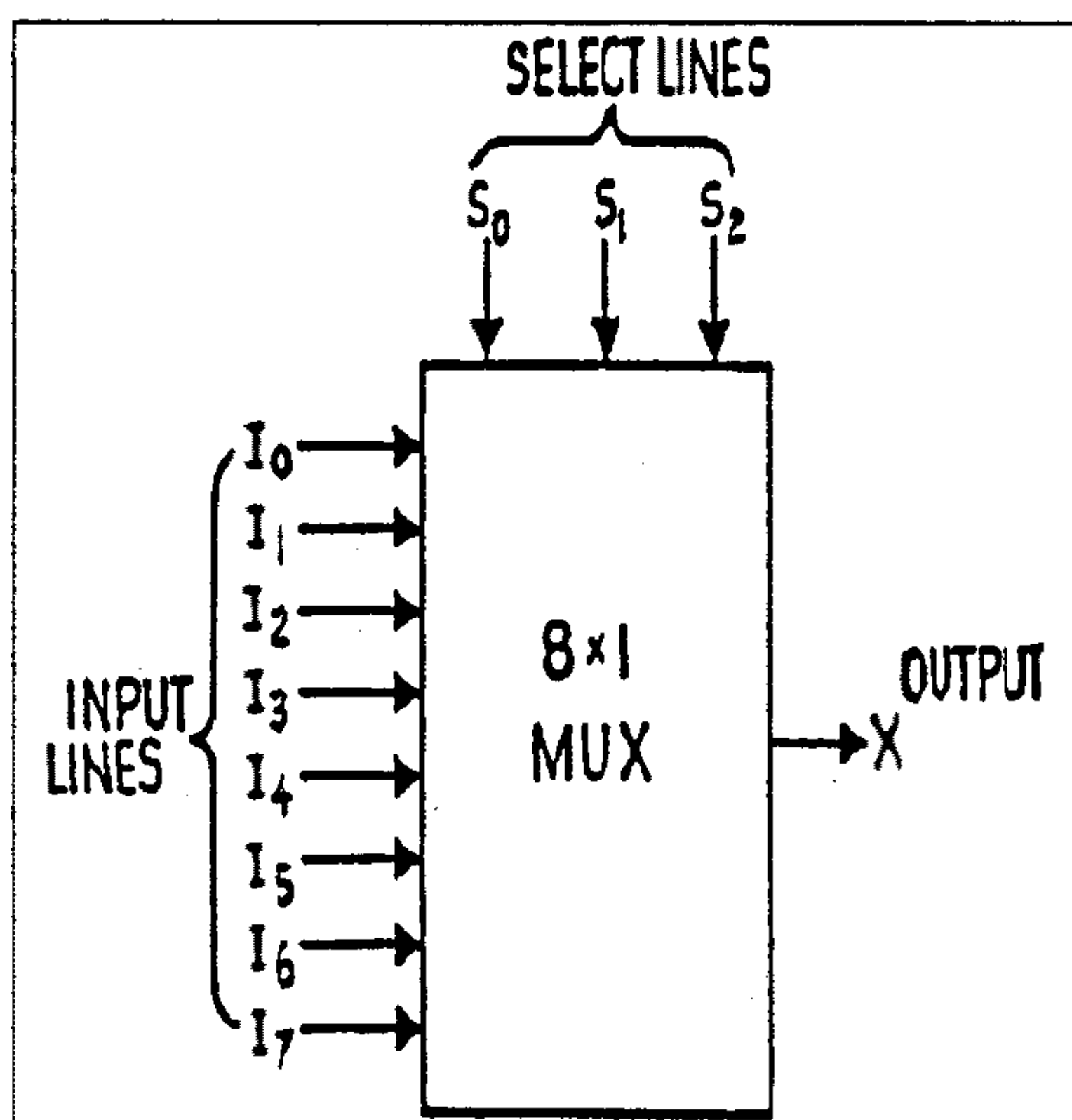
وهكذا، في كل إشارة دخل.

MUX 8×1

جدول حقيقته كالتالي:

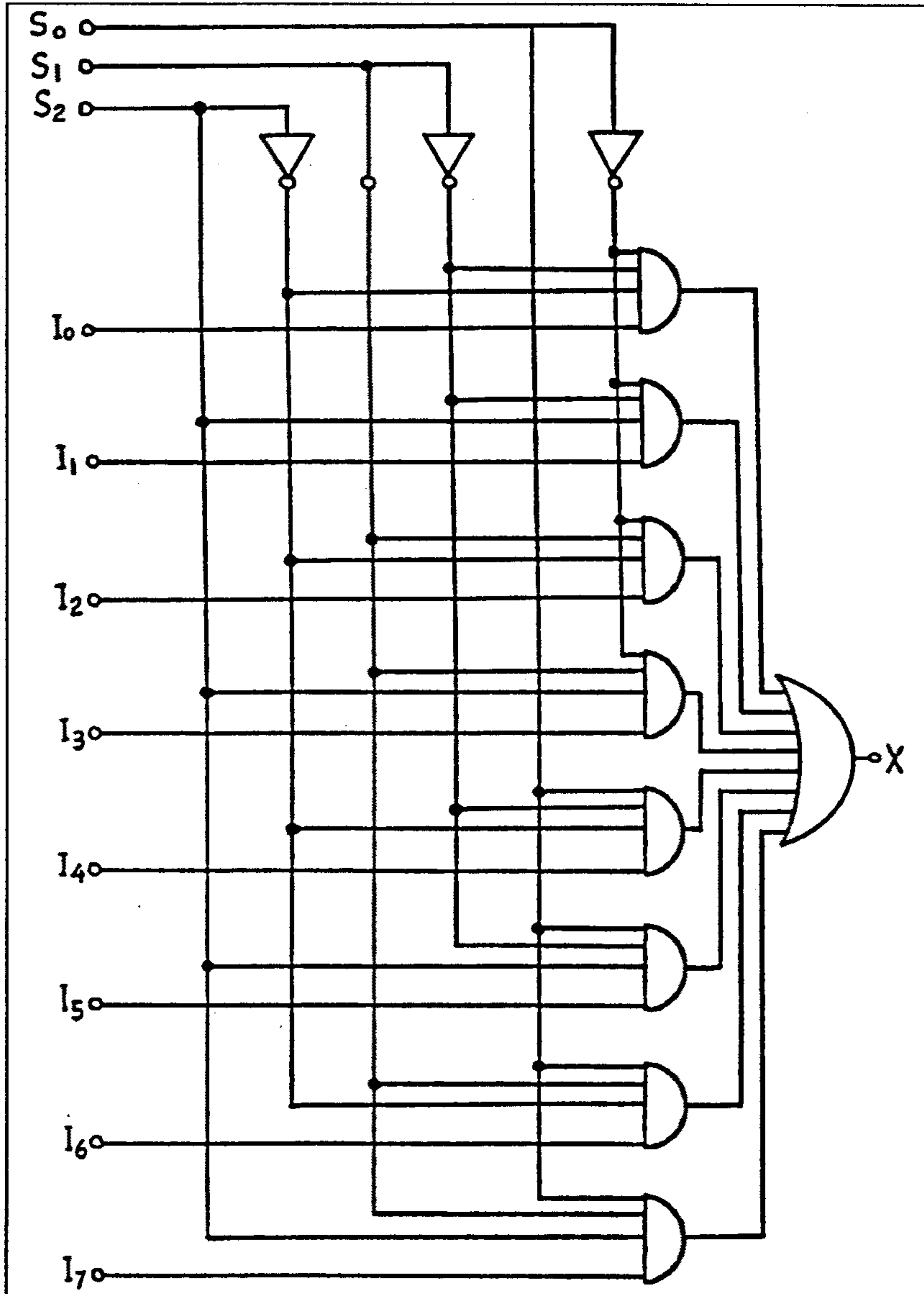
S0	S1	S2	Y
0	0	0	I_0
0	0	1	I_1
0	1	0	I_2
0	1	1	I_3
1	0	0	I_4
1	0	1	I_5
1	1	0	I_6
1	1	1	I_7

ورمزه:



شكل (٤-٣٠)

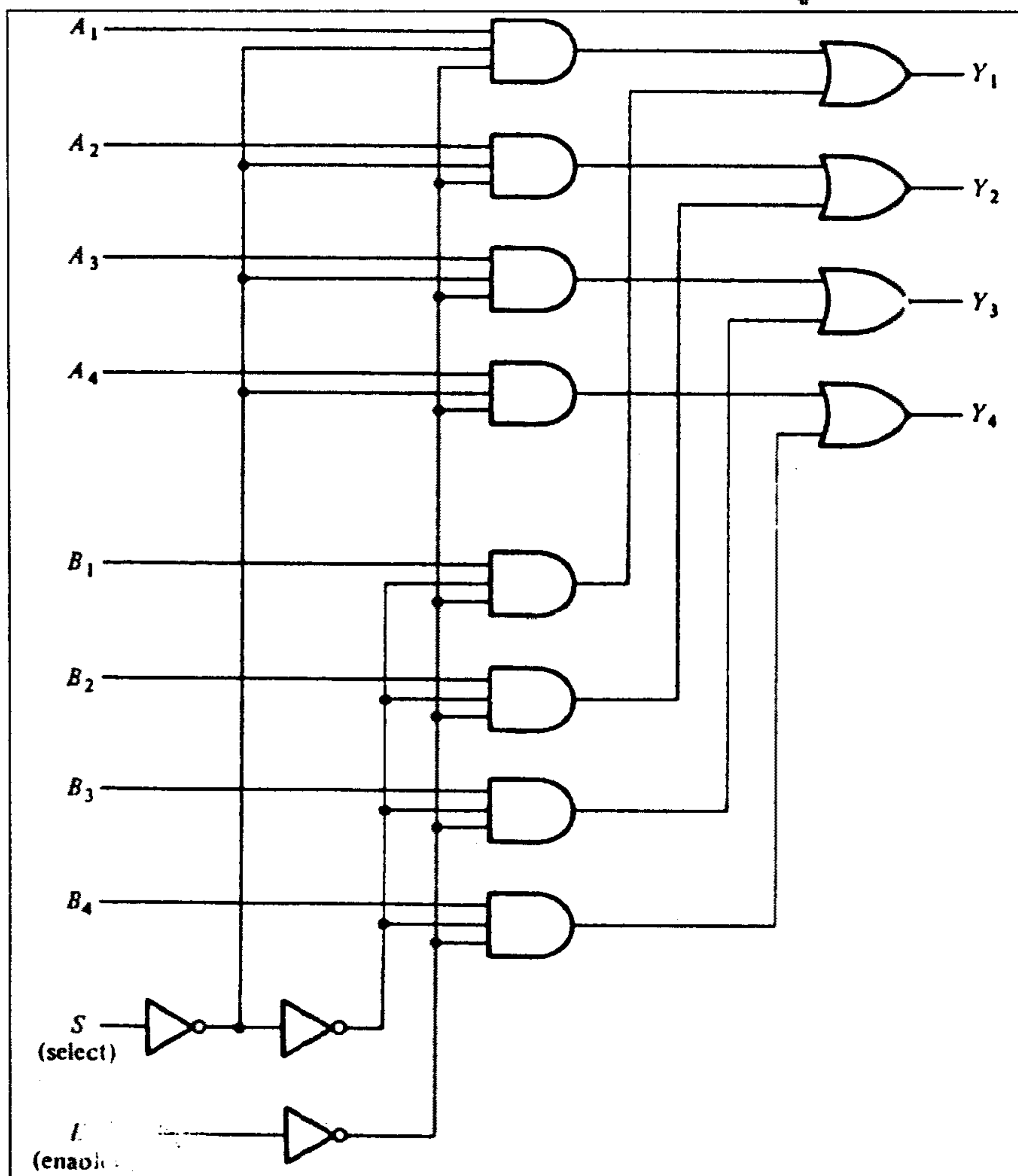
ودائرتة المنطقية:



شكل (٣١-٤)

4 MUX 2x1

دائرته المنطقية كالتالي:



شكل (٤-٣٢):

وجداول الحقيقة له كالتالي:

E	S	Output Y
1	X	all 0S
0	0	Select A
0	1	Select B

١. عند وضع $E = 1$ ، فإنها تتفنى ثم تسلط على كل البوابات AND مما يؤدي

لتصغير كل المخارج.

٢. إذا كانت $E = 0$ ، $S = 1$ ، فإن بوابات AND الخاصة بالدخل A سيكون أحد مداخلها 0 بسبب نفي S. بينما بوابات AND الخاصة بالدخل B سيكون دخلي كل واحدة منهما 1 لأن $\bar{E} = 1$ ، $\bar{S} = 1$ فتمر إشارات الدخل B خلالها ثم تجمع هذه الإشارات (كل إشارة B) مع أصفار البوابات الخاصة بـ A، فيكون الخرج النهائي للدائرة إشارات B.

٣. إذا كانت $E = 0$ ، $S = 0$ ، فإن إشارات الخرج النهائية ستكون A.

تصميم الدوائر المنطقية بدوائر التجميع

دائرة التجميع تحتوي في تركيبها الداخلي على دائرة DEC الذي يحتوي بدوره على جميع احتمالات المتغيرات (إشارات التحكم).

طريقة تمثيل المعادلات الجبرية أو جداول الحقيقة باستخدام المجمعات MOX.

إذا كانت المعادلة عدد متغيراتها n ، نمثلها باستخدام $MOX 2^{n-1} \times 1$ حيث يتم تمثيل $n-1$ من المتغيرات بمداخل التحكم والمتغير الباقي يتم تمثيله باستخدام مداخل المجمع MOX التي يأخذ كل واحد منها قيمة من أربعة (المتغير-المتغير 0-1).

مثال ذلك، معادلة جبرية متغيراتها A, B, C تمثل بـ $MOX 2^{3-1} \times 1$ أي $MOX 4 \times 1$ يتم تمثيل B, C في مداخل تحكمه و A في مداخل أو تمثيل AB بمداخل التحكم، و C في مداخله الأربعة، أو تمثيل AC بمداخل التحكم و B في مداخله الأربعة.

خطوات الحل

١. من جدول الحقيقة يتم عمل صفين للمتغير الممثل بمداخل الـ MOX أحدهما للمتغير والثاني للمعكوس.

٢. يتم وضع دائرة على كل حد قيمته 1 في الدالة.

٣. المدخل المقابل لدائرتين نضع قيمته بـ 1.

المدخل المقابل لدائرة واحدة نضع قيمته بعنوان صفه (المتغير أو معكوسه).
المدخل الذي لا يقابله أي دوائر قيمته 0.

٤-١ مثل المعادلة التالية باستخدام الـ MUX:

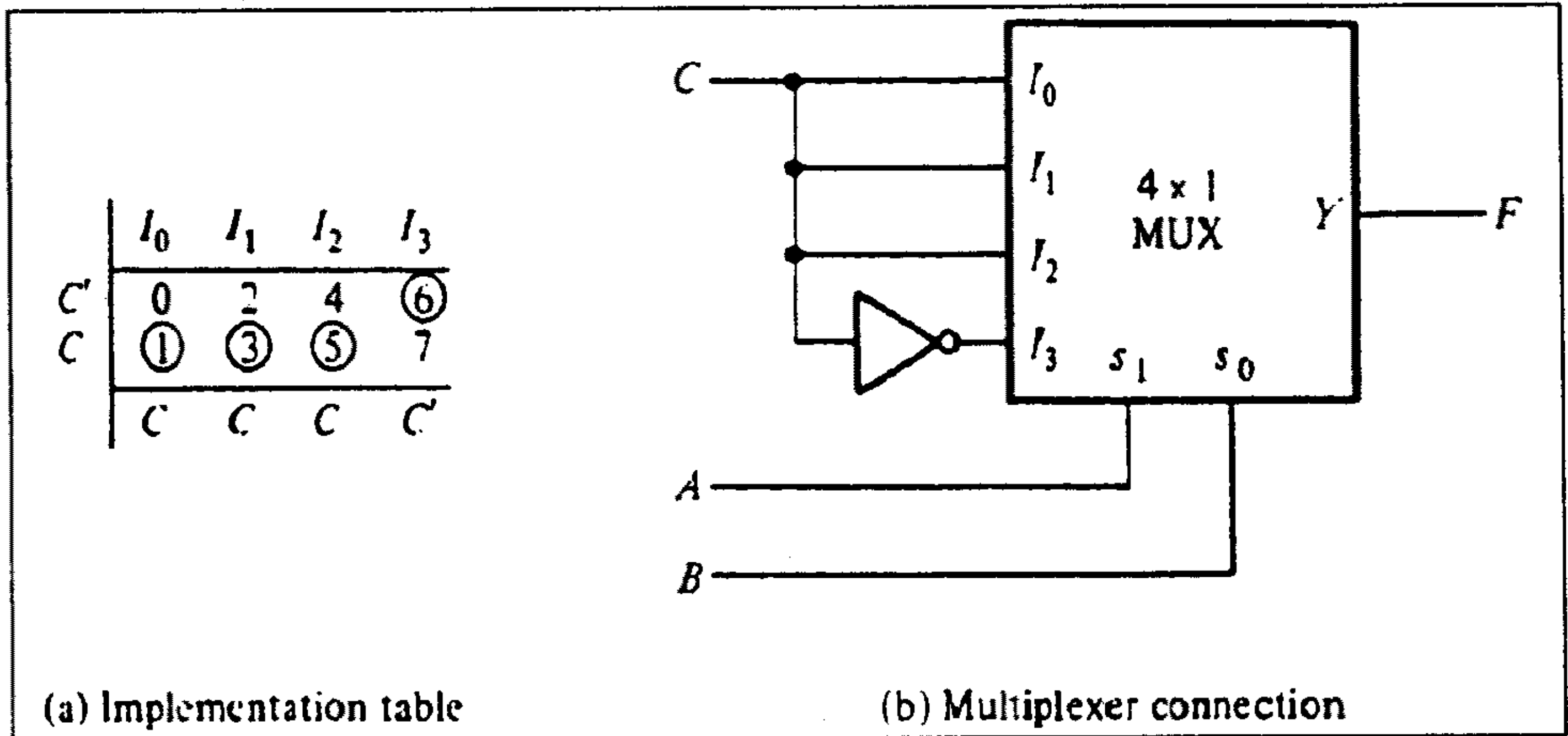
$$F(A, B, C) = \sum(1, 3, 5, 6)$$

الحل

جدول الحقيقة للدالة F كالتالي:

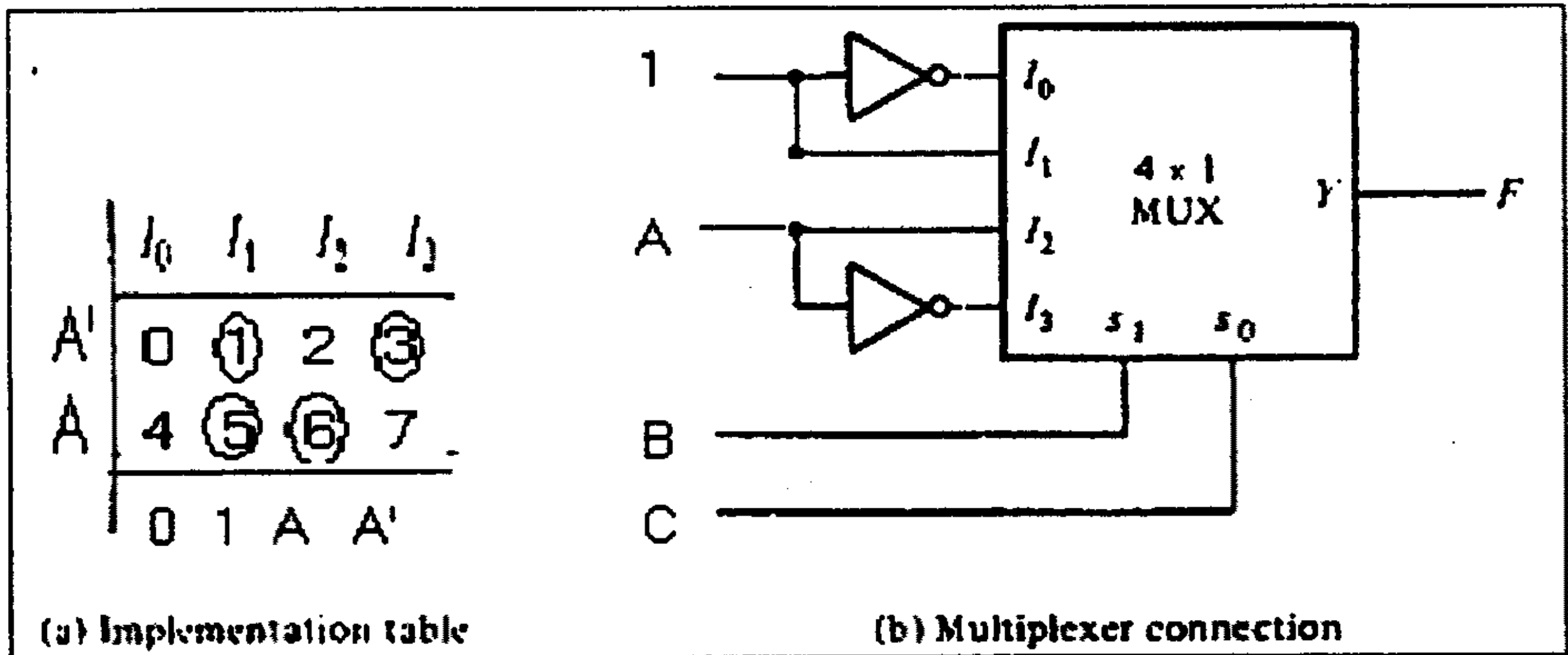
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

إذا مثلنا C بمدخل الـ MUX و AB بمدخل التحكم، فسيكون الحل كالتالي:



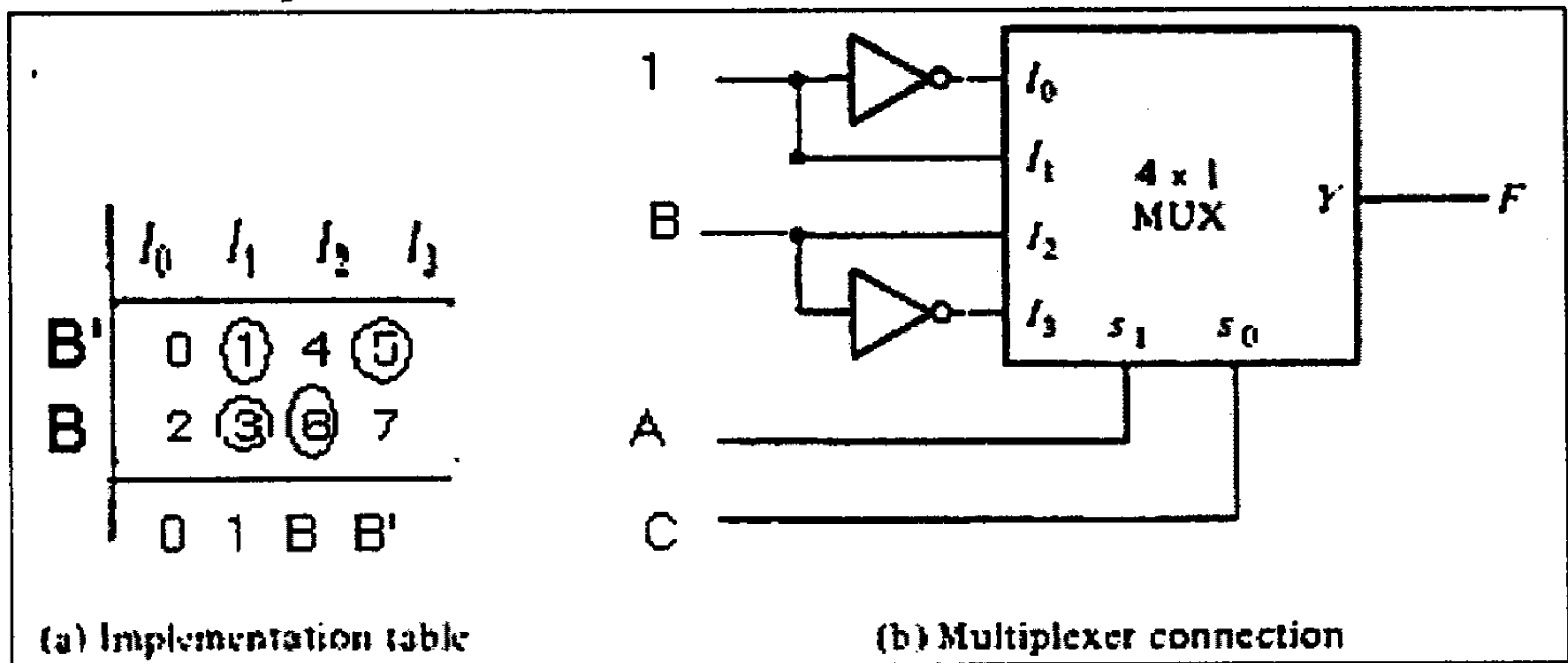
شكل (٤-٣٣)

وإذا مثلنا A بمدخل الـ MUX، BC بمدخل التحكم، سيكون الحل كالتالي:



شكل (٣٤-٤)

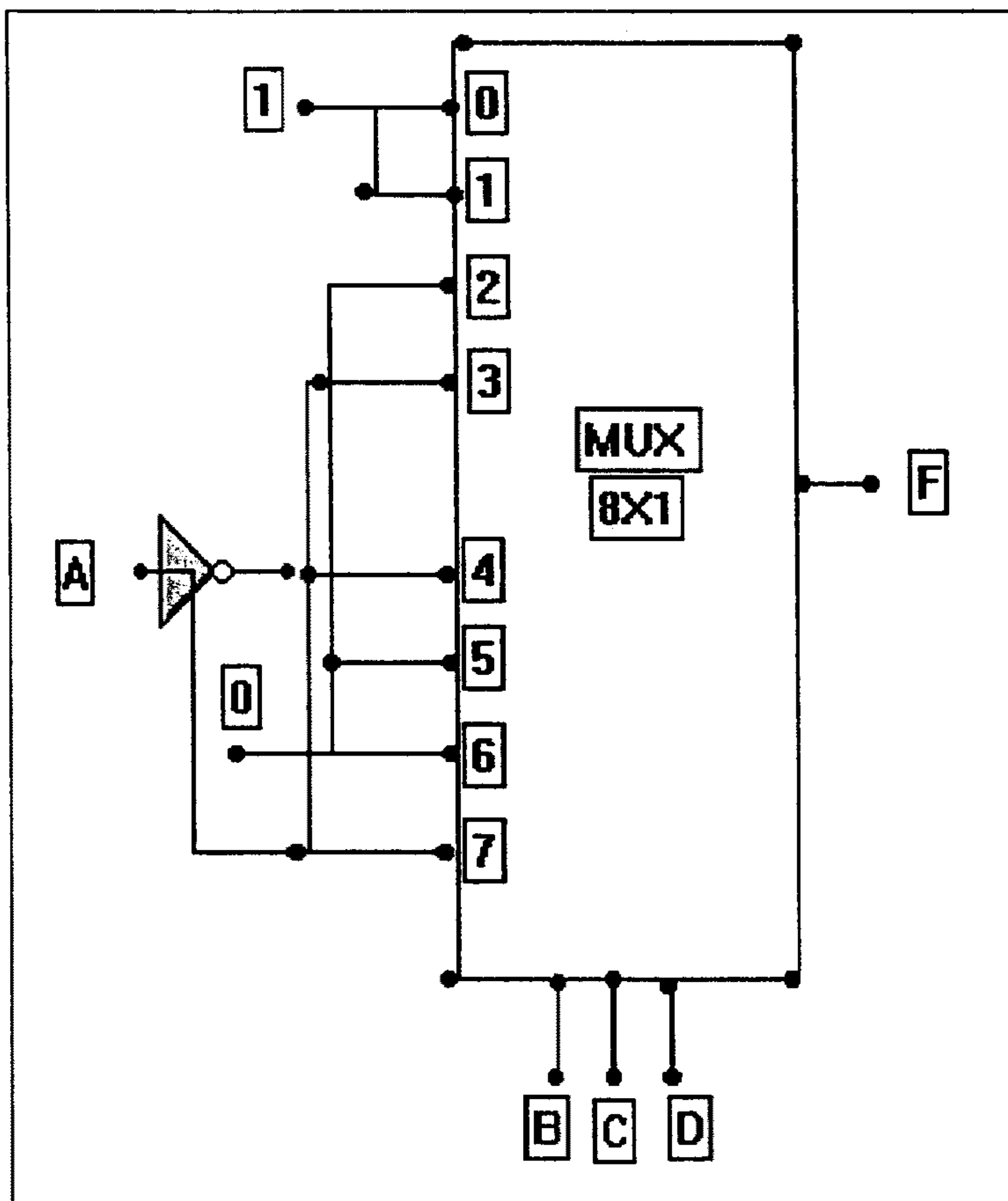
وإذا مثلنا B بمدخل الـ MUX، AC بمدخل التحكم، يكون الحل كالتالي:



شكل (٣٥-٤)

٢-٤ مثل المعادلة التالية باستخدام الـ MUX:

$$F = \sum (0, 1, 3, 4, 8, 9, 15)$$



شكل (٤-٣٦)

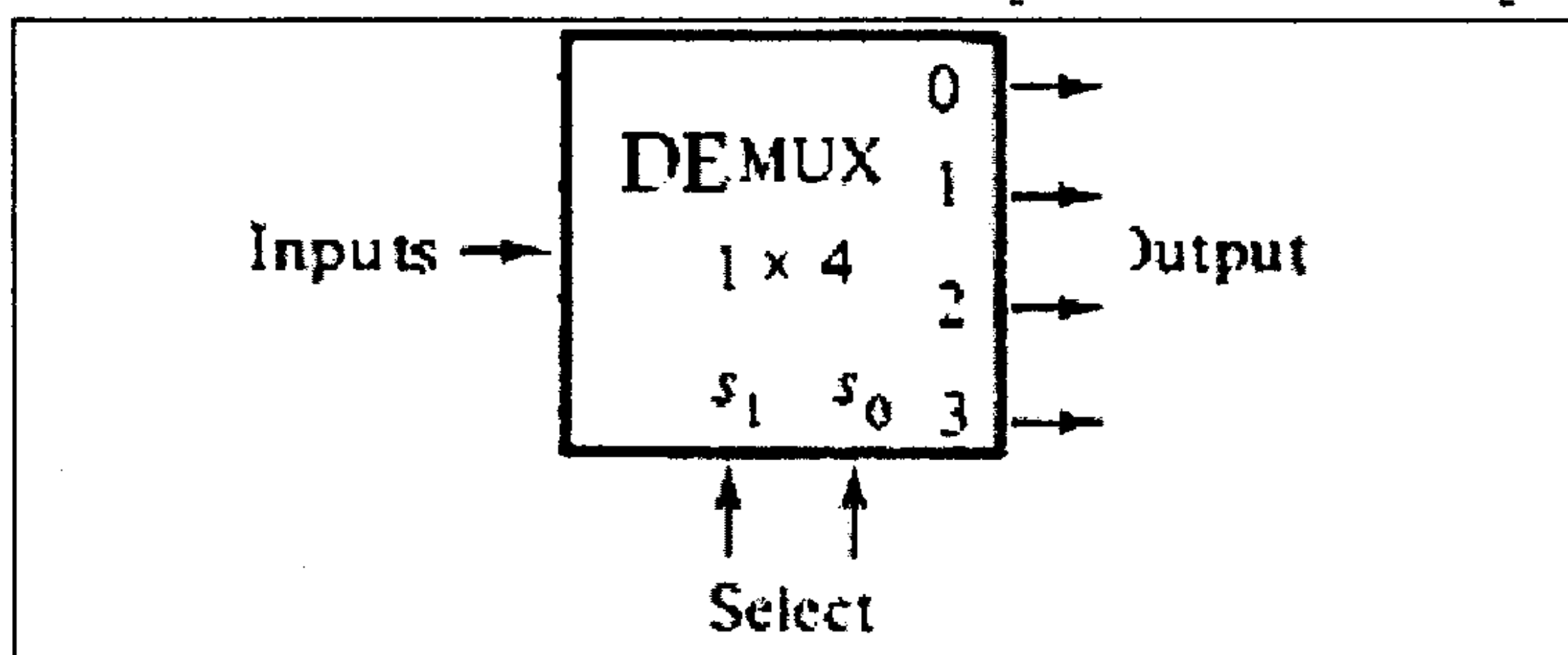
	10	11	12	13	14	15	16	17
A'	0	1	2	3	4	5	6	7
A	8	9	10	11	12	13	14	15
	1	1	0	A'	A'	0	0	A

شكل (٤-٣٧):

مقارنة بين التصميم بالـ MOX ، DEC		
وجه المقارنة	التصميم بـ DEC	التصميم بـ MUX
عدد الدوال	تمثيل أكثر من دالة	تمثيل دالة واحدة
عدد البوابات الإضافية	يحتاج لبوابات OR ذات عدد كبير من المداخل	يحتاج لبوابة نفي
سهولة التصميم	تمثيل مباشر	خطوات سهلة لكنها أعقد من DEC
تمثيل دوال أكبر من ٣ متغيرات	من الصعب الحصول على بوابة OR ذات عدد مداخل أكبر من ٨	لا يحتاج سوى بوابة NOT واحدة

دوائر التفريق DEMultiplexer

دائرة منطقية لها دخل واحد وعدد مخرج 2^n . يتم إخراج/إمرار الدخل إلى أحد هذه المخرج طبقاً للإشارة المطبقة على مداخل التحكم وعددها n . والرمز المنطقي لمفروق 1X4 كالتالي:

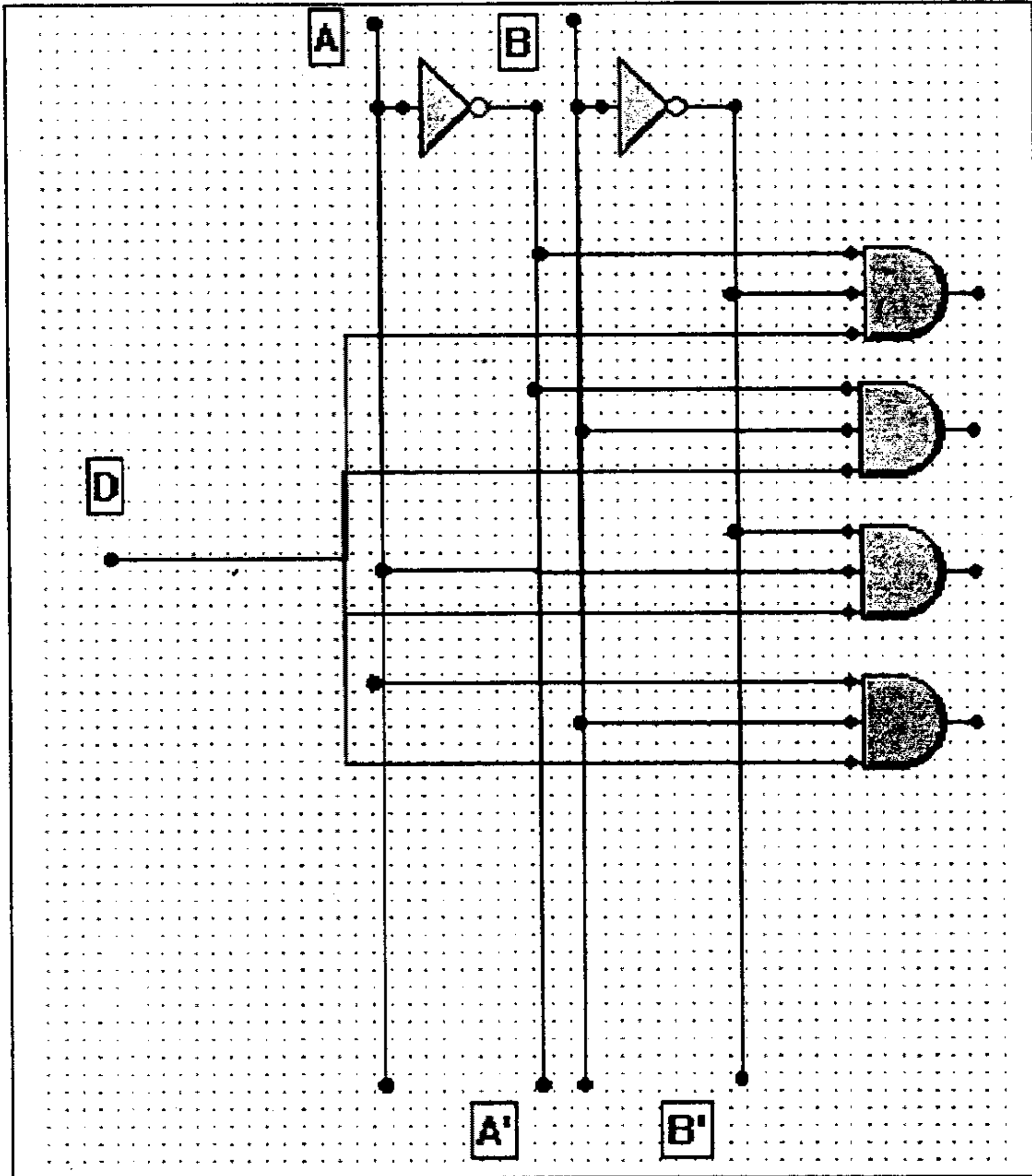


شكل (٣٨-٤)

وجداول الحقيقة كالتالي:

A	B	Y_0	Y_1	Y_2	Y_3
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

والدائرة المنطقية كالتالي:



شكل (٢-٤)

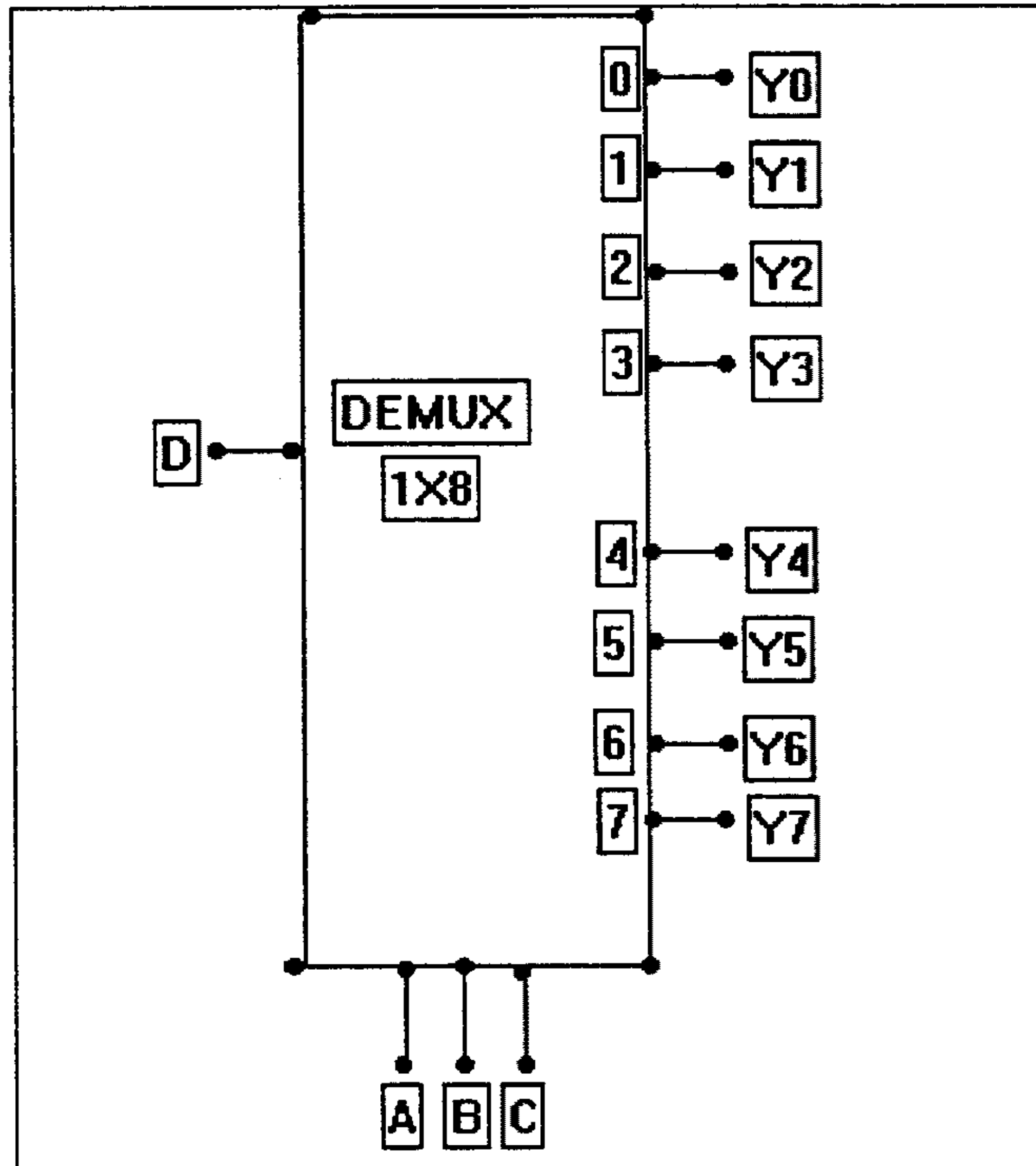
وهي عبارة عن 2×4 DEC، حيث 2 مداخل التحكم و 4 المخارج إلى جانب إشارة دخل بيانات d متصلة بكل البوابات يسمح لها بالمرور في بوابة واحدة في نفس اللحظة حسب قيم إشارات التحكم.

DEMUX 1×8

إليك جدول الحقيقة.

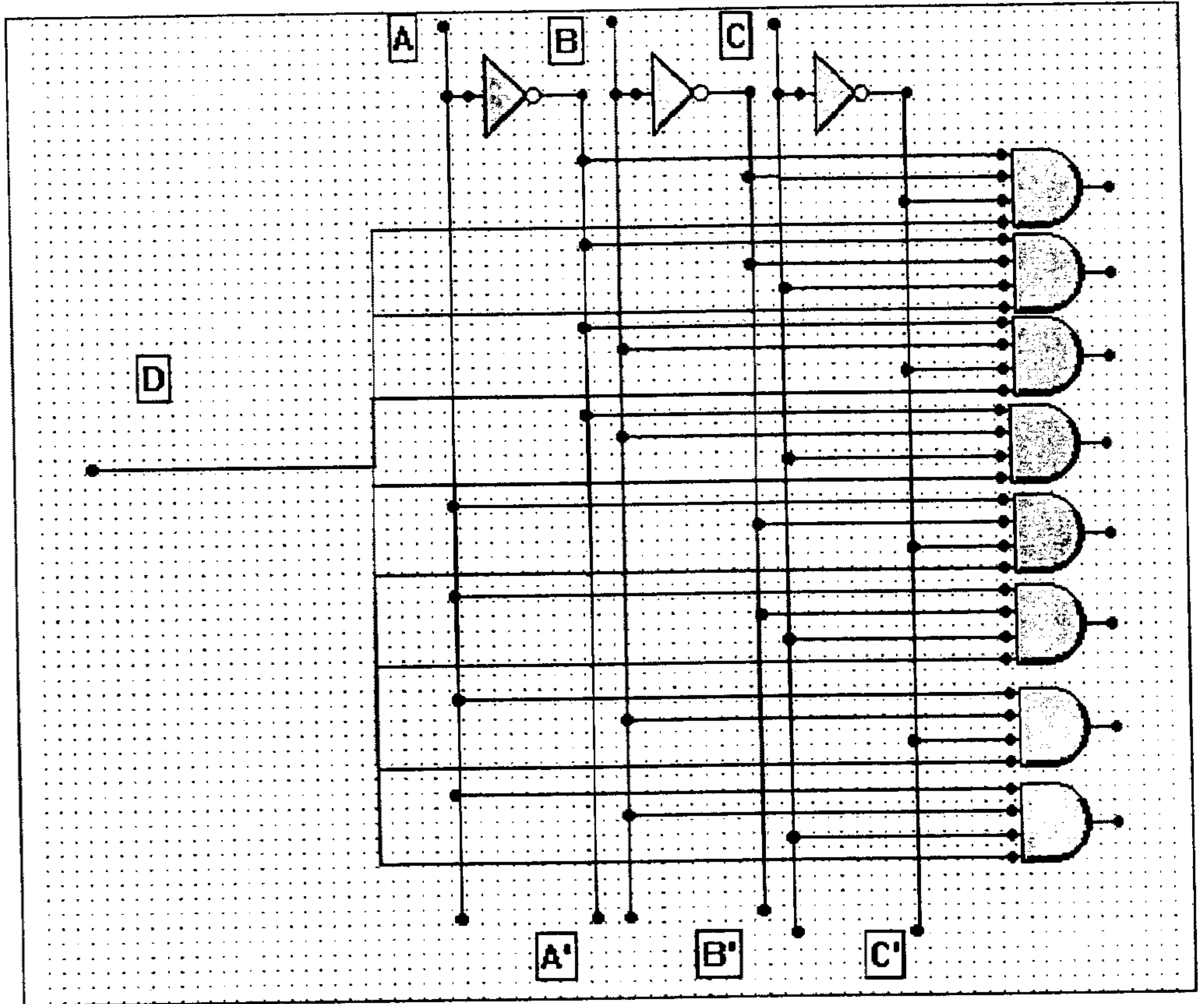
A	B	C	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	D	0	0	0	0	0	0	0
0	0	1	0	D	0	0	0	0	0	0
0	1	0	0	0	D	0	0	0	0	0
0	1	1	0	0	0	D	0	0	0	0
1	0	0	0	0	0	0	D	0	0	0
1	0	1	0	0	0	0	0	D	0	0
1	1	0	0	0	0	0	0	0	D	0
1	1	1	0	0	0	0	0	0	0	D

ورمزه المنطقي:



شكل (٤-٤٠)

والدائرة المنطقية:



شكل (٤-٤١)

مثال ٤-٥ استخدام دائرة MUX في تمثيل الدوال التالية:

$$F_1 = \sum (1, 2, 6, 7)$$

$$F_2 = \sum (1, 3, 4, 11, 12, 13, 14, 15)$$

الحل

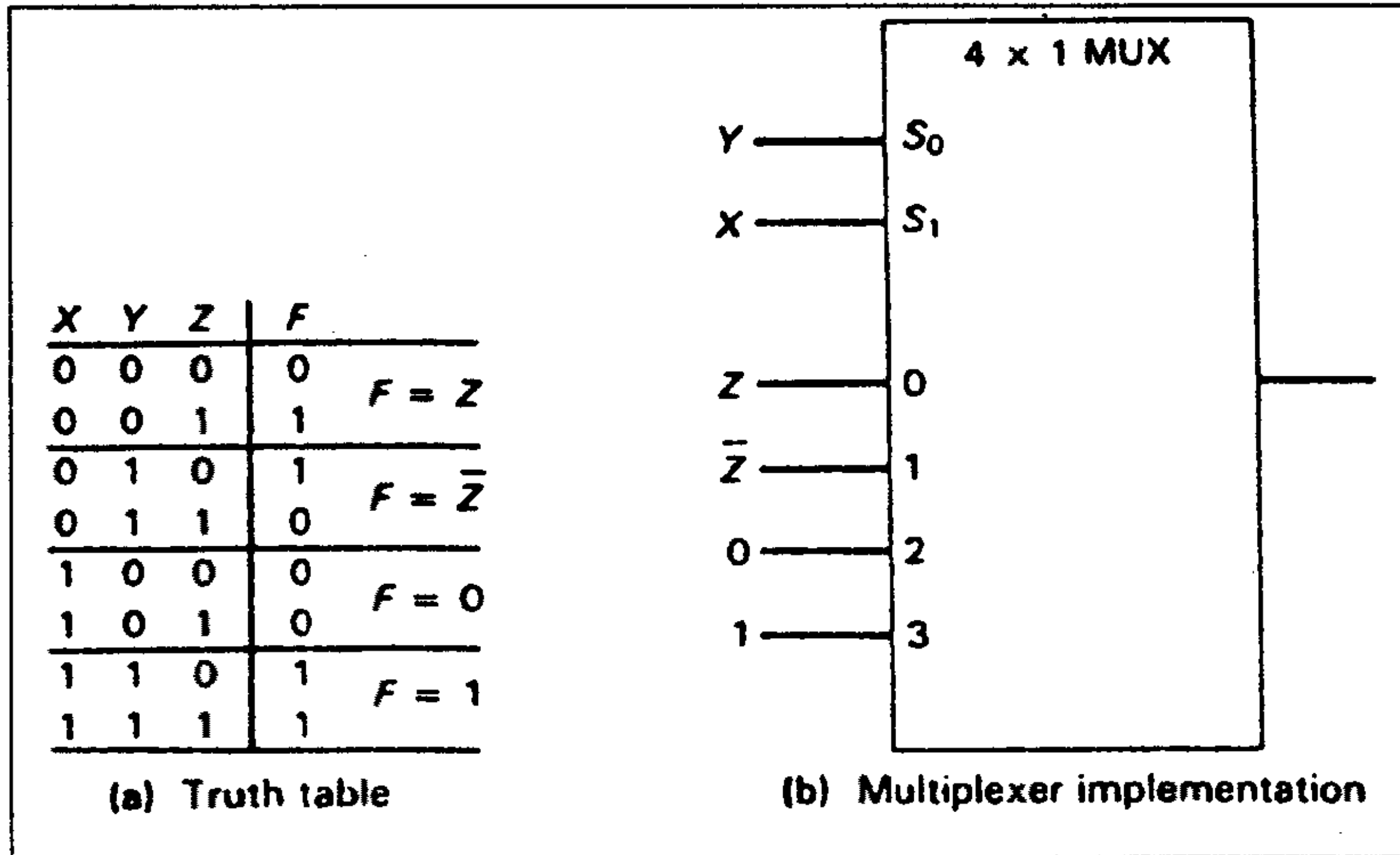
١. نمثل المتغير الأقل وزناً بالمدخلات وباقي المتغيرات بمدخل للتحكم.
٢. نقارن الخرج F مع المتغير الأقل وزناً في جدول الحقيقة وذلك بتقسيم جدول الحقيقة كل صفين معاً، وكل صفين يمثلان قيمة أحد المداخل.

تطبيق الخطوات على F_1 .

جدول الحقيقة يصير كالتالي:

X	Y	Z	F	
0	0	0	0	
0	0	1	1	$F = Z$
0	1	0	1	
0	1	1	0	$F = \bar{Z}$
1	0	0	0	
1	0	1	0	$F = 0$
1	1	0	1	
1	1	1	1	$F = 1$

ودائرة الـ MUX كالتالي:



شكل (٤-٤٢)

مثال ٤-٦ استخدام دائرة الـ MUX في تمثيل الدالة التالية:

$$F_2 = \sum(1, 3, 4, 11, 12, 13, 14, 15)$$

الحل

الدالة ذات أربع متغيرات A, B, C, D.

وجداول الحقيقة كالتالي:

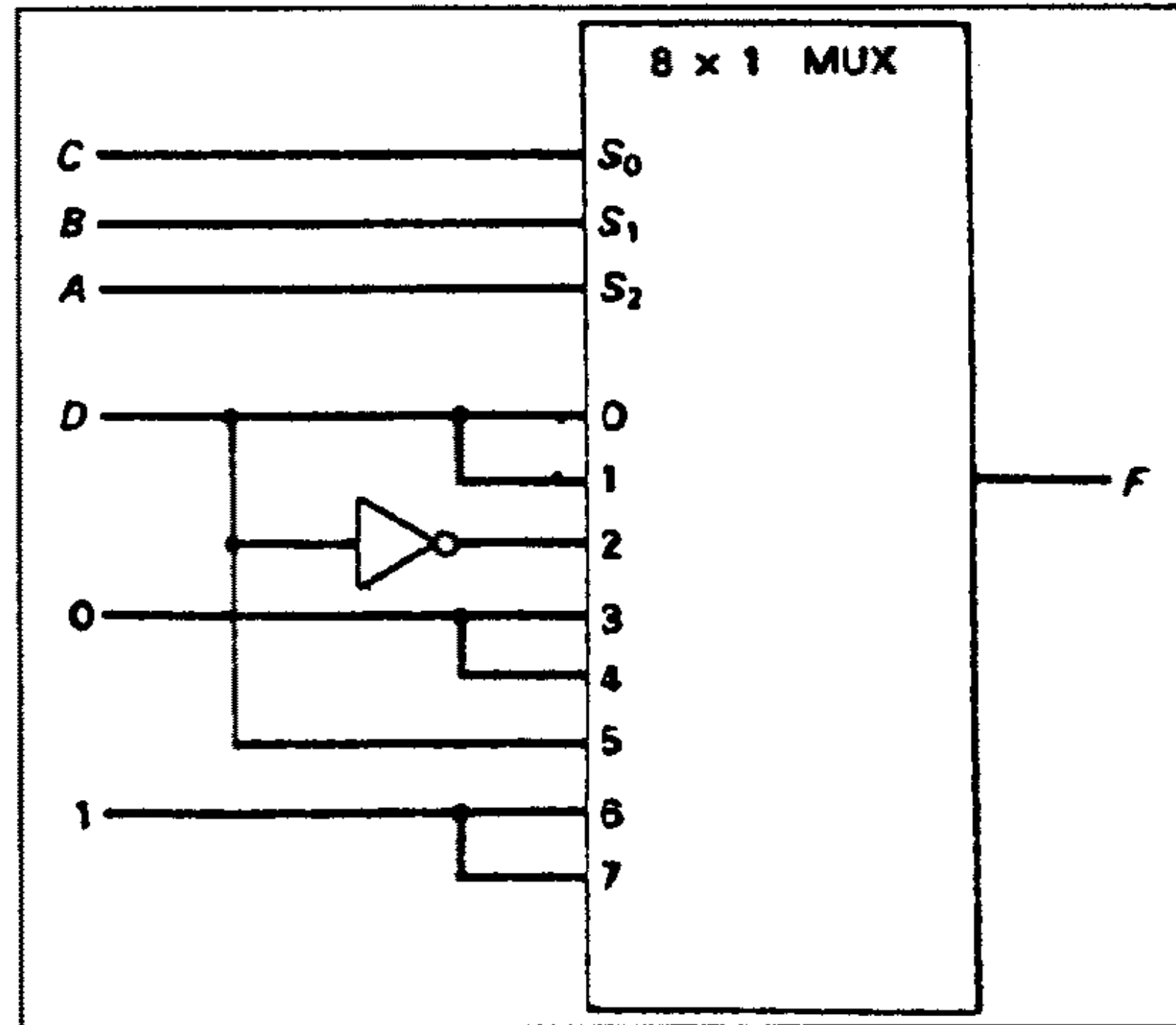
A	B	C	D	F	
0	0	0	0	0	
0	0	0	1	1	$F = D$
0	0	1	0	0	
0	0	1	1	1	$F = D$
0	1	0	0	1	
0	1	0	1	0	$F = \overline{D}$
0	1	1	0	0	
0	1	1	1	0	$F = 0$
1	0	0	0	0	
1	0	0	1	0	$F = 0$
1	0	1	0	0	
1	0	1	1	1	$F = D$
1	1	0	0	1	
1	1	0	1	1	$F = 1$
1	1	1	0	1	
1	1	1	1	1	$F = 1$

نمثل A, B, C الأعلى وزناً بمدخل التحكم.

ونمثل D الأقل وزناً بالمدخل.

ونقسم الجدول صفين صفين كل صفين يمثلان أحد المدخل كما بجدول الحقيقة السابق.

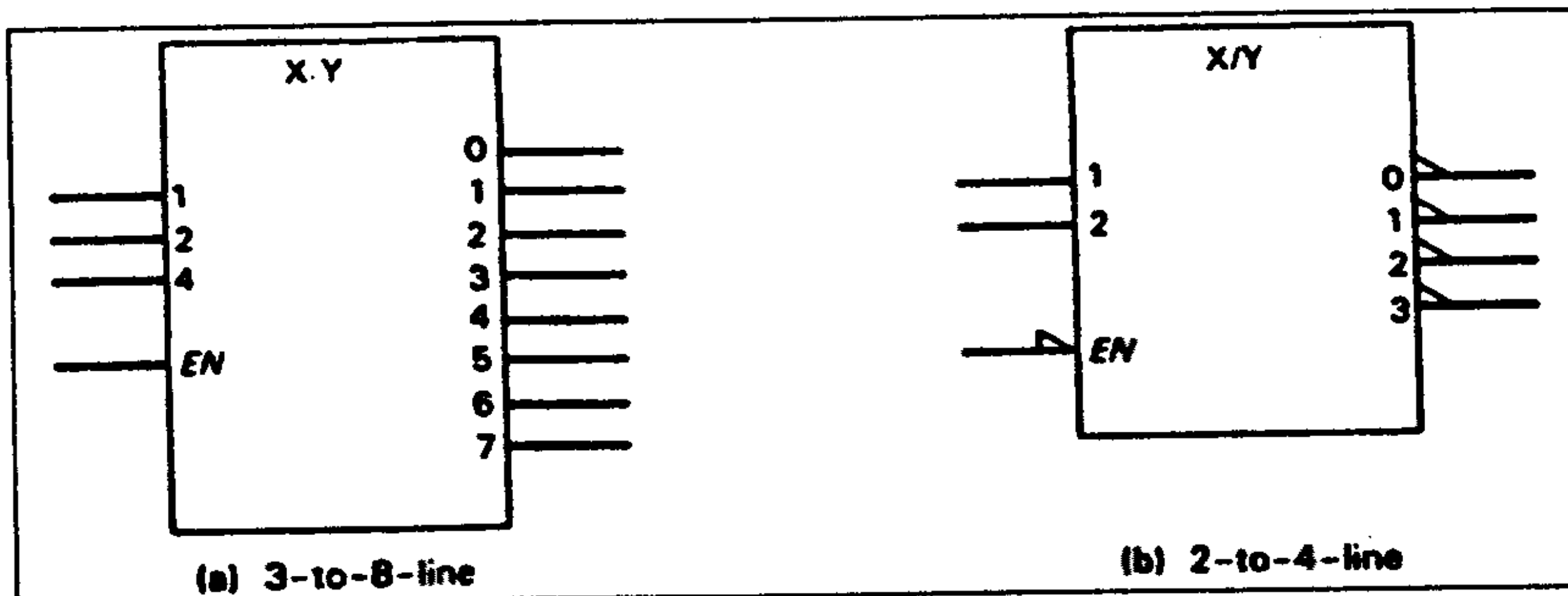
ونضع قيمة كل مدخل على دائرة الـ MUX كما يلي:



شكل (٤٣-٤) : Implementing a 4-Input Function with a Multiplexer

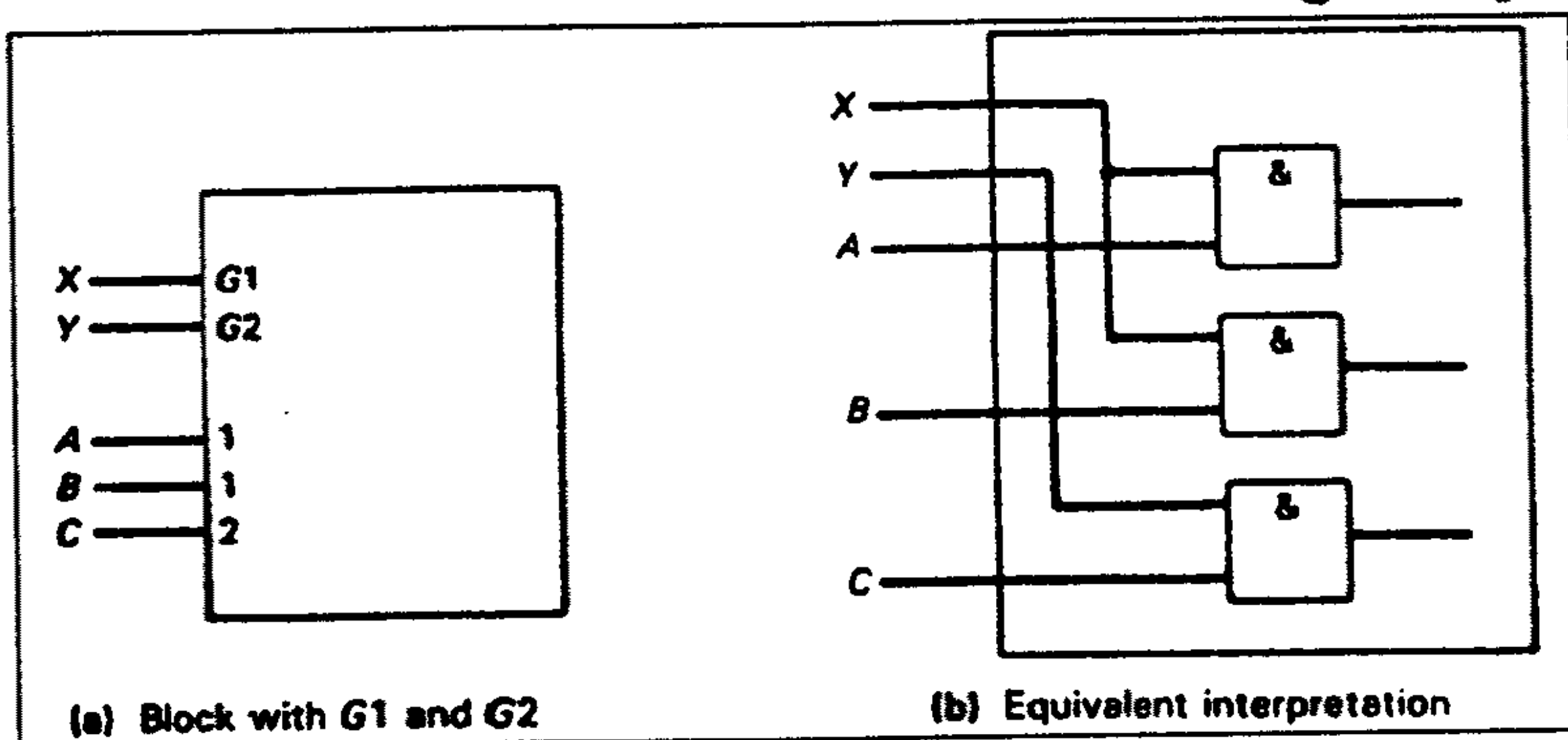
بعض الرموز القياسية للدوائر الرقمية

الرمز القياسي لحلال الشفرة DEC

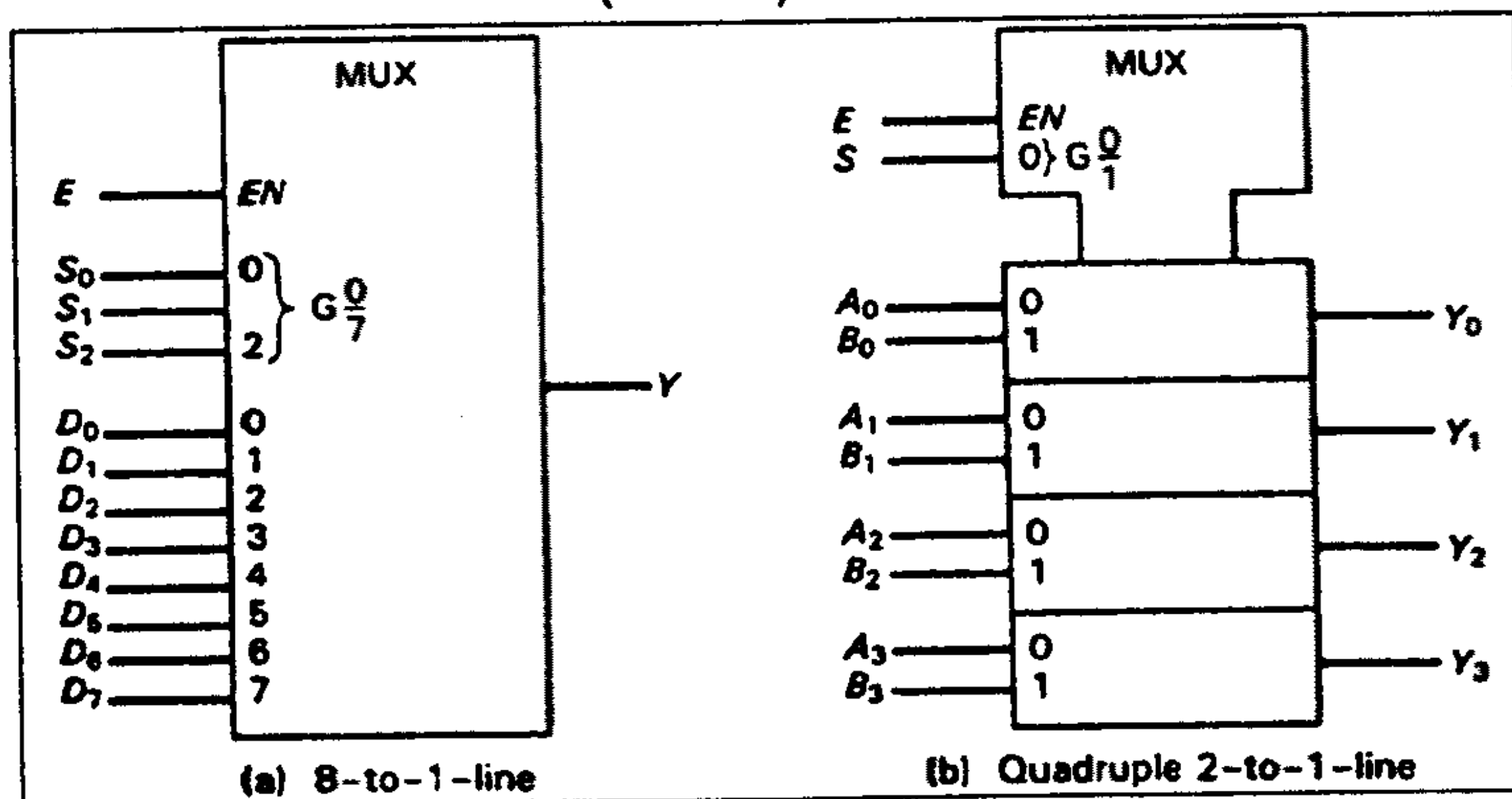


شكل (٤٤-٤)

الرمز القياسي للمجمع MUX

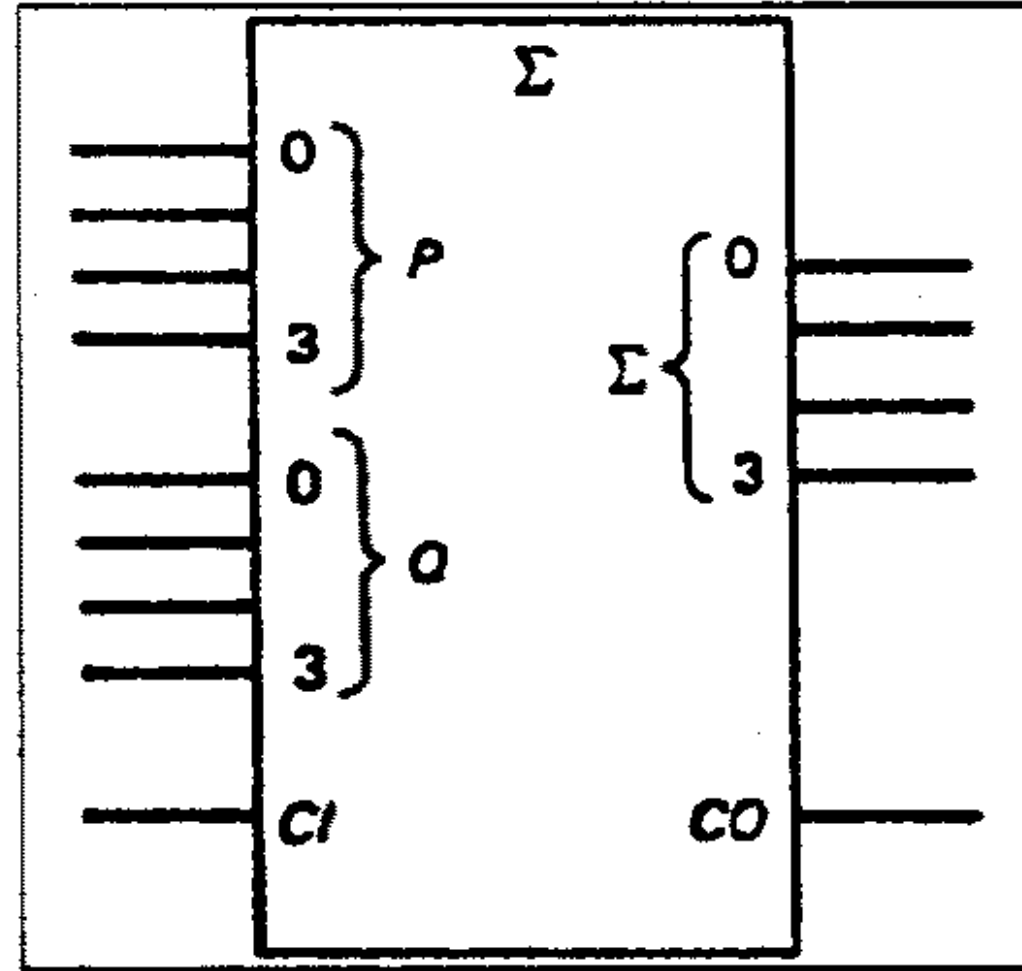


شكل (٤٥-٤)



شكل (٤٦-٤)

الرمز القياسي للجامع الثنائي ٤ بت



شكل (٤٧-٤)

ذاكرة القراءة فقط ROM

ROM اختصار لكلمة Read Only Memory. وذاكرة القراءة فقط ذاكرة كهربية منطقية غير متطايرة.

كهربية تعتمد على التيار الكهربائي في تمثيل المعلومات.

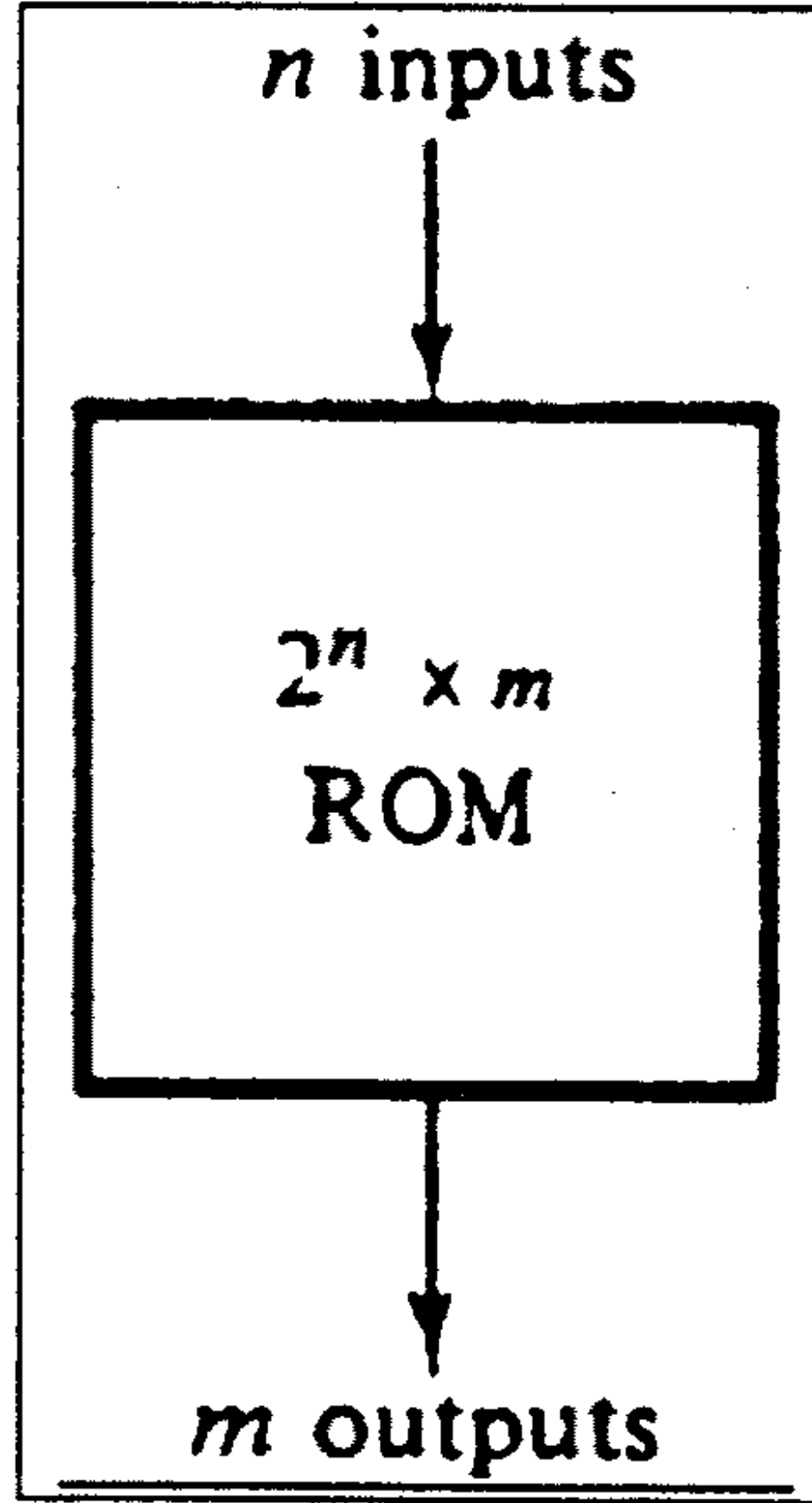
منطقية تعتمد على المنطق الرقمي الثنائي.

غير متطايرة تحتفظ بالبيانات المخزنة بها حتى عند انقطاع التيار الكهربائي.

فهي تتكون من عدد كبير من الوصلات يتم فصل بعضها وترك الآخر حسب تكوين البيانات المخزنة بها.

والذاكرة ROM لها مدخلات n يطلق عليها خطوط العنوان ولها مخرجات m يطلق عليها طول الكلمة.

فالذاكرة ROM تتكون من عدد من الكلمات 2^n طول كل كلمة m حيث m يمثل عدد خانات الكلمة.



شكل (٤-٤٨)

الذاكرة ROM التي لها 4 خطوط دخل، 6 خطوط خرج يرمز لها بالرمز ROM 4×6 ، فالذاكرة ROM $2^n \times m$ في حالتنا ROM $2^4 \times 6$ ، أي أن لها:

- 4 مداخل = عدد خطوط العنوان.
- 6 مخارج = عدد خطوط البيانات = طول الكلمة.
- $2^4 = 16$ كلمة كل كلمة 6 بت.

يتم حل شفرة خطوط العنوان عن طريق DEC 4×16 .

والدائرة المنطقية لها كالتالي:

6 بوابات OR كل بوابة لها 16 مدخل من 0 إلى 15. أي أن كل كلمة يتم تمثيلها في 6 بوابات.

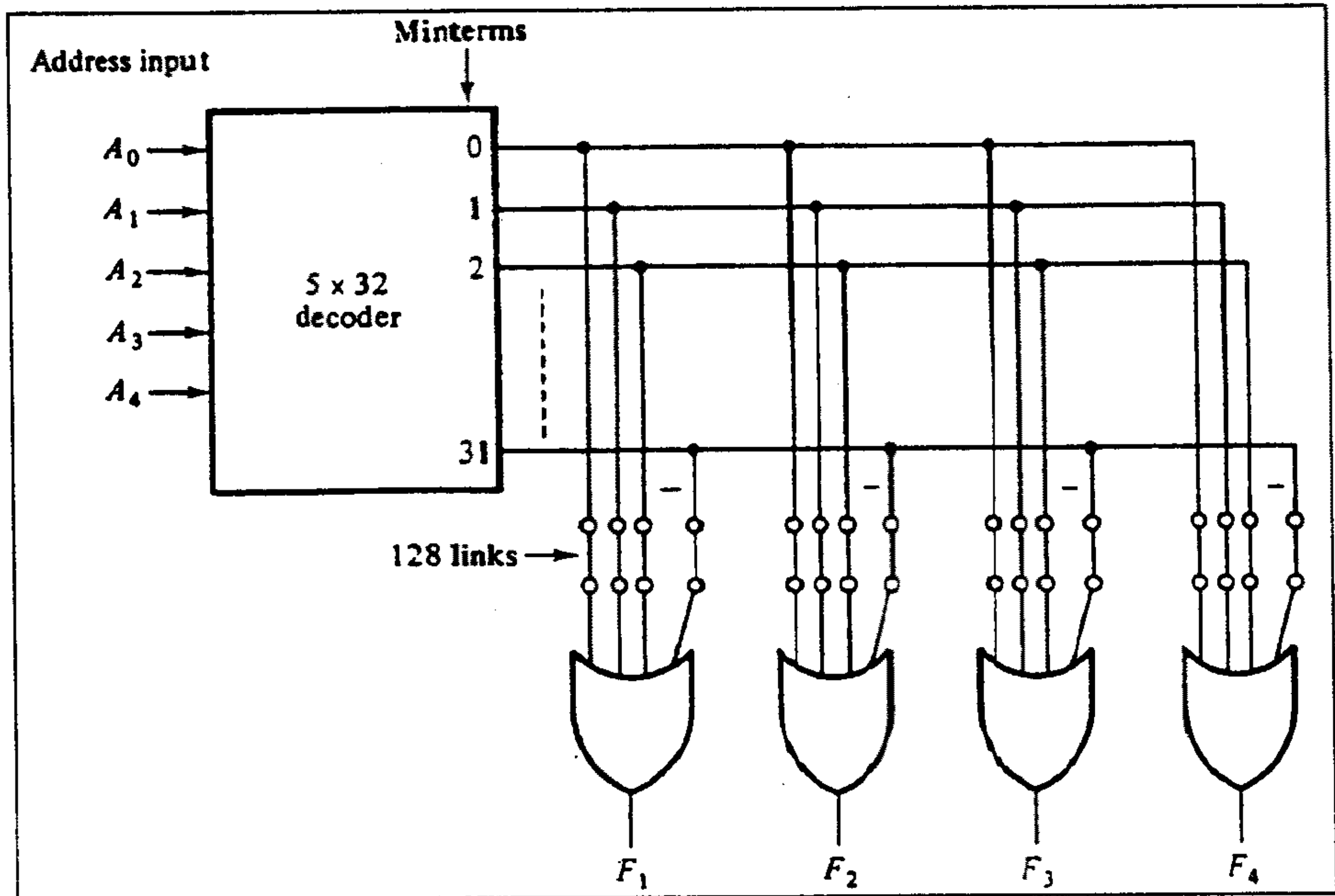
- الكلمة ذات العنوان 0 يتم تمثيلها بالمدخل 0 في 6 بوابات.
- الكلمة ذات العنوان 1 يتم تمثيلها بالمدخل 1 في البوابات.
- الكلمة ذات العنوان 15 يتم تمثيلها بالمدخل 15 في البوابات الستة.

لو كانت الكلمة ذات العنوان 0 كالتالي (111011)، فمعنى ذلك أننا سنفصل الوصلة رقم صفر في البوابة OR رقم ٣ ذات الوزن 2^2 ونترك بقية وصلات سليمة. الذاكرة ROM تبرمج (يخزن فيها البيانات) مرة واحدة فقط، وتسمى هذه العملية عملية "حرق الذاكرة".

٣-٤ ذاكرة ROM 32×4 .

أي أن عدد كلماتها 32، عدد بوابات OR 4، عدد خطوط العنوان 5 لأن $32 = 2^5$ ، وعدد الوصلات = عدد البوابات \times 32 = 128. ٤ تخص كل كلمة.

ودائرتها المنطقية كالتالي:



شكل (٤-٩): Logic construction of a 32×4 ROM

تمثيل الدوال المنطقية باستخدام الذاكرة ROM

كل خرج عبارة عن مجموع مضروبوات جميع المواقع.

مثال ٤-٨ مثل الدالتين التاليتين بذاكرة ROM:

$$F_1 = \sum (1, 2, 3)$$

$$F_2 = \sum (0, 2)$$

الحل

جدول الحقيقة يوضح F_1, F_2 .

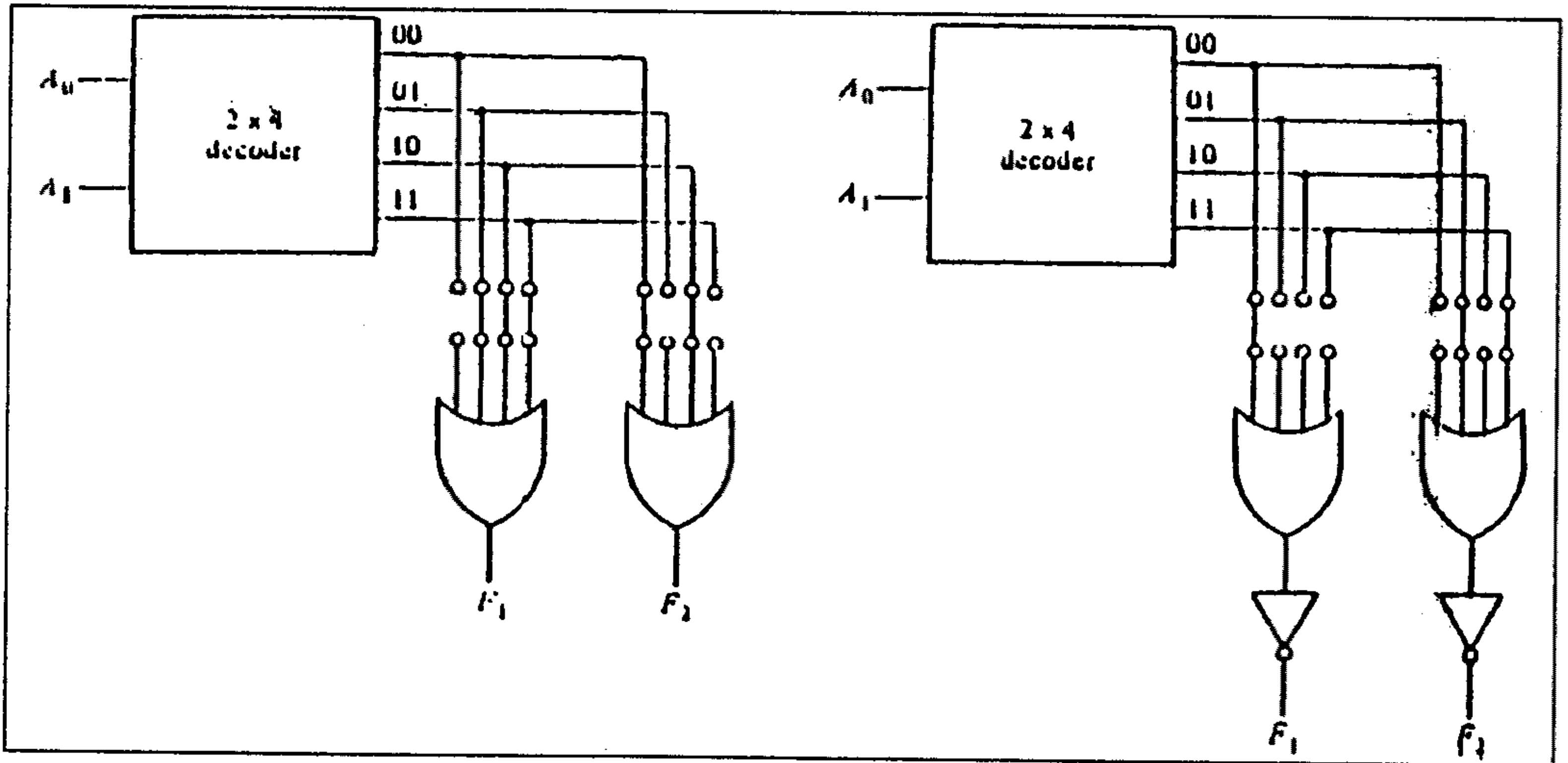
والرسم المنطقي يبين ذاكرة ROM 4×2 ، حيث 4 عدد الكلمات، 2 طول الكلمة.

يتم فصل كل خط قيمته صفر، وترك كل خط قيمته 1.

في حالة إذا كانت الذاكرة ROM ممثلة داخلياً بـ OR للخرج، أما إذا كان خرجها ممثل

(NOR) OR NOT فيتم فصل كل خط قيمته 1 وترك كل خط قيمته صفر.

انظر الدائرتين التاليتين.



شكل (٤-٥٠)

مثال ٩-٤ صمم دائرة لحساب مربع رقم ٣ بت باستخدام ROM 8×4

الحل

جدول الحقيقة يوضح الدوال اللازمة لتصميم الدائرة وهي ٦ من $B_0 - B_5$.

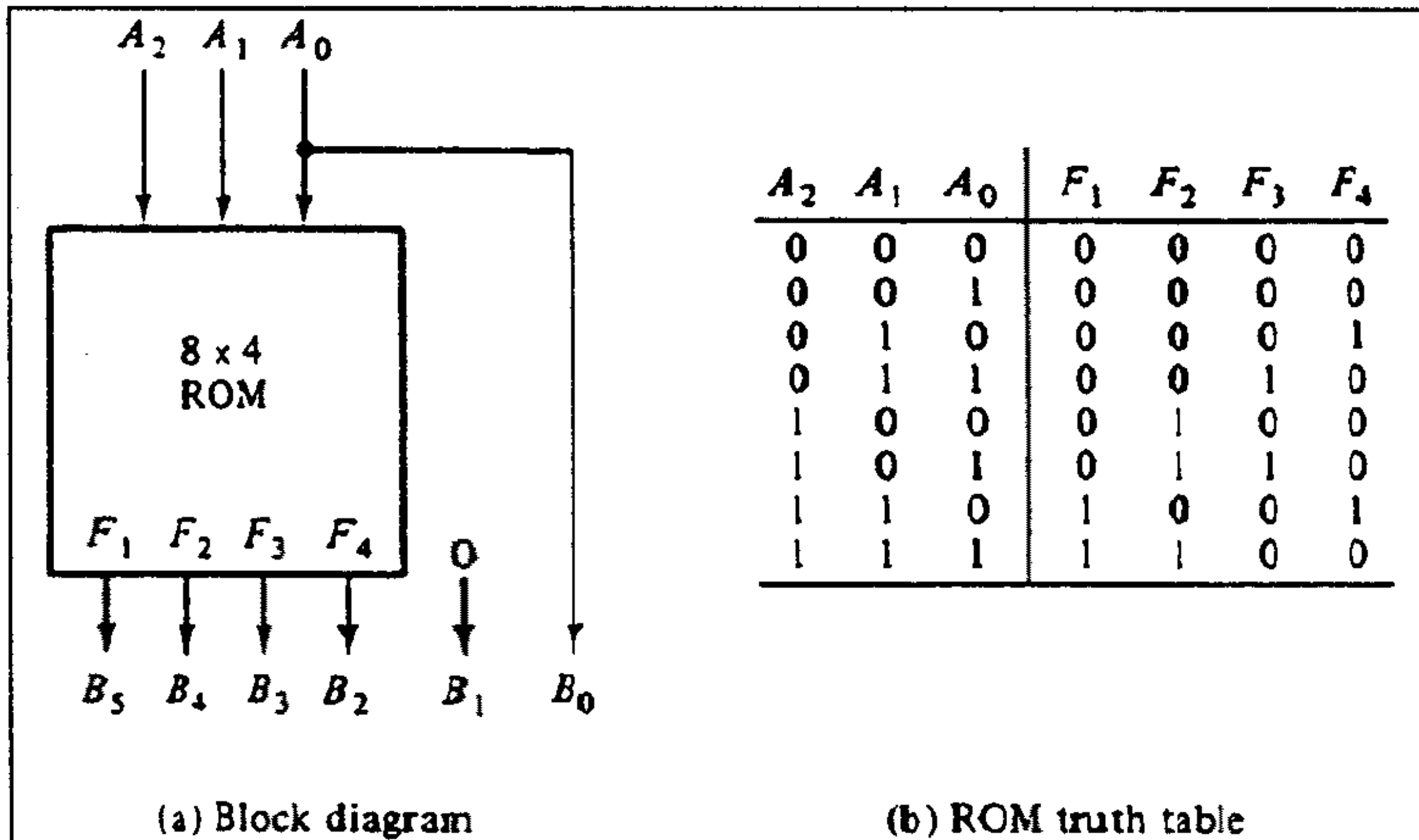
$$B_0 = A_0$$

$$B_1 = 0$$

ولقد تم استخدام الذاكرة ROM لتمثيل B_2, B_3, B_4, B_5 .

والدائرة المنطقية للدائرة كالتالي:

A_2	A_1	A_0	B_5	B_4	B_3	B_2	B_1	B_0	
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	1	1
0	1	0	0	0	0	1	0	0	4
0	1	1	0	0	1	0	0	1	9
1	0	0	0	1	0	0	0	0	16
1	0	1	0	1	1	0	0	1	25
1	1	0	1	0	0	1	0	0	36
1	1	1	1	1	0	0	0	1	49



شكل (٩-٤) (٥١)

مثال ١٠-٤ ذاكرة ROM عدد كلماتها 512 بايت، وطول الكلمة 1 بايت. أحسب عدد خطوط العنوان.

الحل

عدد خطوط العنوان = 512

رقم الخط	1	2	3	4	5	6	7	8	9	10
وزن الخط	1	2	4	8	16	32	64	128	256	512

كي نعنون لعدد كلمات 4 نحتاج لخطين 1، 2.

كي نعنون لعدد كلمات 16 نحتاج لأربع 1، 2، 3، 4.

لأن الأربع خانات يمكن تمثيل 16 شفرة بهم كل شفرة تمثل عنوان كلمة.

أي أن عدد خطوط العنوان اللازمة لعنوان 512 كلمة هي 9 لأن جميع الأرقام التي قبل 512 مجموعها 511.

أي أن 9 خطوط كافية لتشفير 512 شفرة من 0 إلى 511.

مثال ١١-٤ ذاكرة 32MB طول كلمتها 1 بايت. كم عدد خطوط العنوان؟

الحل

رقم الخط	1	2	3	4	5	6	7	8	9	10
وزن الخط	1	2	4	8	16	32	64	128	256	512
رقم الخط	11	12	13	14	15	16	17	18	19	20
وزن الخط	1 K	2 K	4 K	8 K	16 K	32 K	64 K	128 K	256 K	512 K
	1024	2048	4096	8192						

رقم الخط	21	22	23	24	25	26	27	28	29	30
وزن الخط	1 M	2 M	4 M	8 M	16 M	32 M	64 M	128 M	256 M	512 M
	1024 K	2048	4096	8192						

أي أننا نحتاج لتمثيل عناوين 32 مليون موقع إلى 25 خط، ونحتاج إلى 20 خط إذا كان حجم الذاكرة 1M (1 مليون موقع/كلمة). ونحتاج إلى 10 خط إذا كان حجم الذاكرة 1K (1024 موقع/كلمة).

مثال ٤-١٢ ذاكرة عدد خطوط عنوانها 22 خط. أحسب حجم الذاكرة.

الحل

1	2	4	8	16	32	64	128	256	512	10 خط
1 K	2 K								512	20 خط
1 M	2 M								512	30 خط

حجم الذاكرة 4 ميجا كلمة (4×1024×1024) بالضبط.

مثال ٤-١٣ ذاكرة حجمها 128 ميجابايت. أحسب عدد خطوط العنوان إذا كان طول الكلمة:

- (أ) 1 بايت. (ب) 2 بايت. (ج) 4 بايت. (د) 1/2 بايت.

الحل

(أ)

عدد مواقع الذاكرة	حجم الذاكرة	=	128 MByte	128 M =
= عدد الكلمات	طول الكلمة	=	1 Byte	

عدد خطوط العنوان 27 خط

(ب)

64 M =	128 MByte	= عدد كلمات الذاكرة
	2 Byte	

عدد خطوط العنوان 26 خط

(جـ)

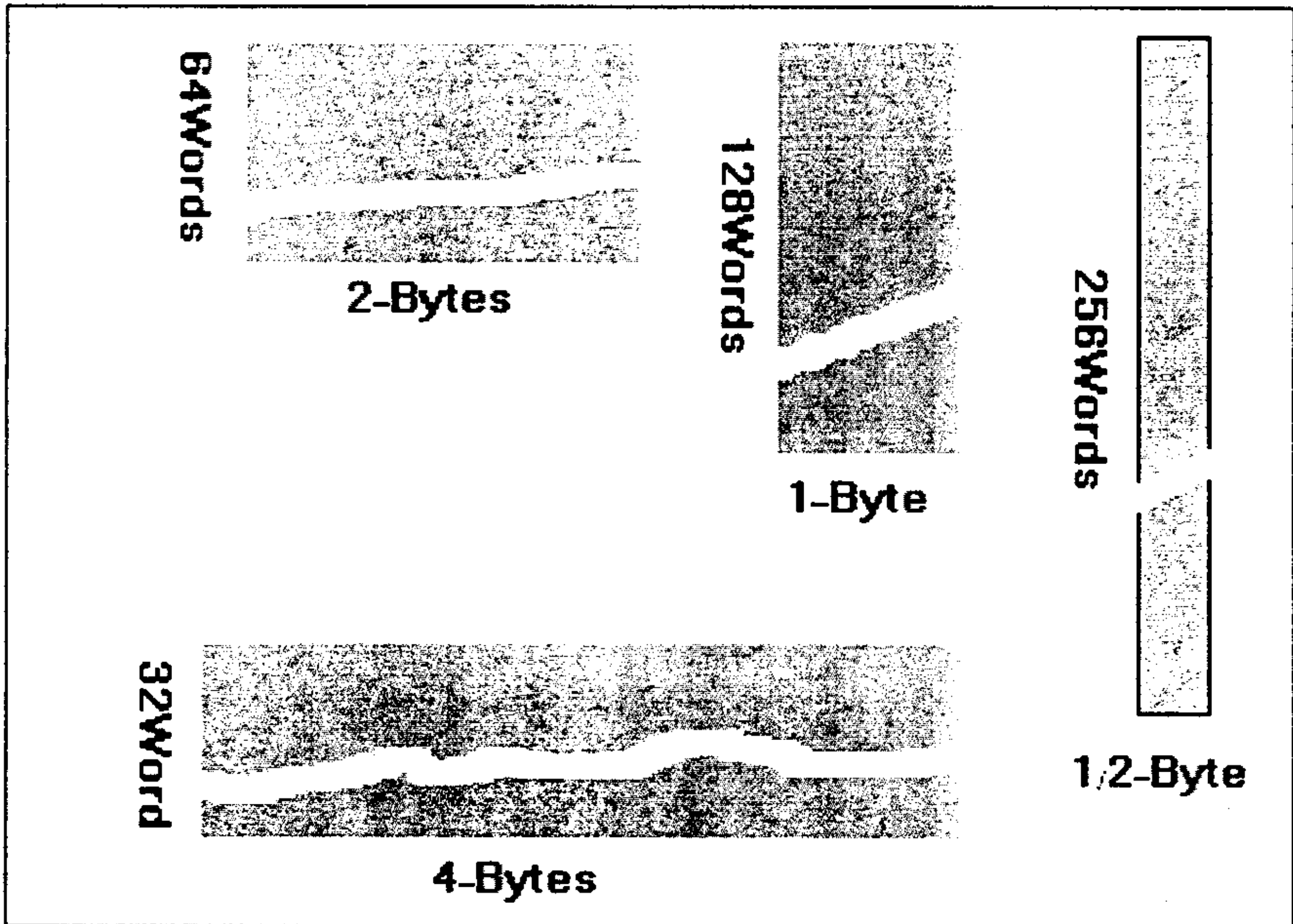
32 M =	128 MByte	= عدد كلمات الذاكرة
	4 Byte	

عدد خطوط العنوان 25 خط

(د)

256 M =	128 MByte	= عدد كلمات الذاكرة
	(1/2) Byte	

عدد خطوط العنوان 28 خط



شكل (٤-٥٢)

العناصر المنطقية القابلة للبرمجة PLD

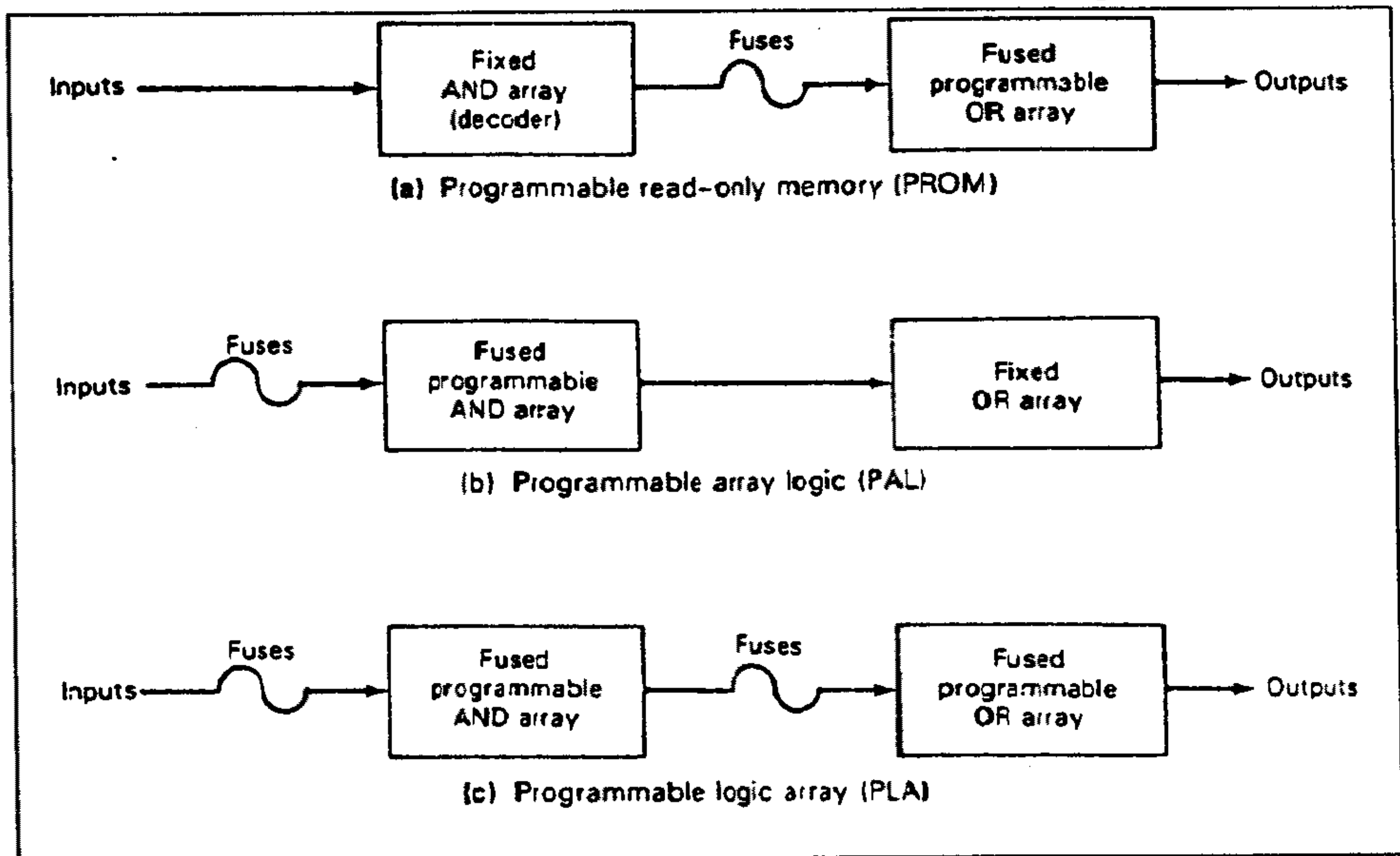
عبارة عن مجموعات من المتكاملات يطلق عليها PLDs اختصاراً للتعبير Programmable Logic Devices، وهي ثلاثة أنواع:

١. عبارة عن مصفوفة بوابات AND ثابتة تعمل كدائرة Decoder، يليها مصفوفة بوابات OR قابلة للبرمجة (للقطع)، وهذه هي P ROM.

٢. عبارة عن مصفوفة بوابات AND قابلة للبرمجة يليها مصفوفة بوابات OR ثابتة، ويطلق عليها PAL اختصاراً للتعبير Programmable Array Logic.

٣. عبارة عن مصفوفة بوابات AND قابلة للبرمجة يليها مجموعة بوابات OR قابلة للبرمجة، ويطلق عليها PLA اختصاراً للتعبير Programmable Logic Array.

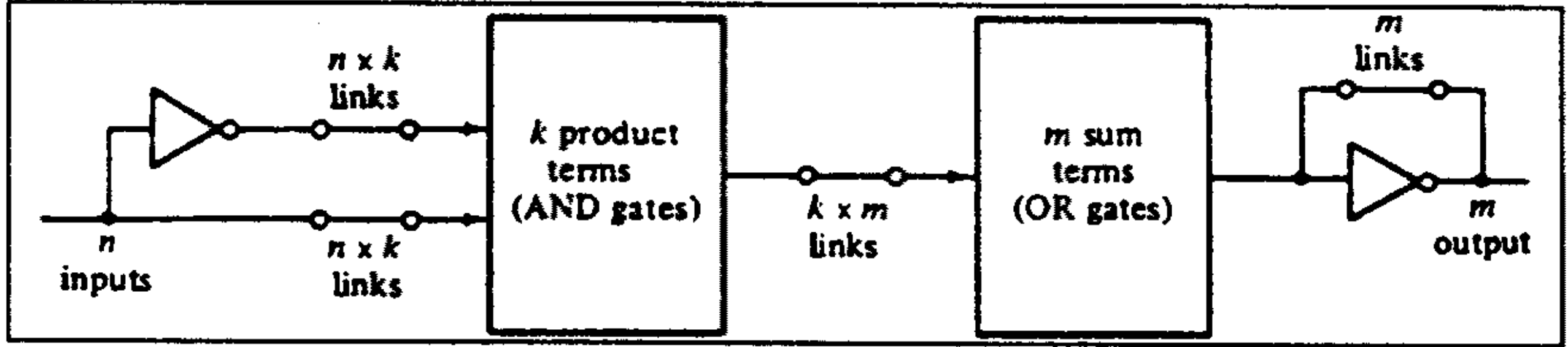
والرسم التالي يوضح الفرق بينهما.



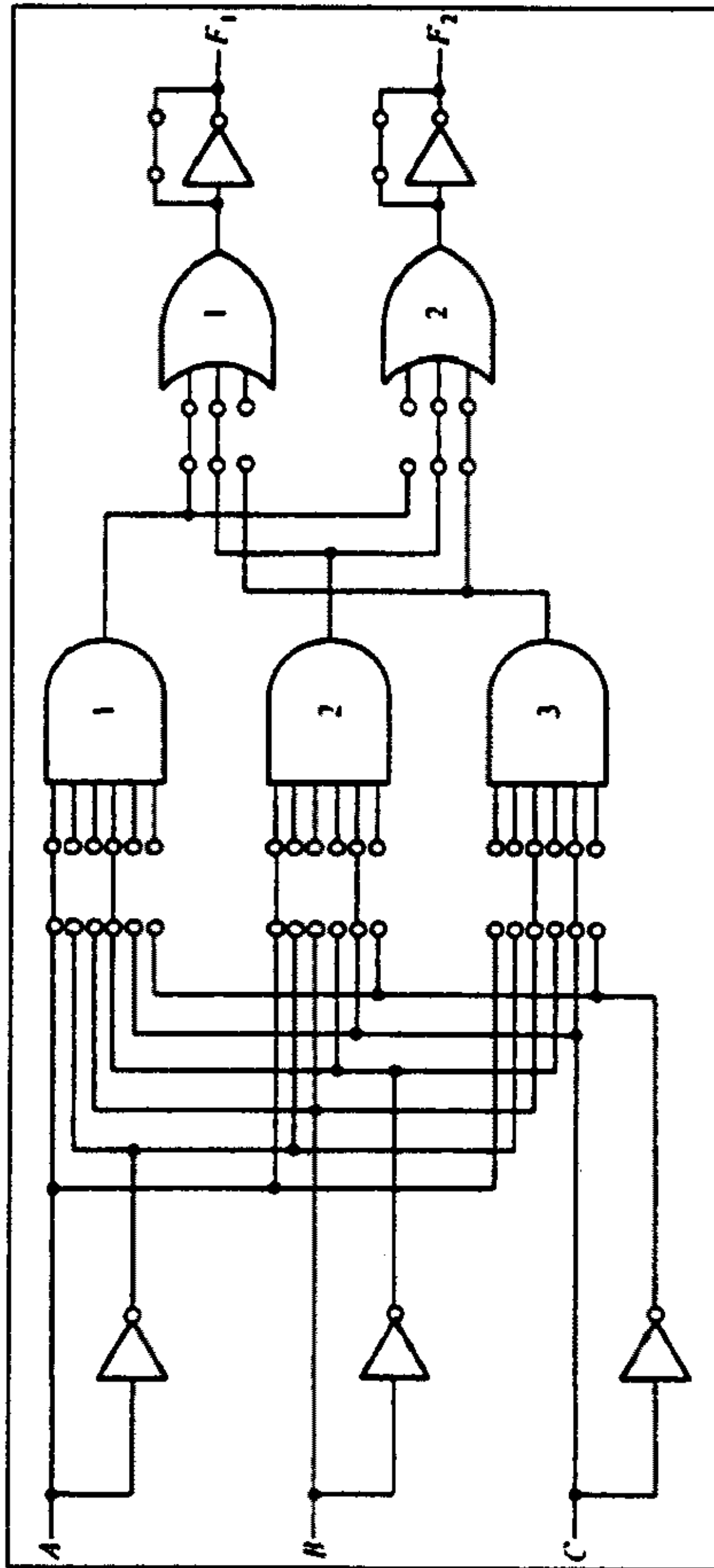
شكل (٤-٥٣): Basic Configuration of Three PLDs

وبالطبع النوع الثالث PLA أسهلهم في البرمجة.

وهناك أنواع من PLA، PAL تحتوي على مصفوفات من القلابات (وحدات تخزين رقمية) قابلة للبرمجة كما بالشكل التالي:



شكل (٤-٥٤)



شكل (٤-٥٥)

تصميم الدوائر المنطقية باستخدام PLA

مثال ٤-١٤ مثل الدالتين التاليتين باستخدام PLA:

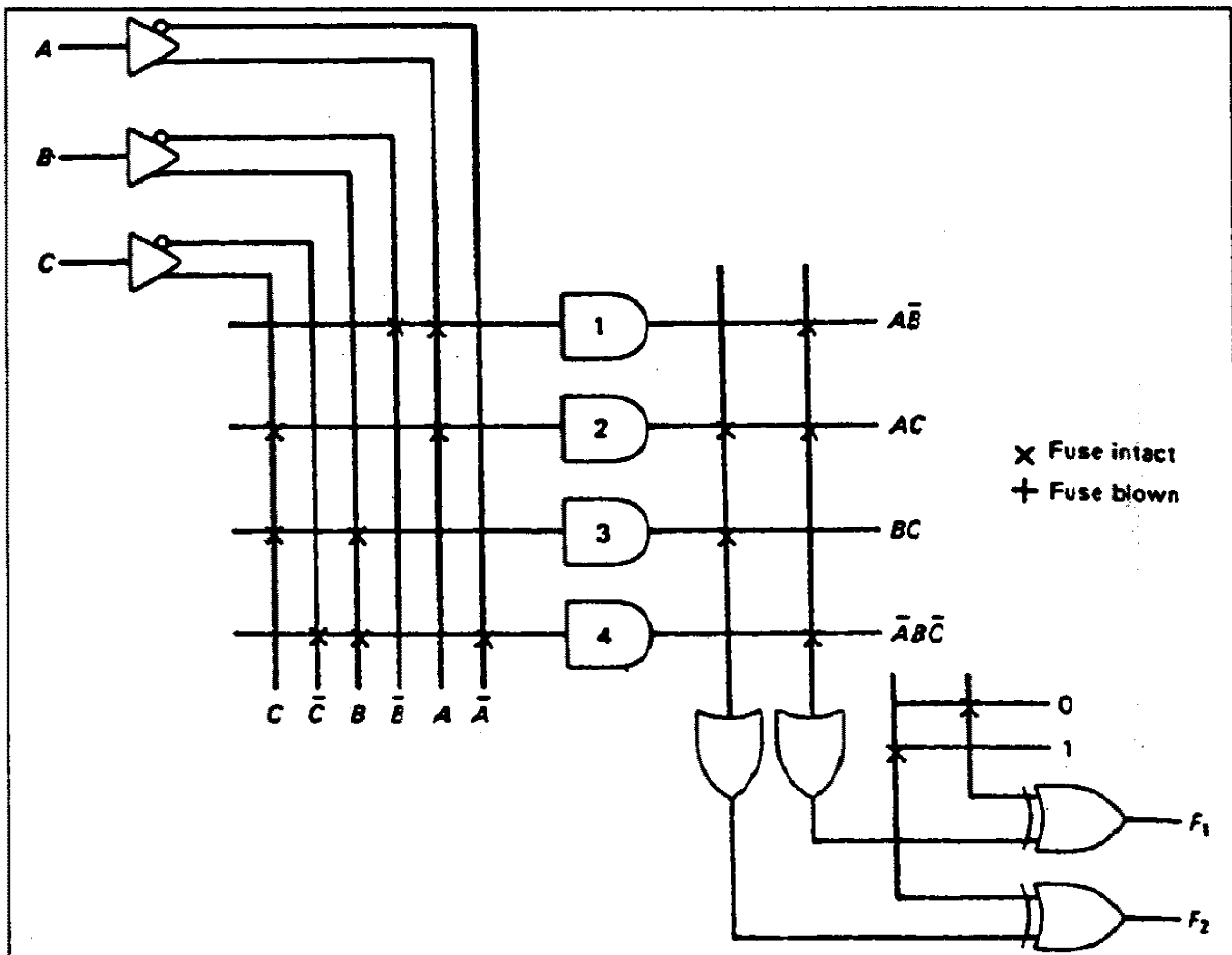
$$F_1 = A\bar{B} + AC + \bar{A}B\bar{C}$$

$$F_2 = AC + BC$$

تتكون متكاملة PLA ذات ثلاث مداخل A, B, C ، ومخرجين F_1, F_2 من الدائرة المنطقية التالية:

X تعني أن الخط موصول.

+ تعني أن الخط مقطوع.



شكل (٤-٥٦): PLA with 4 Inputs, 4 Product Terms and 2 Outputs

- البوابة AND 1 دخلها A ، \bar{B} متصلين وبقية مداخلها مقطوعة.
- البوابة AND 2 دخلها A ، C متصلين وبقية مداخلها مقطوعة.
- البوابة AND 3 دخلها C ، B متصلين وبقية مداخلها مقطوعة.
- البوابة AND 4 مداخلها الثلاثة $\bar{A}, \bar{B}, \bar{C}$.

- البوابة OR_1 متصلة بالحدود $\bar{A}\bar{B}$ ، AC ، $\bar{A}\bar{B}\bar{C}$ ، وتم مقارنتهم بالصفر $(\bar{A}\bar{B}\bar{C} + AC + \bar{A}\bar{B}) \oplus 0$. أي أن:

$$F_1 = F_1 \oplus 0$$

- البوابة OR_2 متصلة بالحددين AC ، BC ، ويتم مقارنتها بالواحد عبر XOR.

$$F_2 \oplus 1 = F_2$$

وجداول برمجة الدائرة PLA كالتالي:

- - تدل على عدم الاتصال.
- 1 يدل على أن المتغير غير منفي.
- 0 يدل على أن المتغير منفي.
- أعمدة الدخل تعبر عن الوصلات بين المداخل ومصفوفة AND.
- أعمدة الخرج تعبر عن الوصلات بين مخارج AND ومداخل OR.
- T تعني الدالة كما هي F (True).
- C تعني معكوس الدالة (Complement).

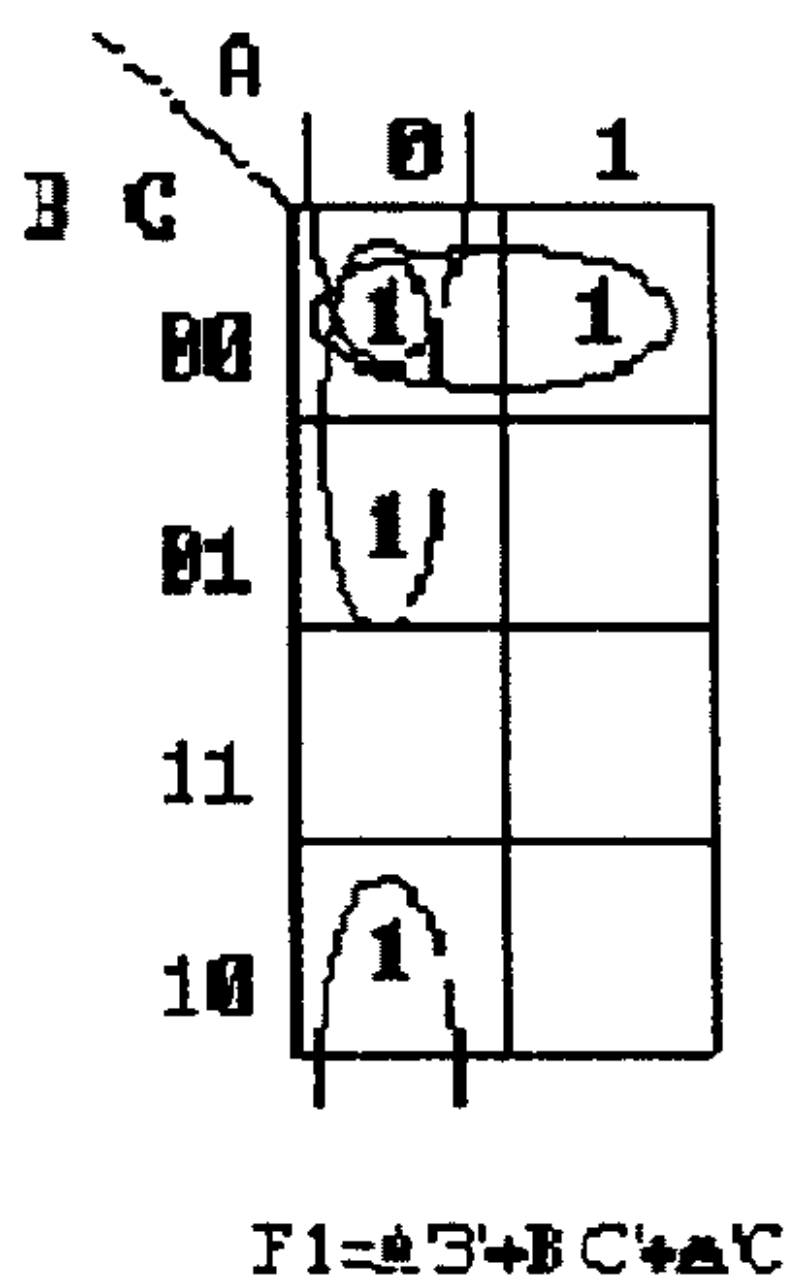
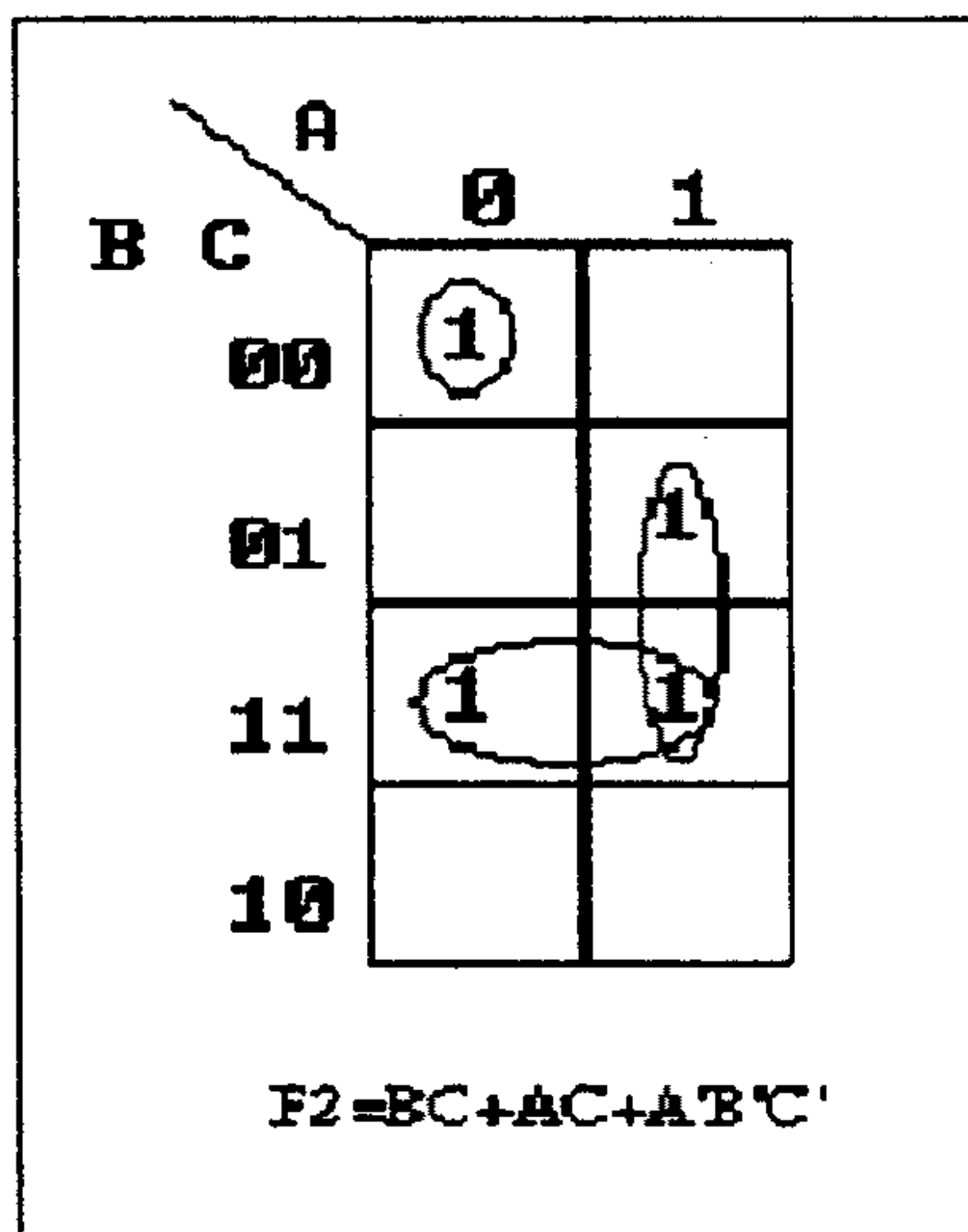
مثال ٤-١٥ عبر عن الدالتين التاليتين بدائرة PLA مع كتابة جدول برمجة PLA:

$$F_1 = \sum (0, 1, 2, 4)$$

$$F_2 = \sum (0, 5, 6, 7)$$

الحل

أولاً نبسط الدالتين باستخدام خرائط كارنو.



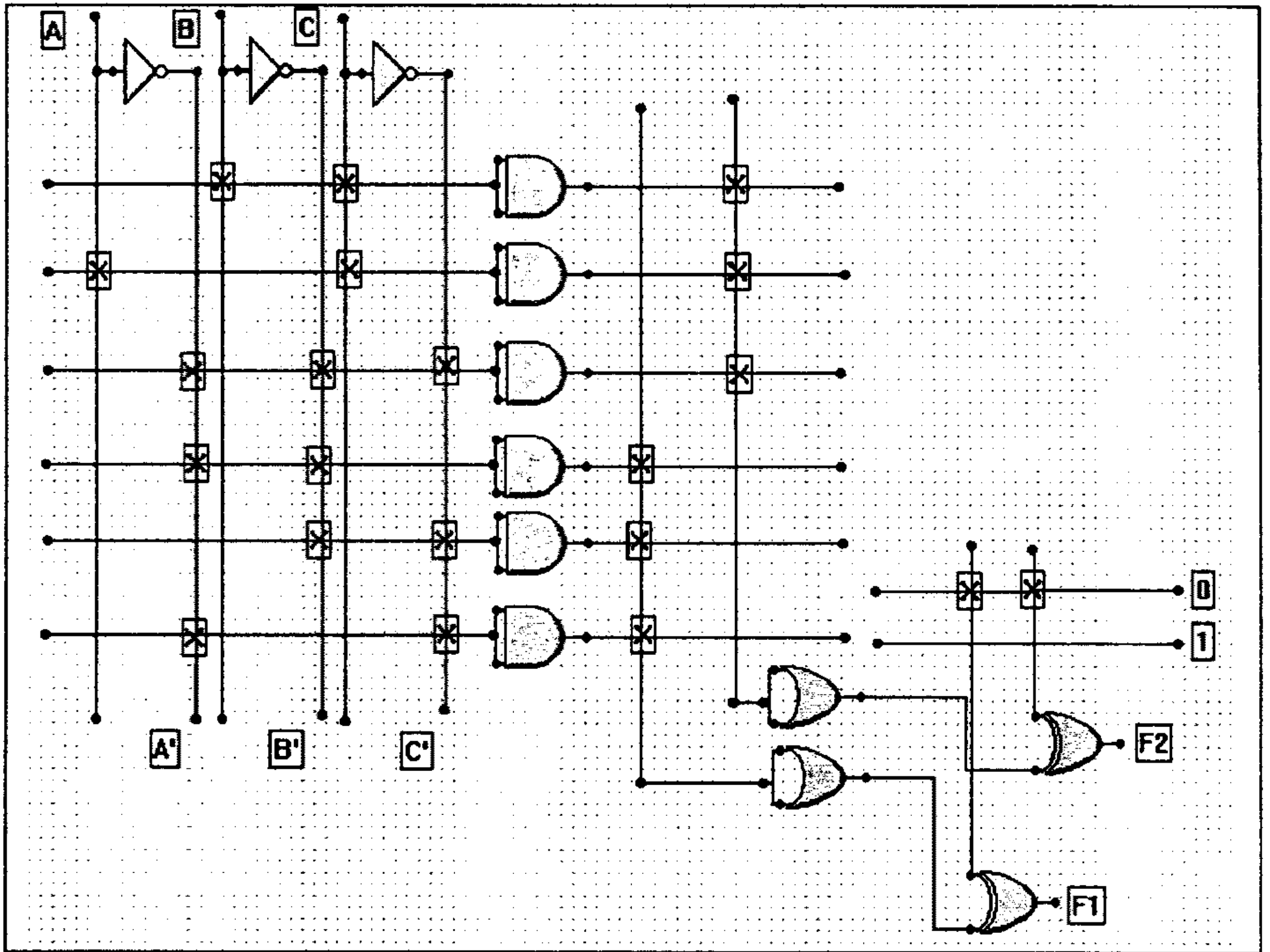
شكل (٤-٥٧)

ونملأ جدول برمجة PLA كما يلي:

فن تصميم الدوائر الرقمية

	A	B	C	عدد الحدود	F_1	F_2
BC	-	1	1	-	-	1
AC	1	-	1	2	-	1
\overline{ABC}	0	0	0	3	-	1
\overline{AB}	0	0	-	4	1	-
\overline{BC}	-	0	0	5	1	-
\overline{AC}	0	-	0	6	1	-

وتمثل الدائرة كما يلي:



شكل (٥٨-٤)

مثال ٤-١٦ عبر عن الدالتين التاليتين باستخدام PLA:

$$F_1 = A\overline{B} + AC$$

$$F_2 = AC + BC$$

الحل

نحاول تبسيطهما.

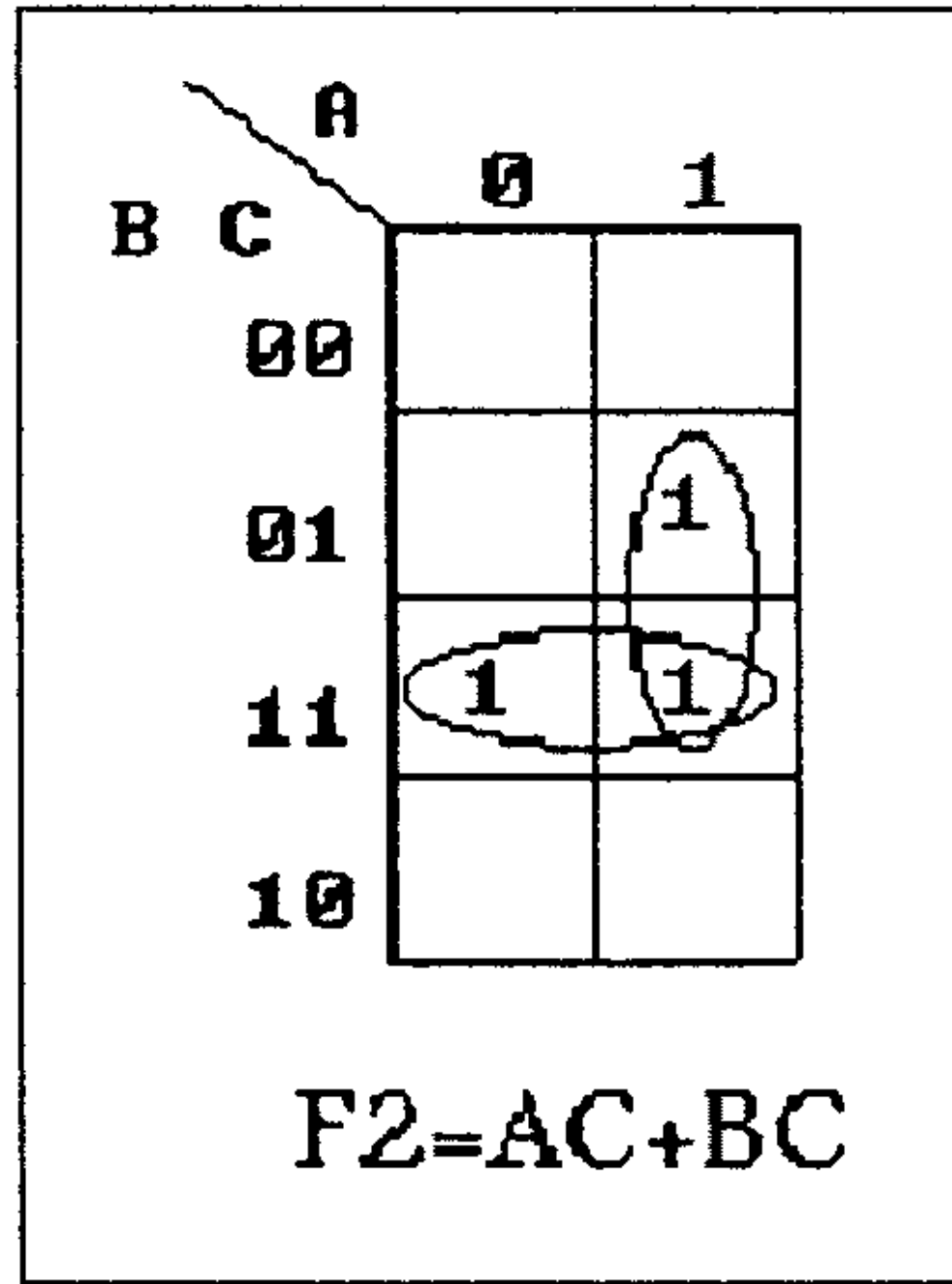
أولاً- توقعهما في جدول حقيقة كالتالي:

A	B	C	F ₁	F ₂
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	1
1	0	0	1	0
1	0	1	1	1
1	1	0	0	0
1	1	1	1	1

ثم توقع الجدول في خرائط كارنو كالتالي:

		A	
		0	1
B C	00		1
	01		1
	11		1
	10		

$F1 = AB' + AC$



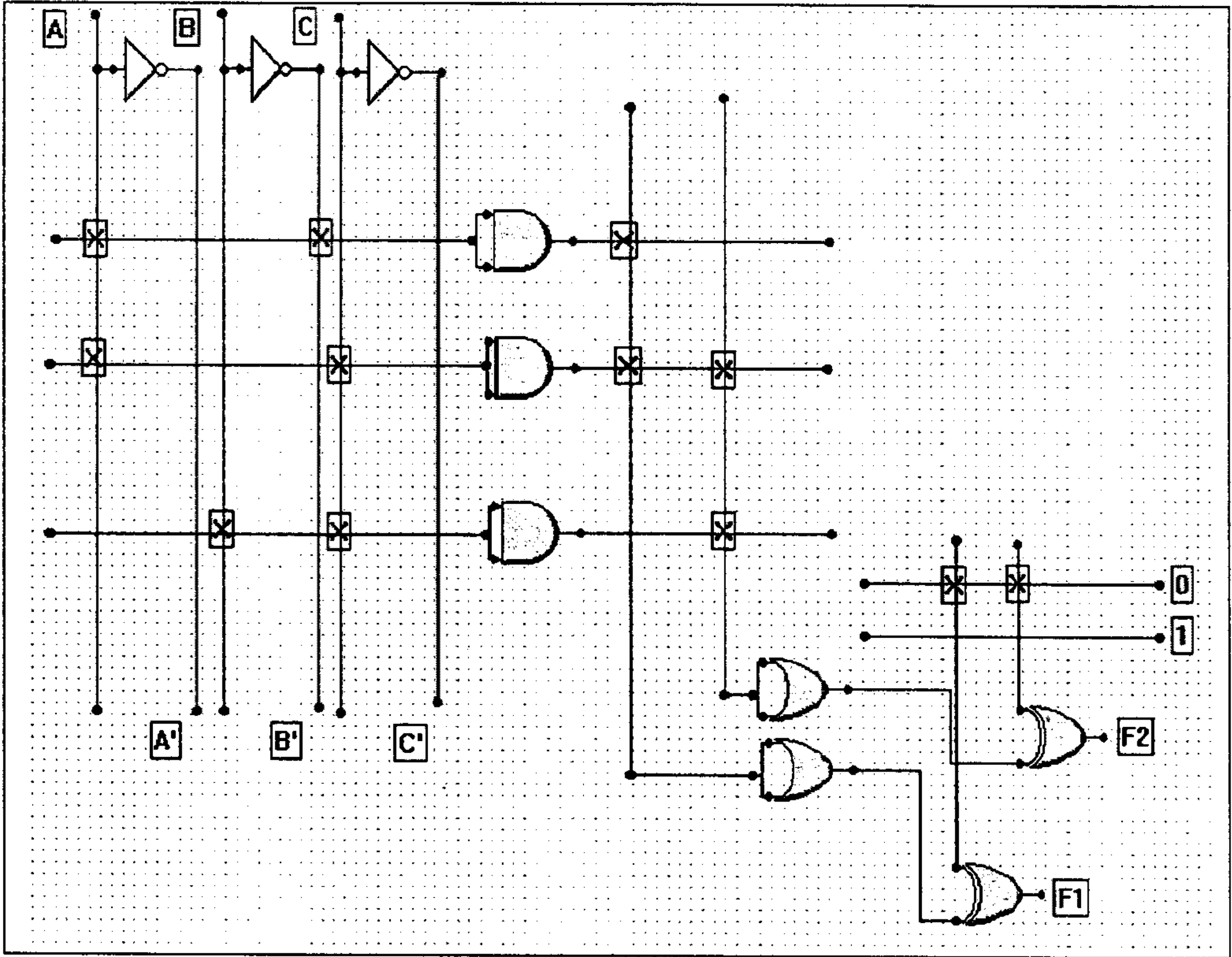
شكل (٤-٥٩):

فنجذ أنهمآ فف أبط صورء.

ثم نكتب جدول برمجة PLA.

			الخرج			
	الحدود	A	B	C	F_1	F_2
$\overline{A}\overline{B}$	1	1	0	—	1	—
AC	2	1	—	1	1	1
BC	3	—	1	1	—	1

ونرسم الدائرة المنطقفة لـ PLA كما فلف:



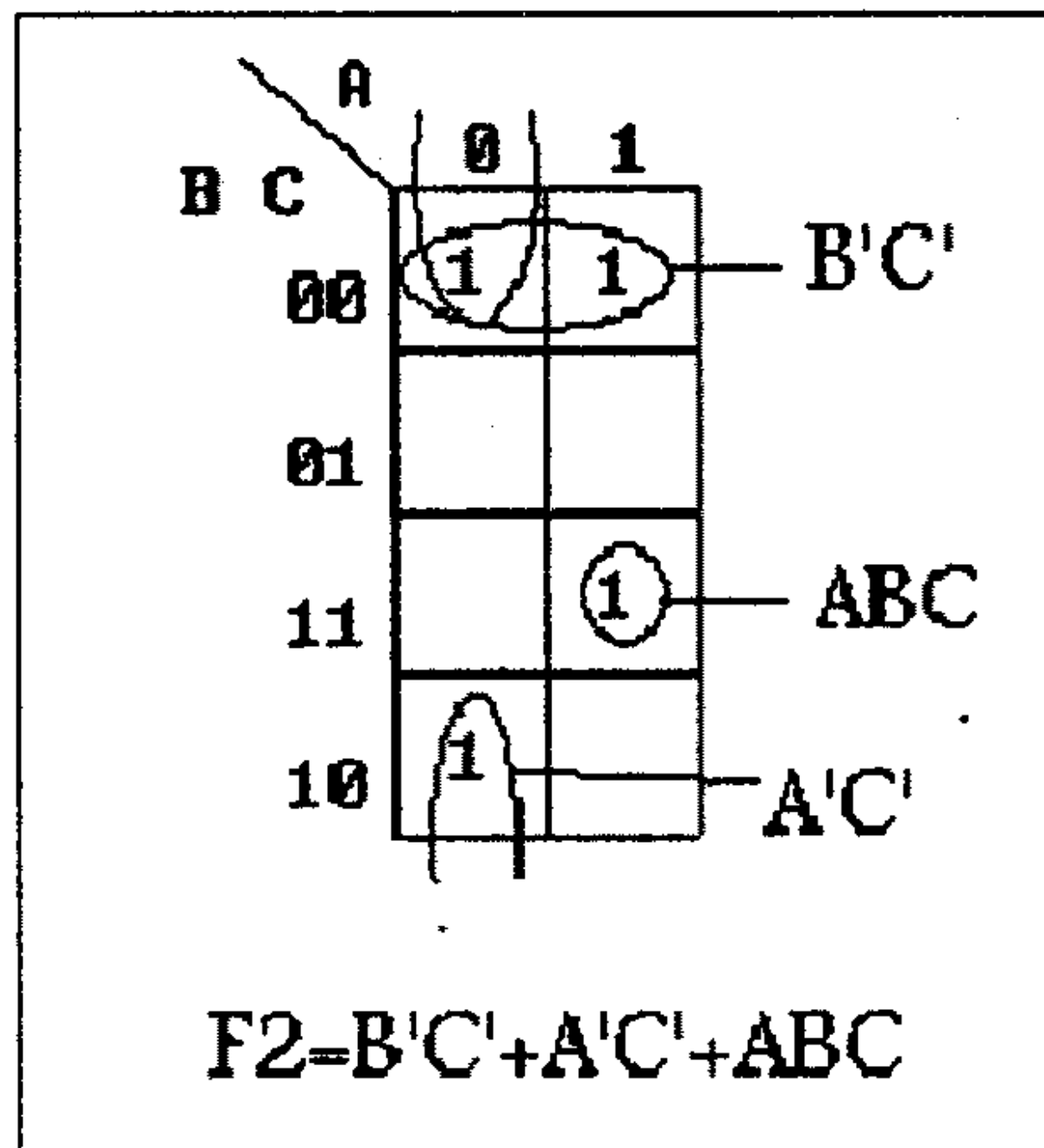
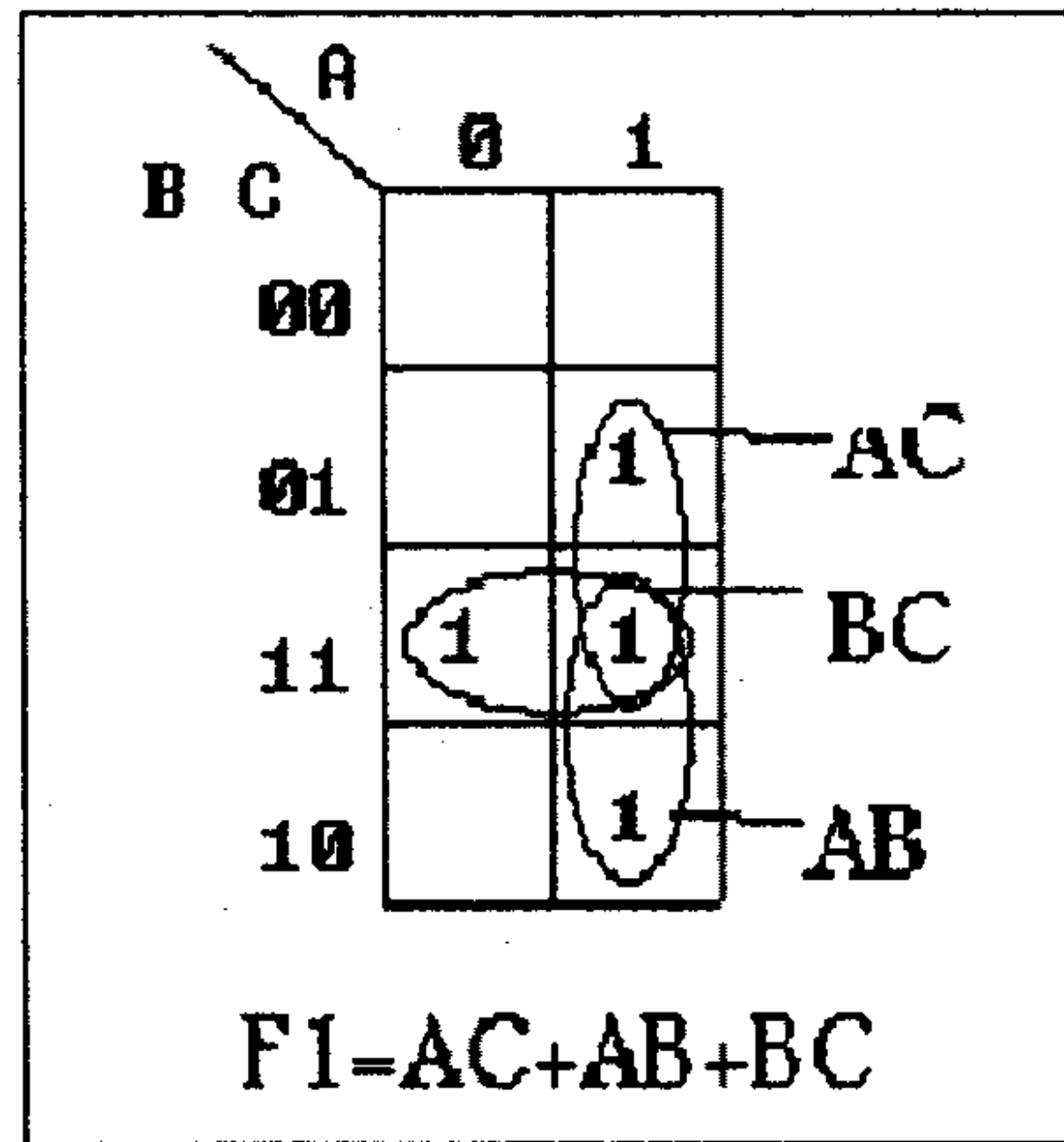
شكل (٤-٦٠)

مثال ٤-١٧ عبر عن الدالتين التاليتين باستخدام PLA:

$$F_1 = \sum (3, 5, 6, 7)$$

$$F_2 = \sum (0, 2, 4, 7)$$

توقع الدالتين في جدول حقيقة ثم في خرائط كارنو ثم نكتب جدول برمجة PLA ثم نرسم الدائرة.

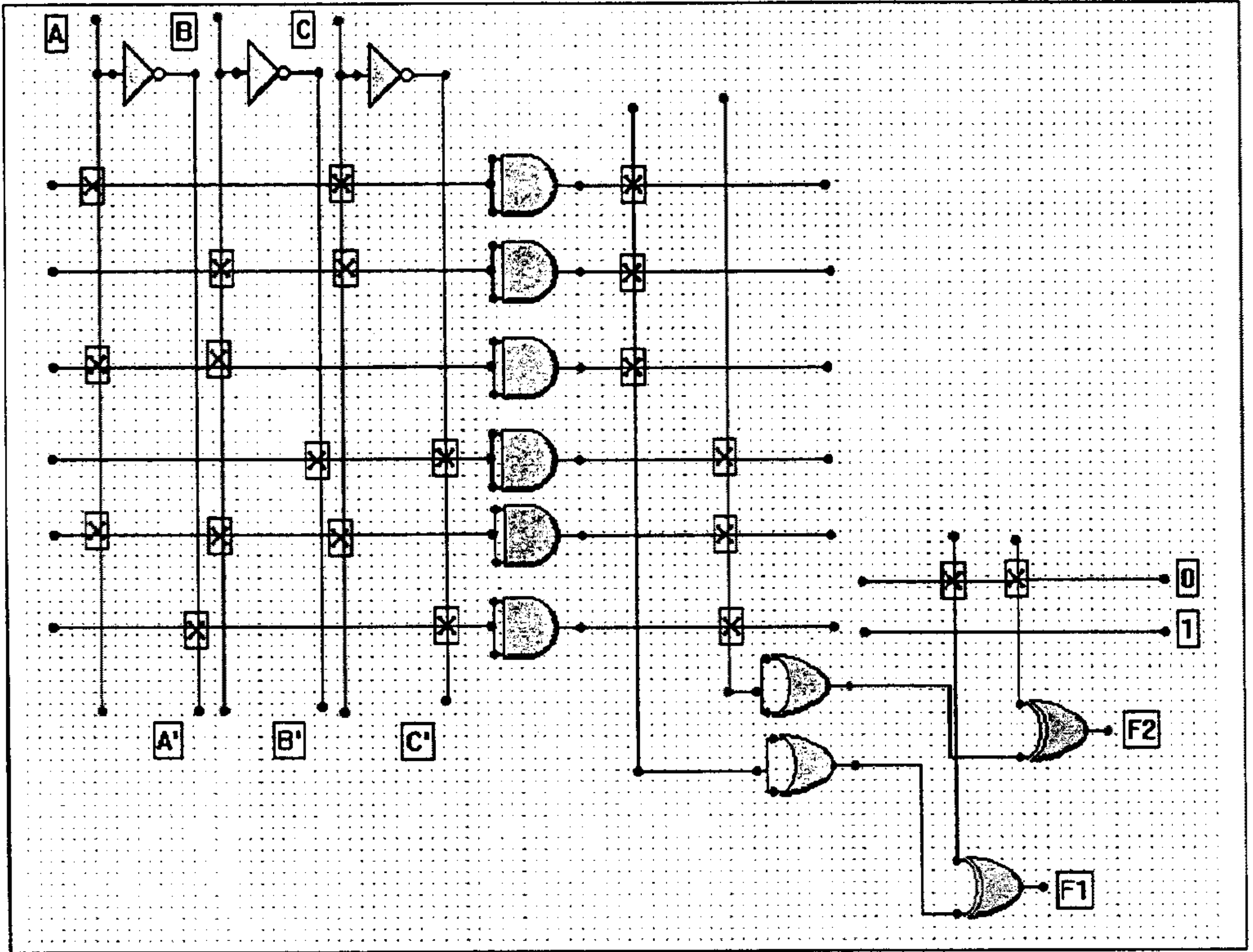


شكل (٤-٦١):

نملأ جدول برمجة PLA.

الحدود	A	B	C	F ₁	F ₂
AC	1	—	1	1	—
BC	—	1	1	1	—
AB	1	1	—	1	—
\overline{BC}	—	0	0	—	1
ABC	1	1	1	—	1
$AB\overline{C}$	1	1	0	—	1

الدائرة المنطقية PLA للدالتين كما يلي:



شكل (٦٢-٤)

تصميم الدوائر المنطقية باستخدام PAL

تتكون من مصفوفات AND قابلة للبرمجة ومصفوفات OR ثابتة، فهي أسهل من PLA في برمجتها ولكن PLA أكثر مرونة.

الرسم التالي يوضح الدائرة الداخلية لـ PAL افتراضية:

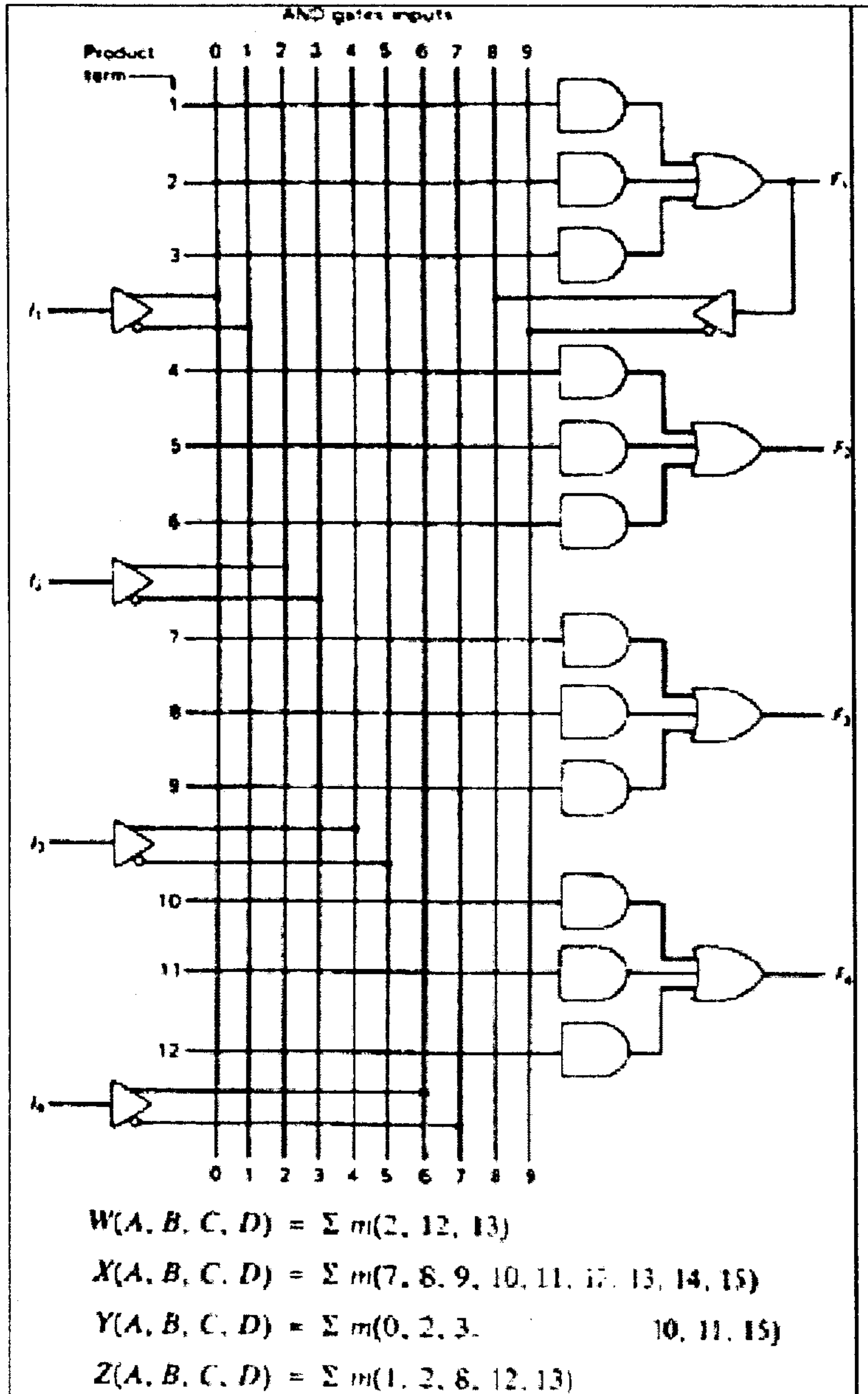
١. لها 4 مداخل و 4 مخارج.
٢. كل دخل ينقسم لدخلين أحدهما مثبت والآخر منفي.
٣. تحتوي على OR عند كل مخرج.
٤. كل OR لها 3 مداخل كل مدخل عبارة عن مخرج AND 3 Wind AND-OR

- Array. أي أن كل OR لها 3 بوابات AND قابلة للبرمجة.
٥. كل AND لها عشرة (10) مداخل قابلة للبرمجة من 0-9.
٦. أحد المخارج منقسم إلى مثبت ومنفي، ويغذي مدخلين (من العشرة) المغذين للبوابات AND.

التجارية PAL

- تحتوي على عدد أكبر من البوابات.
١. لها 8 مداخل، و 8 مخارج.
٢. لها 8 بوابات AND لكل OR 8 Wide AND-OR Array.
٣. مخارجها تصلح أن تكون مداخل/مخارج ذات اتجاهين.
٤. بعضها يتصل بمخرجها قلاب D له خرجين أحدهما منفي والآخر مثبت، ويغذي مداخل AND تغذية خلفية.

دائرة PAL افتراضية



شكل (٦٣-٤)

مثال ٤-٤ عبر عن الدوال التالية باستخدام PAL الافتراضية:

$$W(A, B, C, D) = \sum_m (2, 12, 13)$$

$$X(A, B, C, D) = \sum_m (7, 8, 9, 10, 11, 12, 13, 14, 15)$$

$$Y(A, B, C, D) = \sum_m (0, 2, 3, 4, 5, 6, 7, 8, 10, 11, 15)$$

$$Z(A, B, C, D) = \sum_m (1, 2, 8, 12, 13)$$

الحل

أولاً- نمثل المعادلات في جدول الحقيقة كما يلي:

	A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	0	1	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	1	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	0	1	0
5	0	1	0	1	0	0	1	0
6	0	1	1	0	0	0	1	0
7	0	1	1	1	0	1	1	0
8	1	0	0	0	0	1	1	1
9	1	0	0	1	0	1	0	0
10	1	0	1	0	0	1	1	0
11	1	0	1	1	0	1	1	0
12	1	1	0	0	1	1	0	1
13	1	1	0	1	1	1	0	1
14	1	1	1	0	0	1	0	0
15	1	1	1	1	0	1	1	0

		C D			
		00	01	11	10
A B	00				1
	01				
	11	1	1		
	10				

 $A'B'CD'$ ABC'

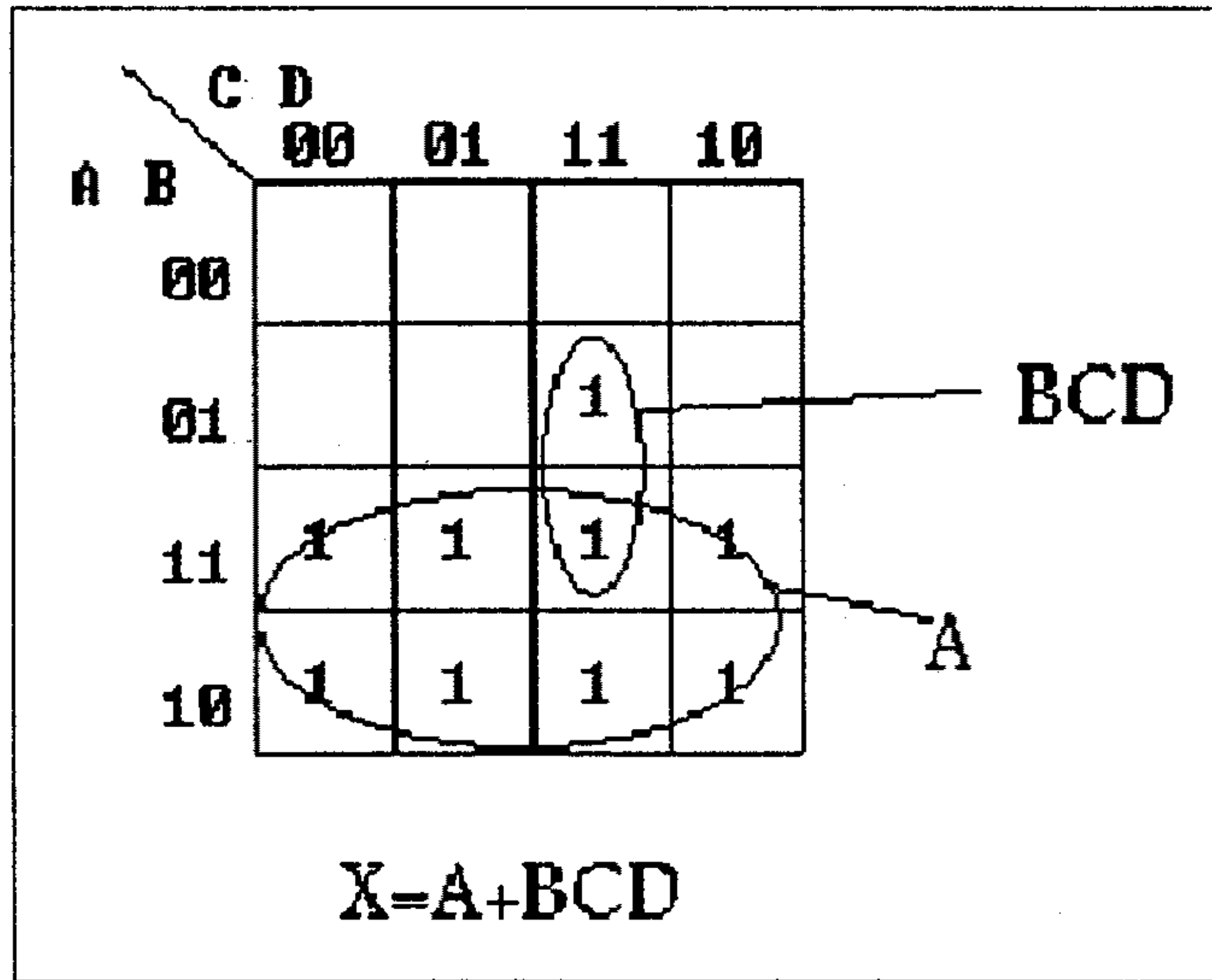
$$W = ABC' + A'B'CD'$$

		C D			
		00	01	11	10
A B	00	1		1	1
	01	1	1	1	1
	11			1	
	10	1		1	1

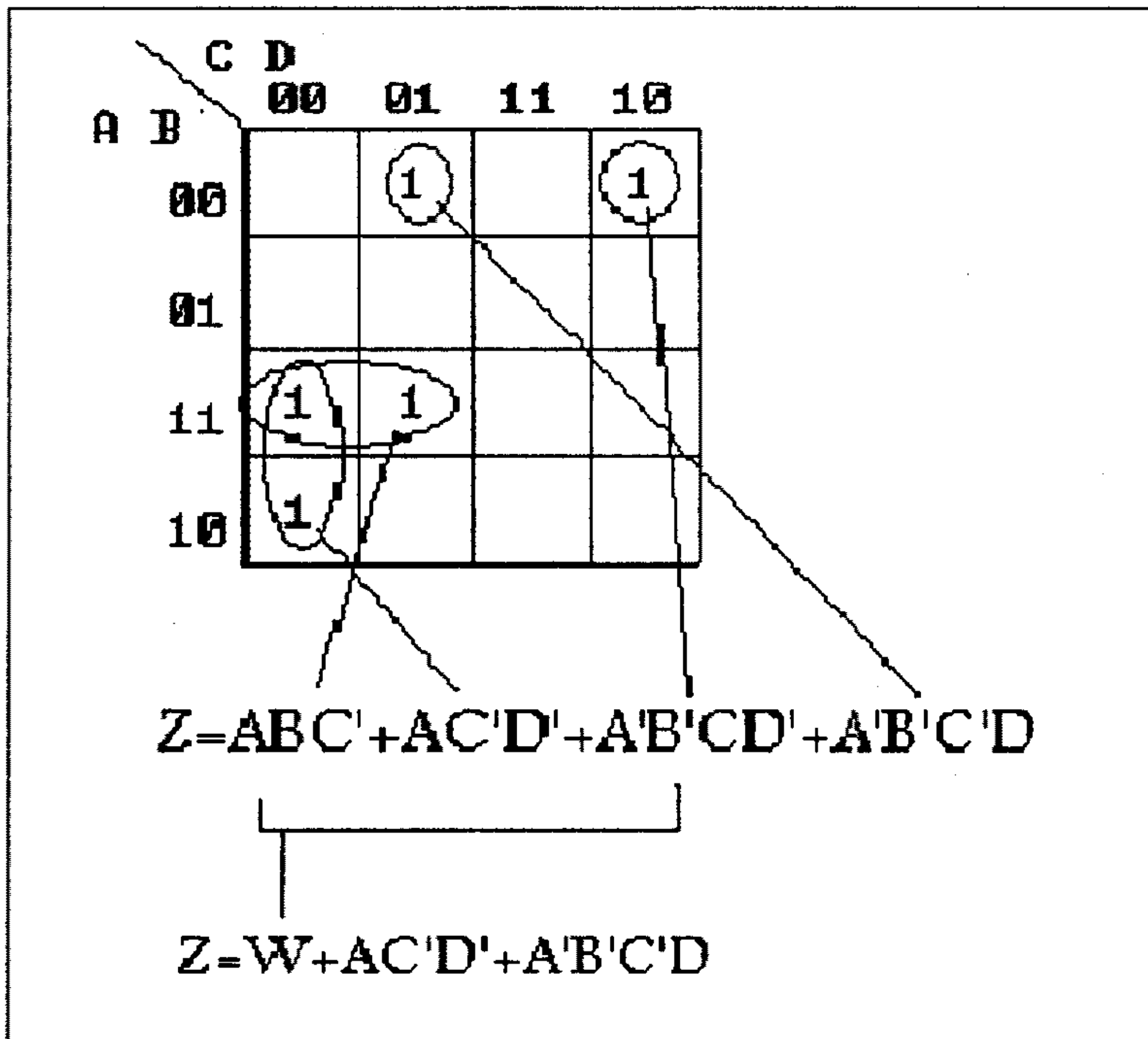
 $B'D'$ $A'B$ CD

$$Y = CD + A'B + B'D'$$

شكل (٤-٦٤):



شكل (٦٥-٤)

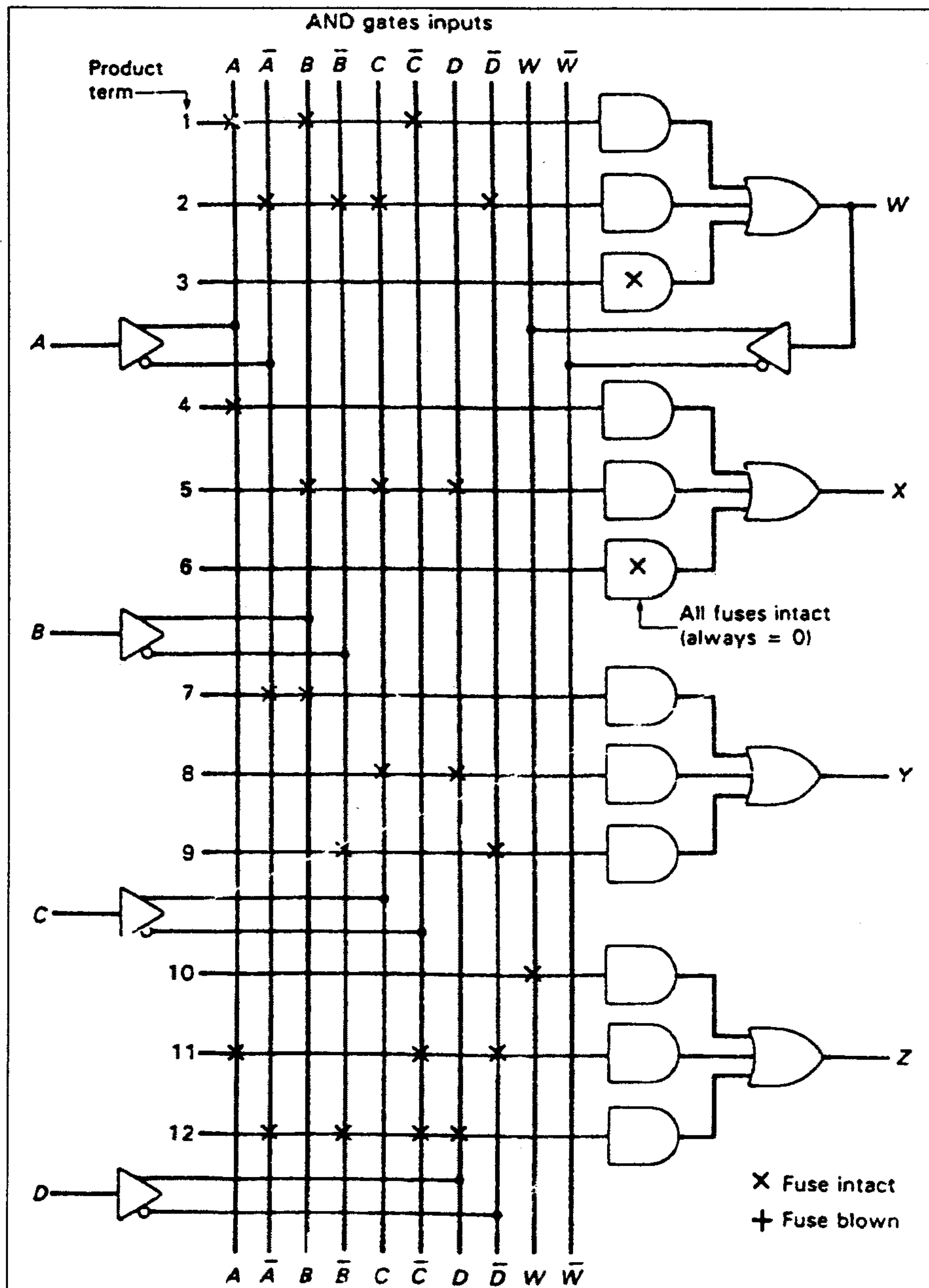


شكل (٦٦-٤)

ثم نملأ جدول برمجة دائرة PAL:

Product term	AND inputs					Outputs
	A	B	C	D	W	
1	1	1	0	—	—	$W = ABC + \overline{A}BCD$
2	0	0	1	0	—	
3	—	—	—	—	—	
4	1	—	—	—	—	$X = A + BCD$
5	—	1	1	1	—	
6	—	—	—	—	—	
7	0	1	—	—	—	$Y = \overline{A}B + CD + \overline{B}C$
8	—	—	1	1	—	
9	—	0	—	0	—	
10	—	—	—	—	1	$Z = W + A\overline{C}D + \overline{A}BCD$
11	1	—	0	0	—	
12	0	0	0	1	—	

ثم نطبق الجدول على الدائرة كما يلي:



شكل (٦٧-٤)

اختبر نفسك

بسّط المعادلات التالية، ومثلها بالبوابات، حلال الشفرة، مجمع البيانات، المصفوفات القابلة للبرمجة PLA، PAL:

$$F_1 = \sum (1, 2, 5, 7, 14)$$

$$F_2 = \prod (0, 3, 6, 5, 12)$$

$$F_3 = \overline{A}\overline{B}C + A\overline{D}\overline{C}$$

صمم حلال شفرة لمظهر بيانات 7 Segment لإظهار الأرقام من 0 إلى 5 فقط.
صمم دائرة ضرب رقمين طول كل منهما 3 خانات.

الفصل الخامس

5

أهداف الفصل

عند الانتهاء من دراسة هذا الفصل يمكنك استيعاب النقاط التالية:

- فهم طريقة عمل القلابات.
- رسم المخططات الزمنية واستنتاجها.
- استنتاج جداول القلابات.
- استنتاج جداول الإثارة.
- استنتاج جداول الخصائص.
- تصنيف القلابات ومعرفة الفروق بينها.

القلابات

القلاب

دائرة منطقية تخزن 0 أو 1 في خانة ثنائية واحدة (1 بت).

واليك طريقة عمل قلاب تم تصميمه باستخدام الترانزستورات Transistor Latch:

١. لو أثرت بجهد على الطرف S أكبر من 0.7 عندئذ يصبح الجهد V_{BE1} أكبر

من 0.7 مما يؤدي إلى اتصال الباعث Emitter بالمجمع collector فيكون

الخرج Q_1 مساوياً لـ 0.7 أي (Logic 0) والجهد Q_1 بدوره يؤثر على الجهد

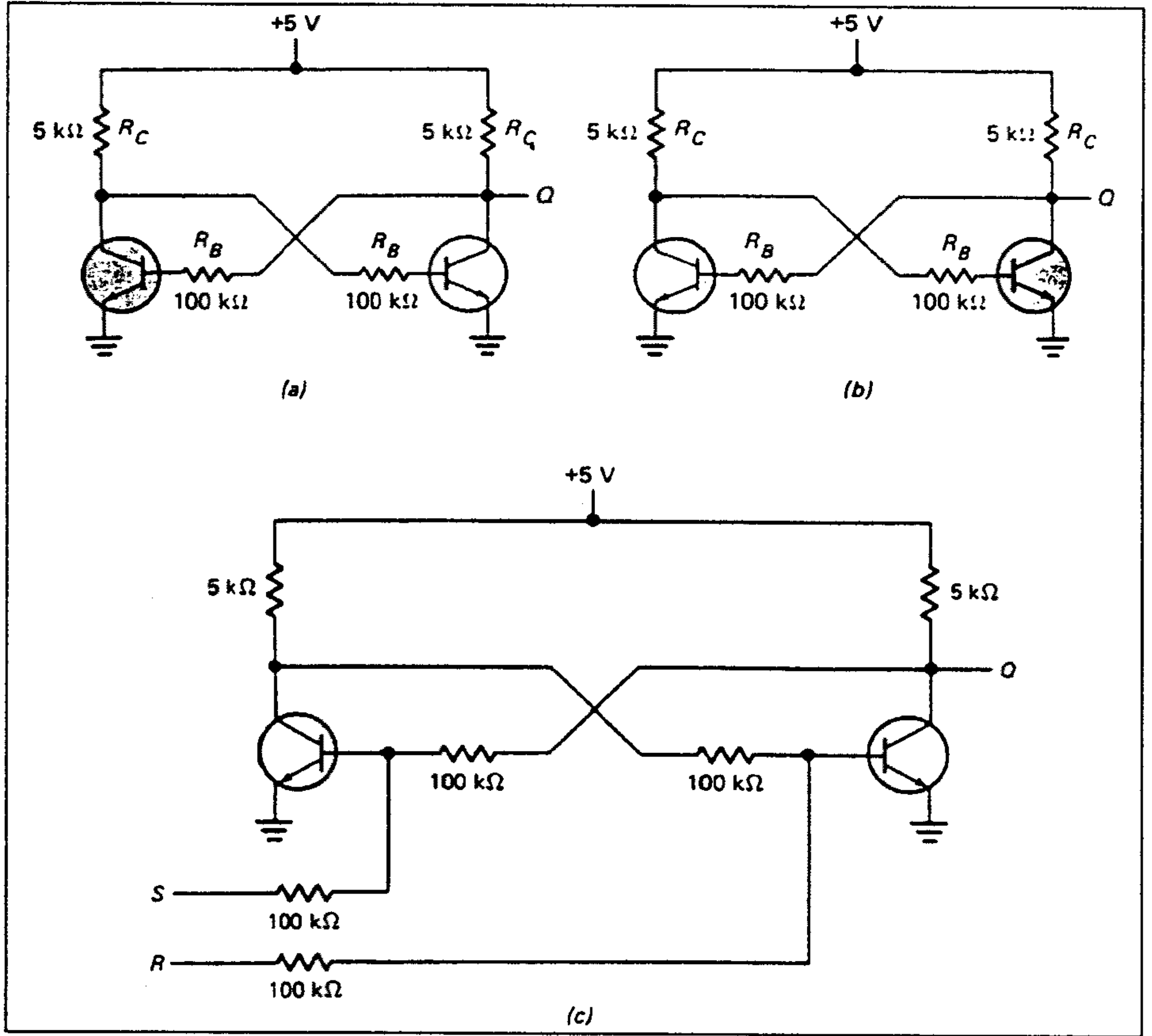
V_{BE2} مما يجعل TR2 في حالة القطع Cut off (الباعث غير متصل بالمجمع)

مما يجعل Q_2 تأخذ القيمة 5 V أي (Logic 1). عندئذ لو أزلت الجهد عن

الطرف S فإن Q_2 ستقوم بدلا عنه بتغذية V_{BE2} وبذلك تستقر القيم Q_1 ، Q_2

بالرغم من إزالة الجهد ويطلق على هذه الحالة "الانزلاج" Latching حيث أن

قيمة الجهد على الطرف S انزلجت إلى الخرج Q_2 ثم ثبتت على ذلك.



شكل (١-٥)

٢. وبالمثل لو أنك أثرت بجهد على الطرف R أكبر من 0.7 مما يجعل Q_2 تساوي 0 أي Logic 0، وبالتالي V_{BE1} تساوي Logic 0، وبالتالي Q_1 تساوي Logic 1. ثم إنك لو أزلت الجهد من على الطرف R فستظل القيم Q_1 ، Q_2 كما هي نتيجة للتغذية المتعاقبة بين الترانزستورين.

٣. حالة التسابق Race Condition وهذه الحالة تحدث إذا ما أثرنا على كل من الطرفين R، S بجهد أكبر من 0.7 مما يجعل كل من الترانزستورين يحاول الوصول لحالة التوصيل Saturation (توصيل الباعث بالمجمع) ونتيجة لضخامة كميات الإنتاج فإن وقت التأخير Delay Time للترانزستورات يكون

غير متساوي مما يجعل بعض الترانزستورات أسرع من بعض (فمثلاً إذا كان $TR1$ أسرع فإن قيمة Q_1 تساوي 0 Zero، وبالتالي Q_2 تساوي 1 One)، ولذلك يجب تجنب التعامل مع هذه الحالة.

٤. حالة عدم الاستقرار No Change عندما يكون لديك قيم مخزنة بـ Q_1 ، Q_2 فإنك لو أثرت بجهد أصغر من 0.7 على R ، S فإن هذا لن يكون له أي تأثير على القيم المخزنة (لأن هذا بمقام قطع الطرفين R ، S)، وهو غير مؤثر نتيجة للتغذية المتعاقبة ويمكننا تلخيص هذه الحالات بالجدول التالي.

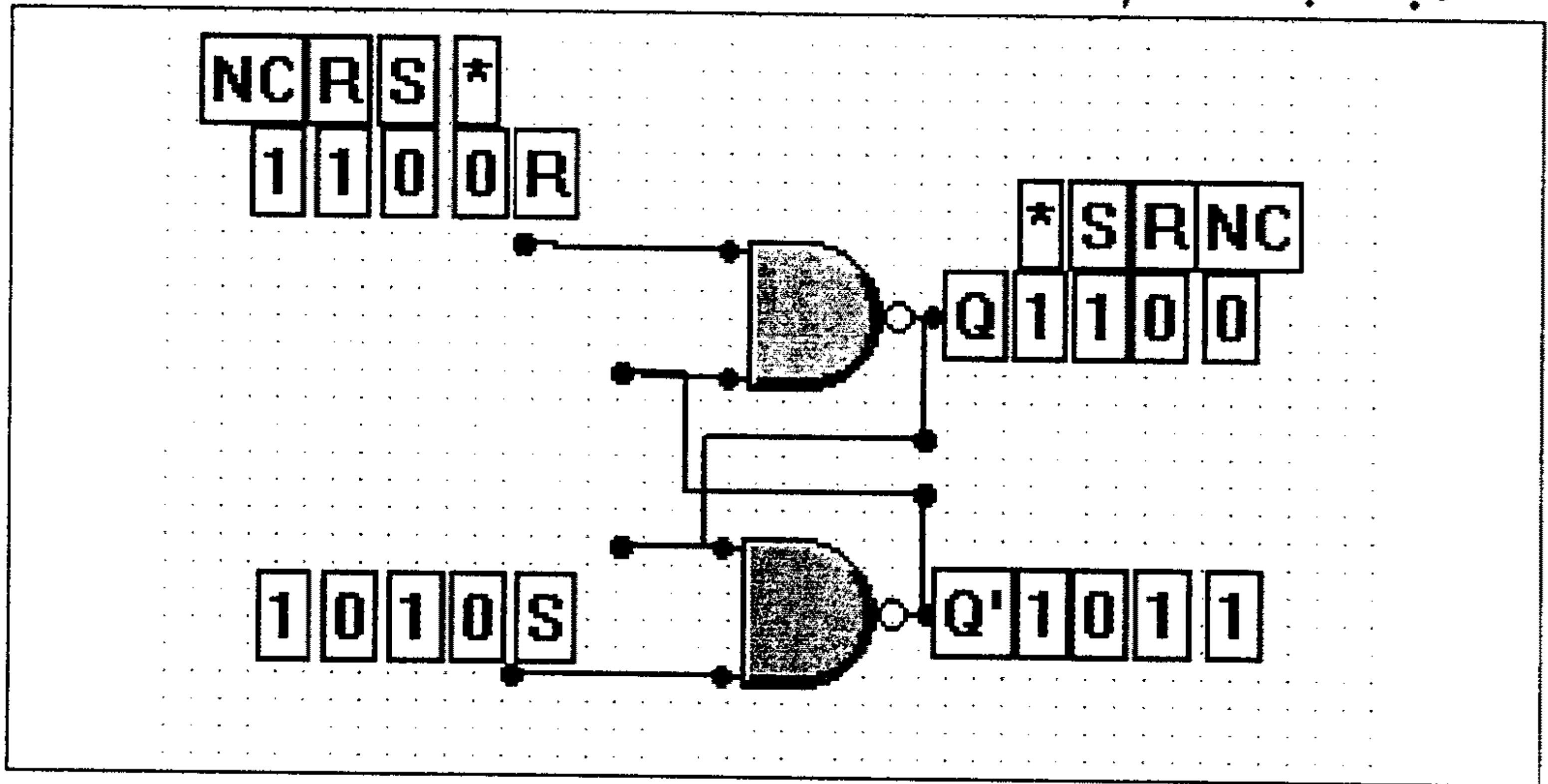
R	S	Q_2		
0	0	NC	No Change	حالة عدم التغير (الاستقرار)
0	1	1	Set	وضع القيمة Q_2 بـ 1 خيراً إجبارياً
1	0	0	Reset	وضع القيمة Q_2 بـ 0 خيراً إجبارياً
1	1	*	Race Condition	حالة التسابق

التركيب الإلكتروني للقلاب RS (الدائرة الإلكترونية)

تصميم القلابات باستخدام البوابات المنطقية

أصبحت البوابات المنطقية هي اللبنات الأولى للدوائر المنطقية ومن ضمنها القلابات.

القلاب RS باستخدام NAND



شكل (٥-٢)

معلوم أن الناتج المؤكد للبوابة NAND هو 1 وذلك يحدث عندما يكون أحد دخلي البوابة أو كليهما يساوي صفراً، كما في جدول حقيقة البوابة NAND.

X	Y	NAND
0	0	1
0	1	1
1	0	1
1	1	0

قيم الدخل المؤدية للناتج المؤكد

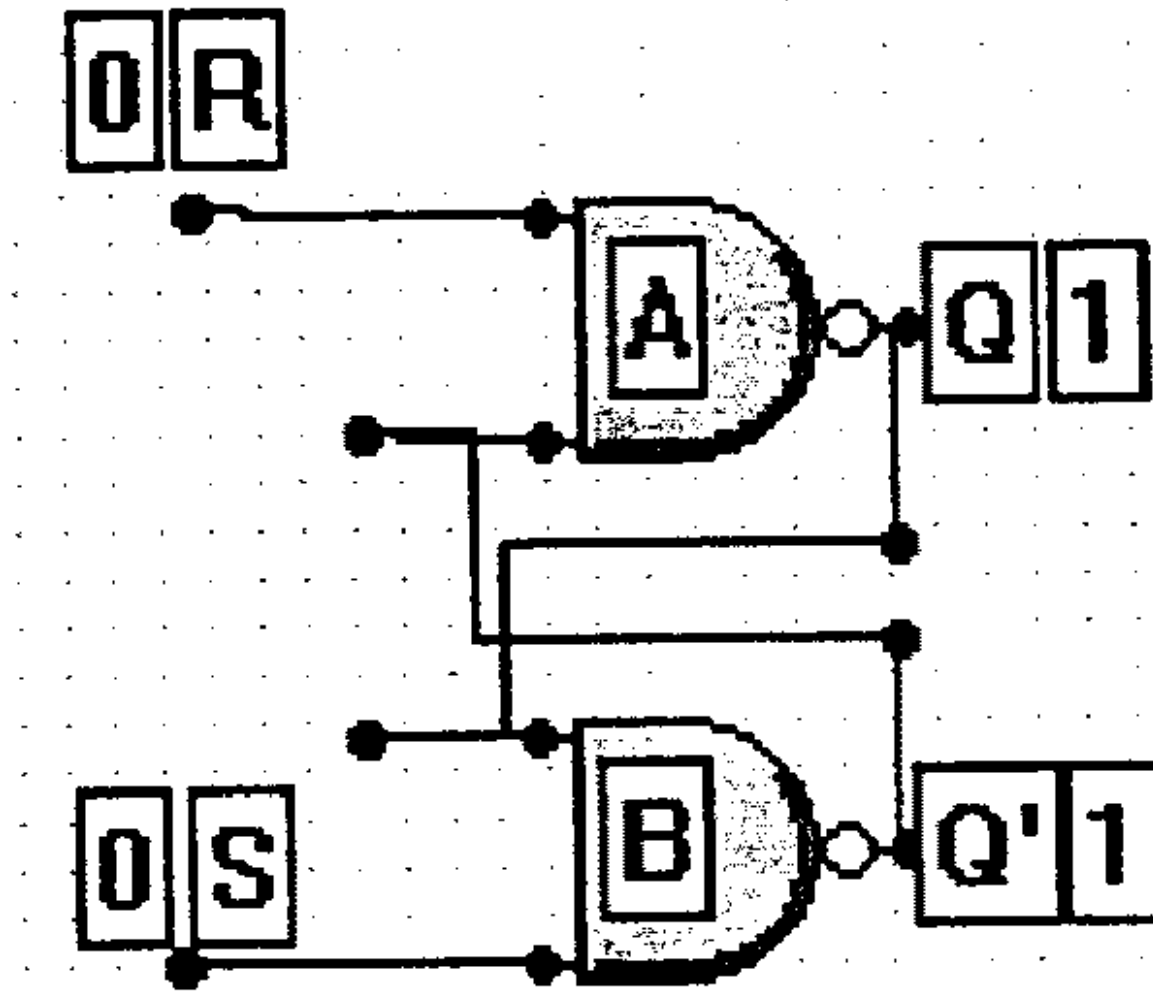
الناتج المؤكد = 1

أي أنه إذا علمنا أحد دخلي البوابة NAND يساوي صفر فإننا نكون على ثقة تامة من أن الخرج 1 بصرف النظر عن قيمة الدخل الآخر $0 \rightarrow 1$.
أما إذا كان أحد الدخلين 1 فإن الخرج يتعذر معرفته بدون معرفة الدخل الآخر مجهول $1 \rightarrow X$.

شرح عمل الدائرة

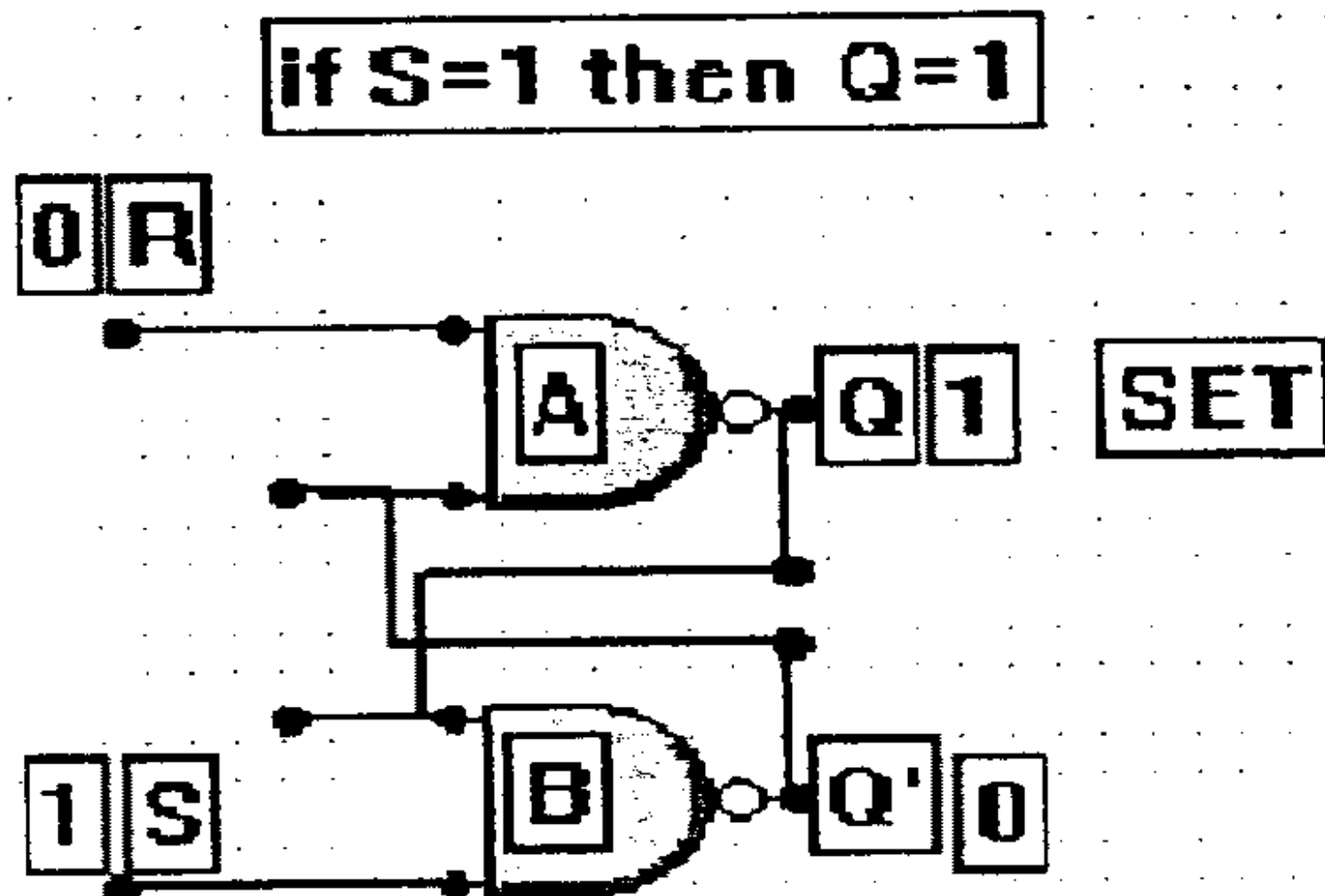
من جدول حقيقة NAND نجد أن خرجها يساوي Logic 1 إذا كان أي من دخليها أو كليهما يساوي Logic 0 وعلى هذا:

- الإحتمال الأول:.. عندما تكون $S=0$ ، $R=0$ فإن كل من البوابتين ستسابق الأخرى لجعل خرجها يساوي Logic 1، أي أننا لن نستطيع أن نحدد $Q=1$ أم $\bar{Q}=1$ ، وهذا يعني أن $Q=\bar{Q}$ ، وهذا خطأ غير مرغوب فيه ويطلق على هذه الحالة حالة غير معرفة أو حالة التسابق Race لأن الدخيلين يتسابقان لإجبار الخرج أن يكون 1، وهذه الحالة يجب تجنبها.



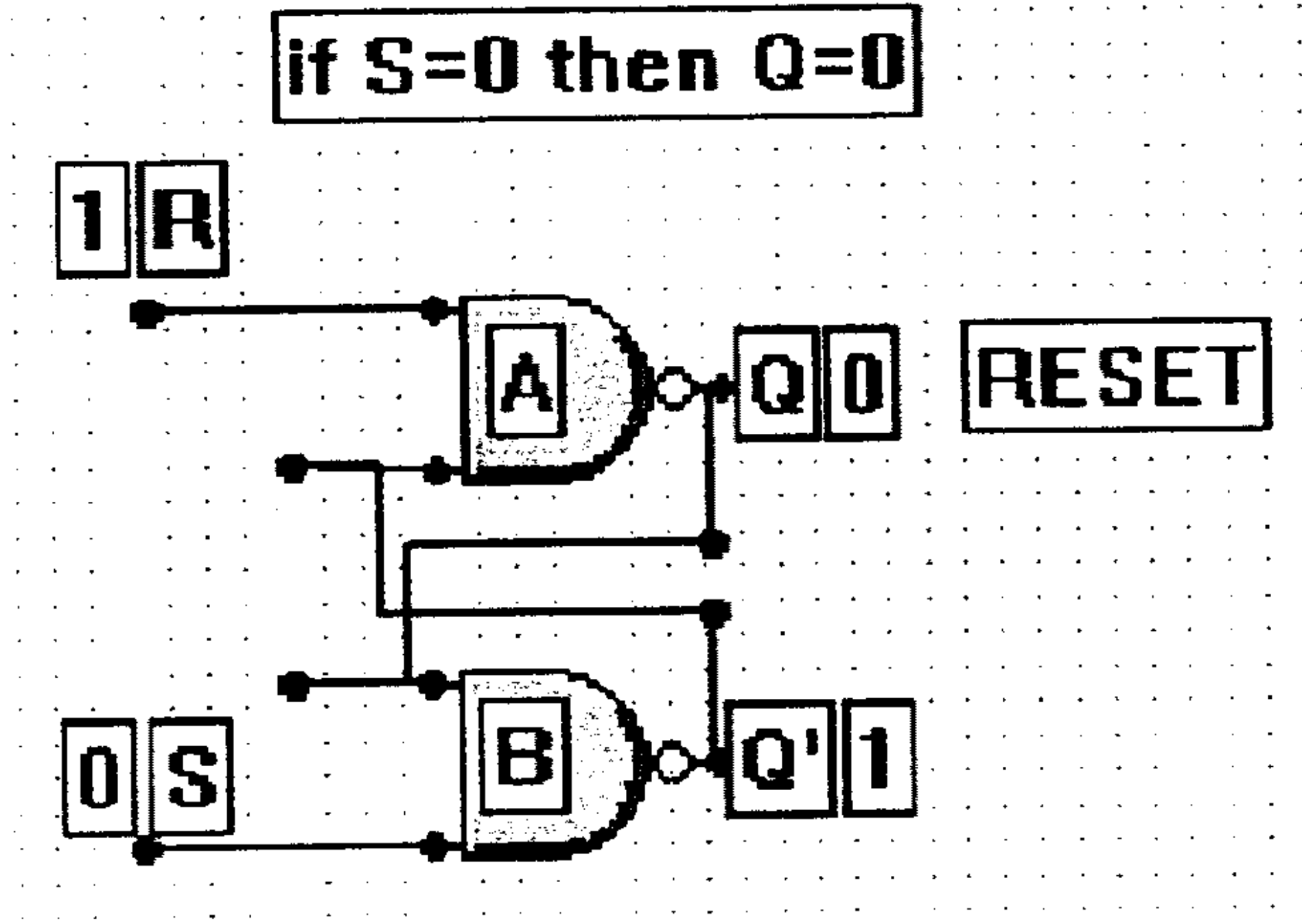
شكل (٥-٣)

الاحتمال الثاني: عندما $(AS)=0$ فإن $Q=1$ ، $(BR)=1$ ، وبالقالي $\bar{Q}=0$ لأن دخلي البوابة 11^8 وهذه الحالة يطلق عليها Set لأنه تم إجبار الخرج Q على القيمة 1، وبما أن $Q=1$ ، $B=1$ فإن الدخل الذي قيمته 1 وجعل Q في وضع Set يطلق عليه S أي أن $B=S$.



شكل (٥-٤)

- الاحتمال الثالث: عندما $B=0$ فإن $Q'=1$ ، $A=1$ دخل وبالتالي $Q=0$ لأن دخلي البوابة 11^A ، وهذه الحالة يطلق عليها Reset لأنه تم إجبار Q على القيمة 0.



شكل (٥-٥)

- الاحتمال الرابع: عندما $A=1$ ، $B=1$ لا نستطيع أن نتعرف على خرج القلاب Q أو \bar{Q} لأن 1 لا يعطي ناتجا مؤكداً. فلزمنا أن نفترض قيمة الخرج أولاً كما يلي:

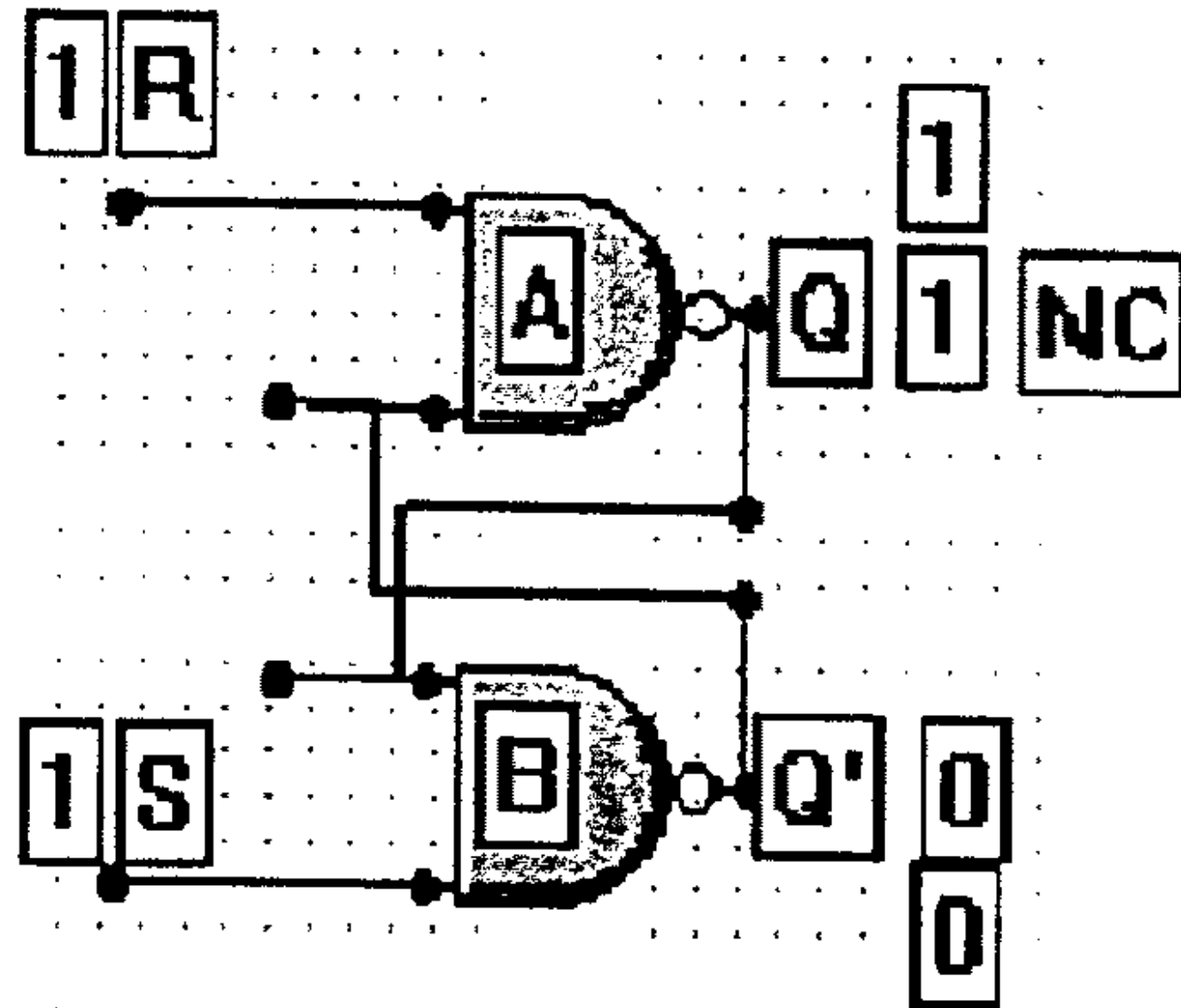
$$Q=1, \bar{Q}=0$$

فإذا كان $S=1$ ، $Q=1$ وهما دخلي البوابة B فإن $Q'=0$.

فإذا كان $R=1$ ، $Q'=0$ وهما دخلي البوابة A فإن $Q=1$.

أي أن الخرج ظل على حالته كما هو لم يتغير، ويطلق على هذه الحالة عدم التغيير No Change، ويمكننا صياغة جدول القلاب كما يلي:

if $S=R=1$ then $Q_{t+1}=Q_t$



شكل (٥-٦)

دخول A	دخول B	Q	\bar{Q}	
R	S			
0	0	1	1	Race/Unknown
0	1	1	0	Set
1	0	0	1	Reset
1	1	1	0	No Change

ويمكننا كتابته بالصورة التالية:

R	S	Q	\bar{Q}	
0	1	1	0	Set
1	1	1	0	No Change
1	0	0	1	Reset
1	1	0	1	No Change
0	0	1	1	Undefined

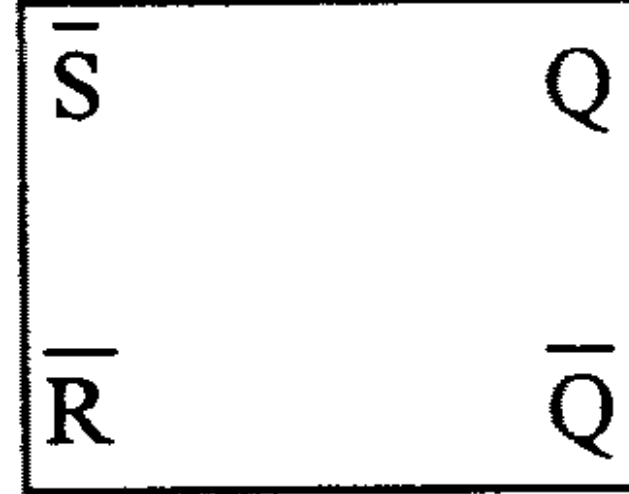
حيث أن حالة Q عندما $SR = 11$ تعتمد على الحالة السابقة إن كانت Set ظلت كما هي، وإن كانت Reset ظلت كما هي.

R	S	Q
0	0	*
0	1	1
1	0	0
1	1	NC

رمز القلاب

عبارة عن مربع له دخلان وخرجان كما يلي:

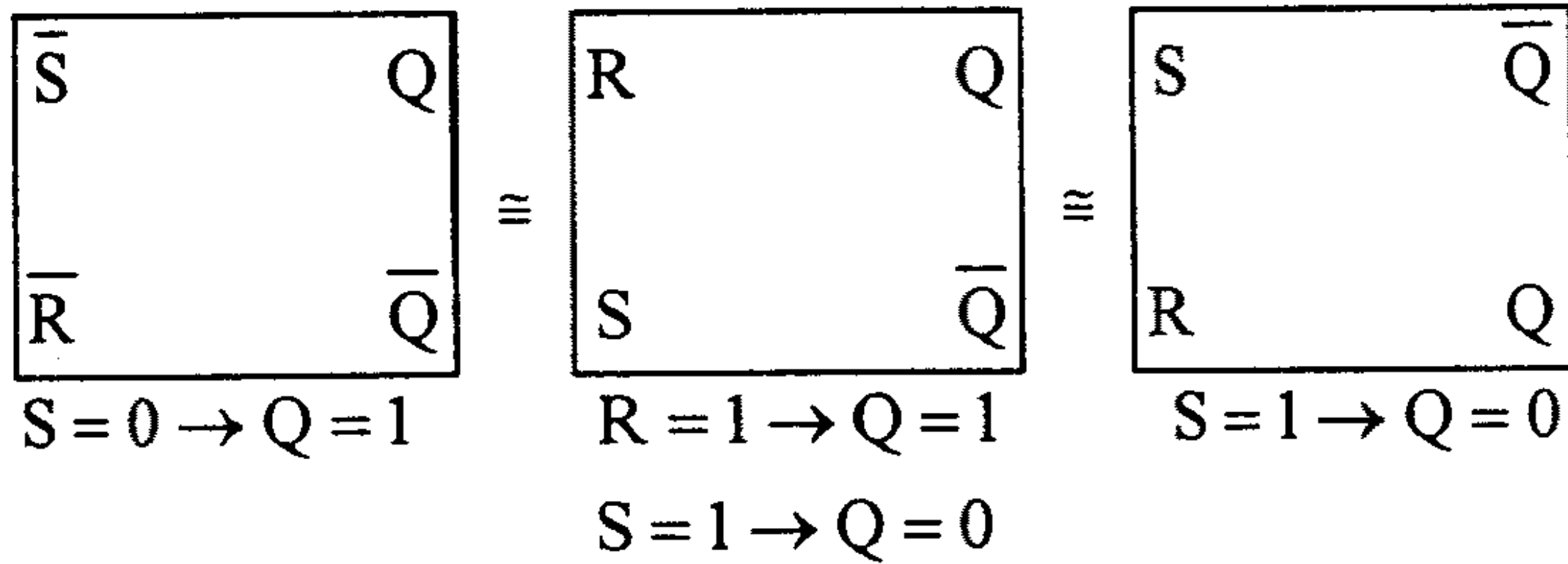
ودائماً نضع S مقابل Q و R مقابل \bar{Q} ، فإن كانت قيمة S التي تجعل $Q=1$ هي 0 وضعنا (-) شرطة فوق S وأخرى فوق R، وأطلقنا على القلاب $\bar{R}\bar{S}$.



شكل (٧-٥)

S	R	Q	\bar{Q}
0	1	1	0
1	0	0	1

ثم تسميته $\bar{R}\bar{S}$ لأنه عندما $S=0$ فإن $Q=1$.



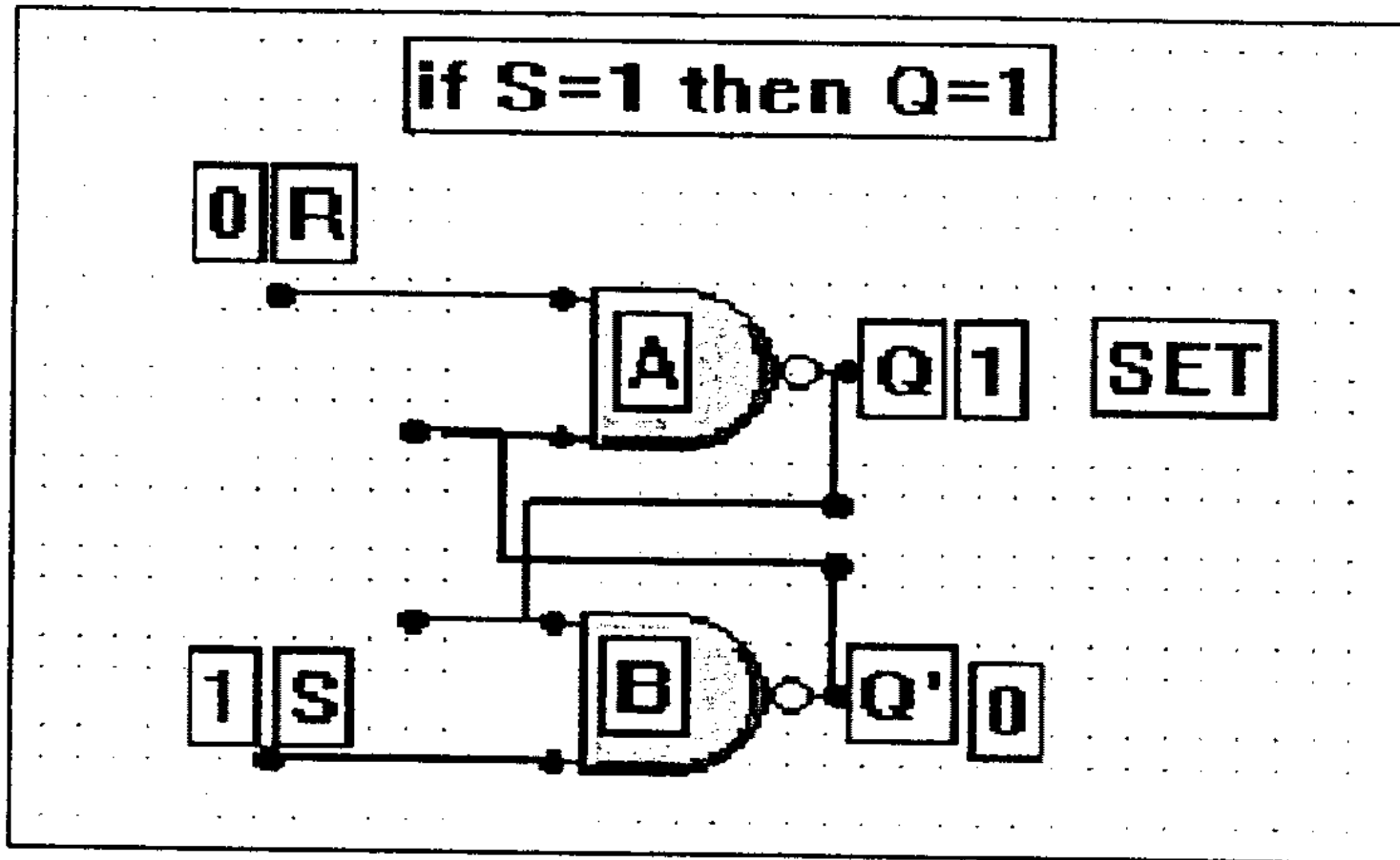
شكل (٨-٥)

وكل الرموز السابقة متكافئة

سر المسألة أنه يجب أن تكون قيمة $S=1$ عندما $Q=1$ ، $R=1$ عندما $Q=0$.

ملاحظة هامة

في دائرة القلاب RS المبنية بالبوابات ننظر في الاحتمال الثاني أو الثالث فإن كانت قيمة $Q=1$ فإن الدخل الذي يساوي 1 هو S والآخر R.

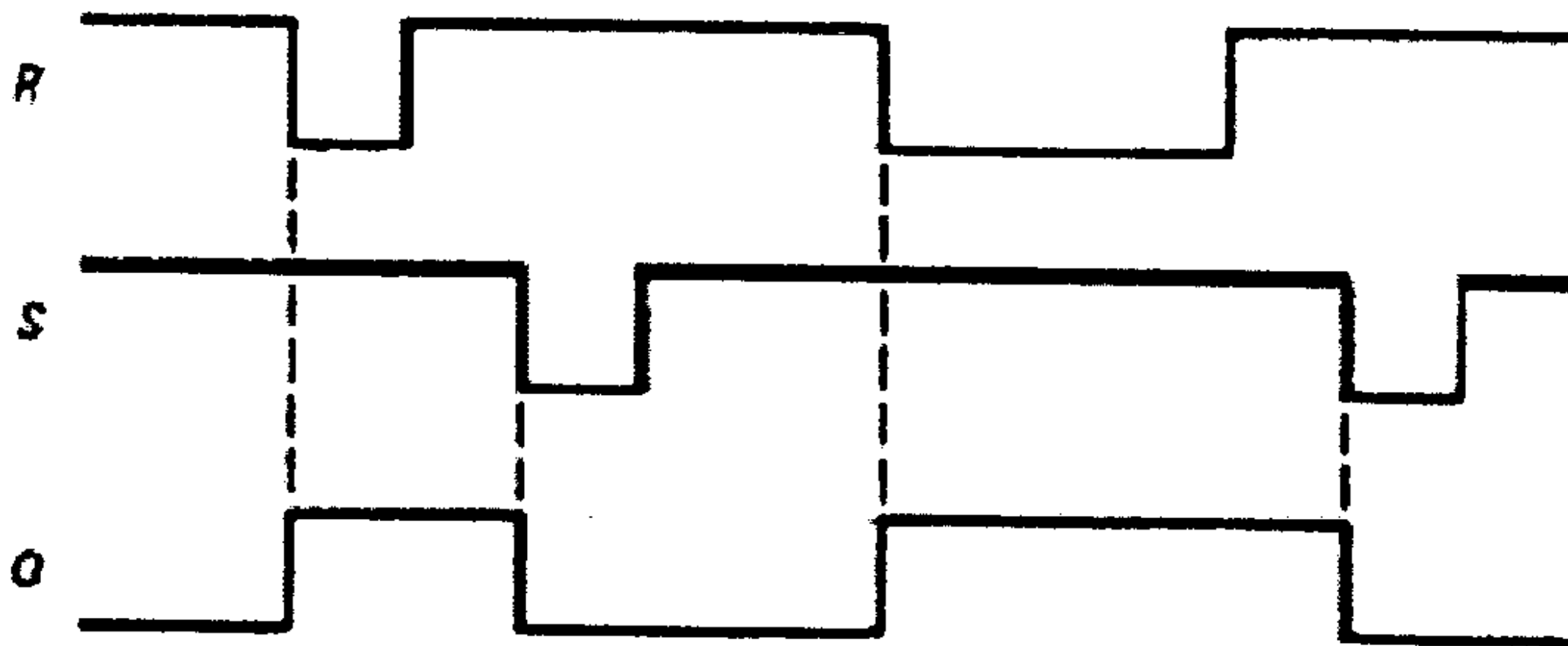


شكل (٥-٩)

المخطط الزمني للقلاب

تم مراعاة تجنب حالة التسابق في المخطط الزمني فلا تجد $S=R=0$ في أي لحظة. وقيمة Q يمكن استنتاجها بتطبيق جدول عمل القلاب تطبيق مباشر.

- نبدأ من اليسار: فعندما كانت $R=0$ ، $S=1$ أصبحت $Q=1$ ،
- وعندما أصبحت $R=1$ وظلت $S=1$ لم يحدث تغيير.



شكل (٥-١٠)

القلاب RS باستخدام NOR

معلوم أن الناتج المؤكد للبوابة NOR هو 0 وذلك يحدث عندما يكون أحد دخلي البوابة أو كليهما بـ 1، كما هو واضح من جدول الحقيقة.

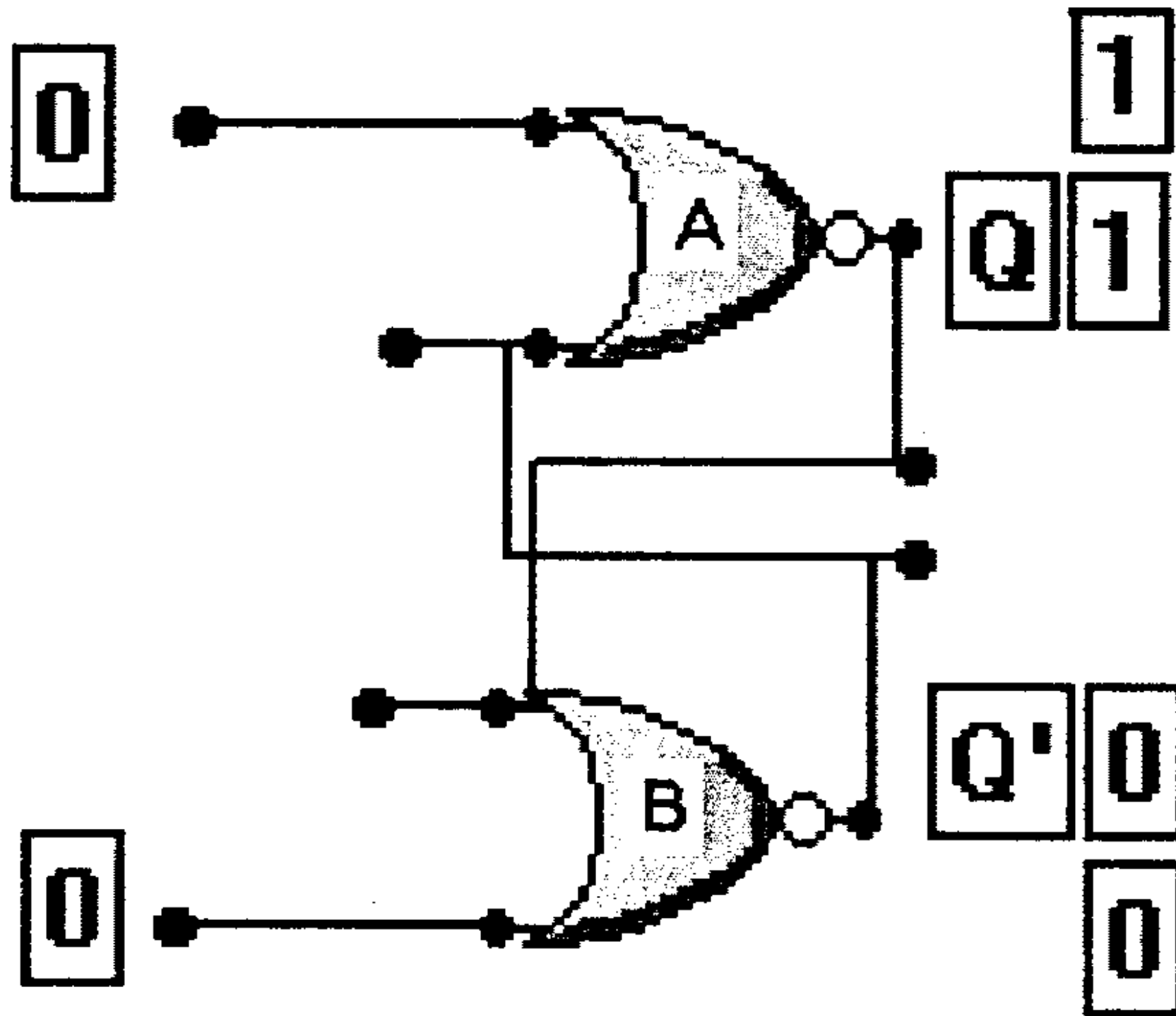
A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

قيم الدخل المؤدية للنتائج

أي أنه إذا كان أحد دخلي البوابة NOR ب 1 فإننا نكون متأكدين تماما أن الخرج 0 بصرف النظر عن قيمة الدخل الآخر أي أن $0 \rightarrow 1$ ، أما إذا كان أحد الدخلين 1 فإن الخرج يتعذر معرفته بدون معرفة الدخل الآخر مجهول $0 \rightarrow X$.

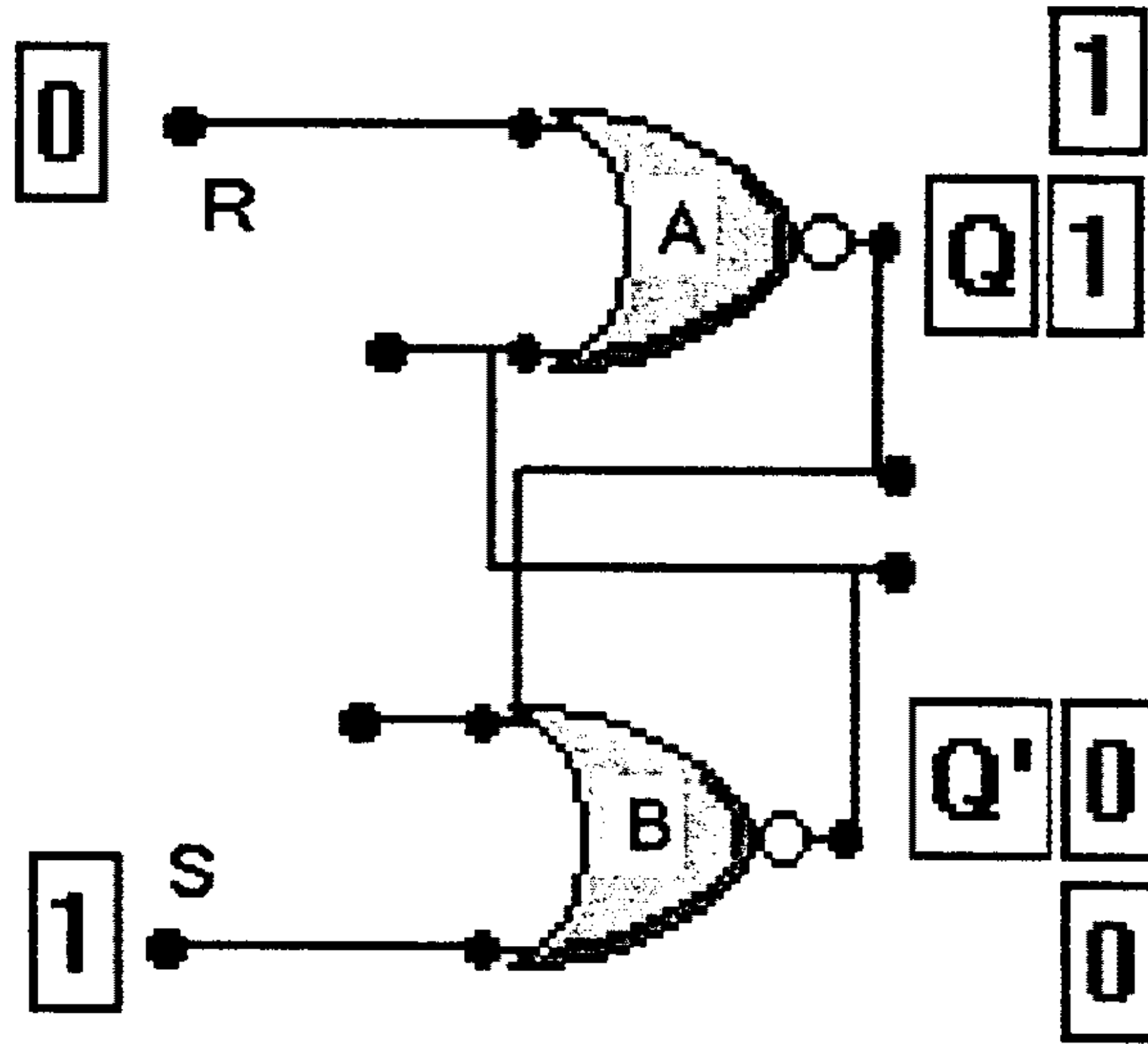
شرح عمل الدائرة

- الاحتمال الأول: عندما يكون دخل $0(A)$ ، ودخل $0(B)$ لا نستطيع التعرف على خرجهم لأن $0 \rightarrow X$ فيجب أن نفترض قيمة الخرج السابق كي نتعرف على الخرج الجديد. نفرض أن الخرج السابق $Q=1$ ، $\bar{Q}=0$ أي أن دخل البوابة A هو $00 \leftarrow Q=1$ ودخل البوابة B هو $10 \leftarrow \bar{Q}=1$ أي أن الخرج لم يتغير ويطلق على هذه الحالة حالة عدم التغيير No Change.



شكل (١١-٥)

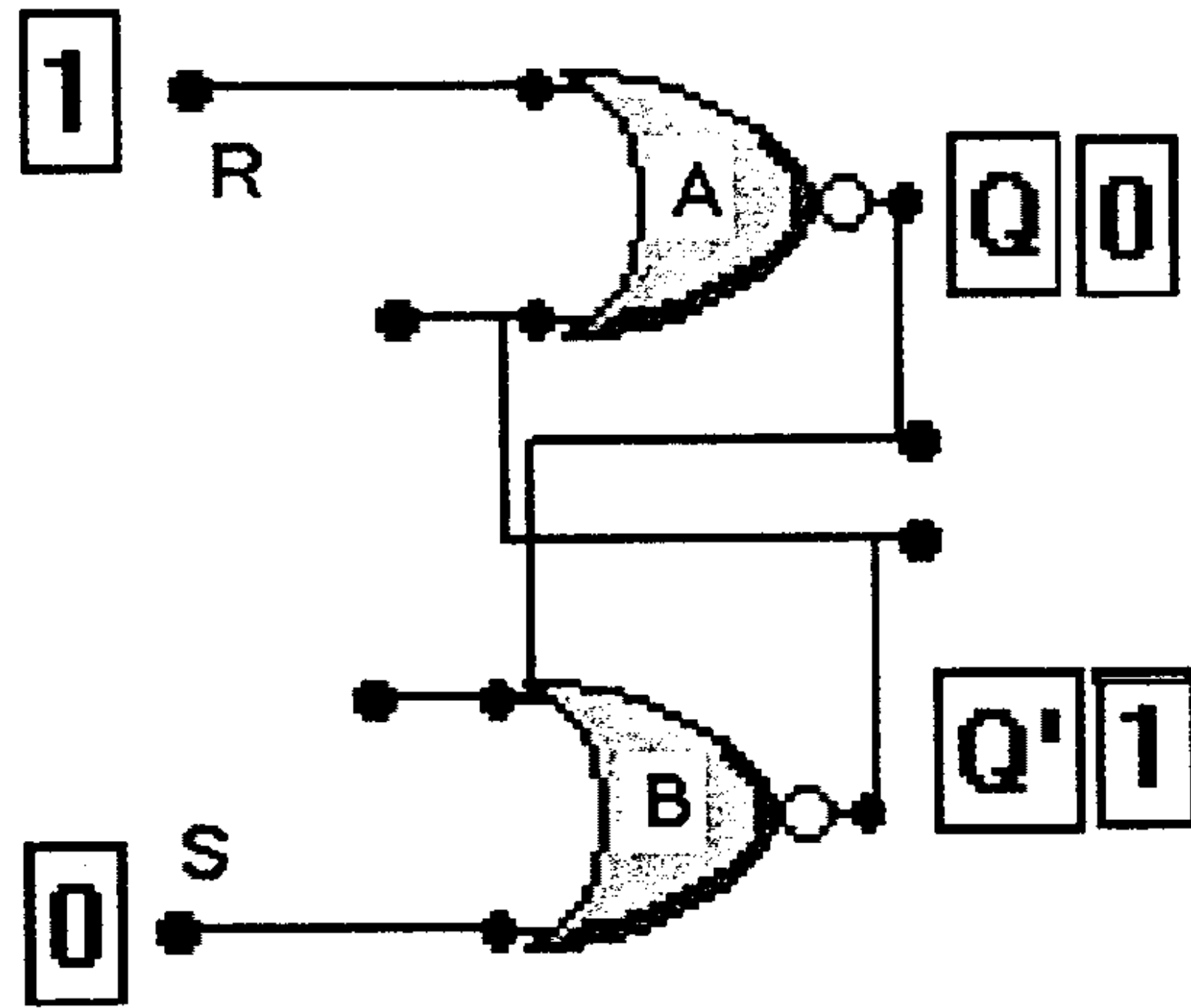
- الاحتمال الثاني: عندما يكون دخل $(B) = 1$ و دخل $(A) = 0$ فإنه من المؤكد أن $\bar{Q} = 0$ أي أن دخل $00 = A$ وبالتالي فإن $Q = 1$ وبما أن $Q = 1$ ودخل $B = 1$ فإن دخل $B = S$.



شكل (٥-١٢)

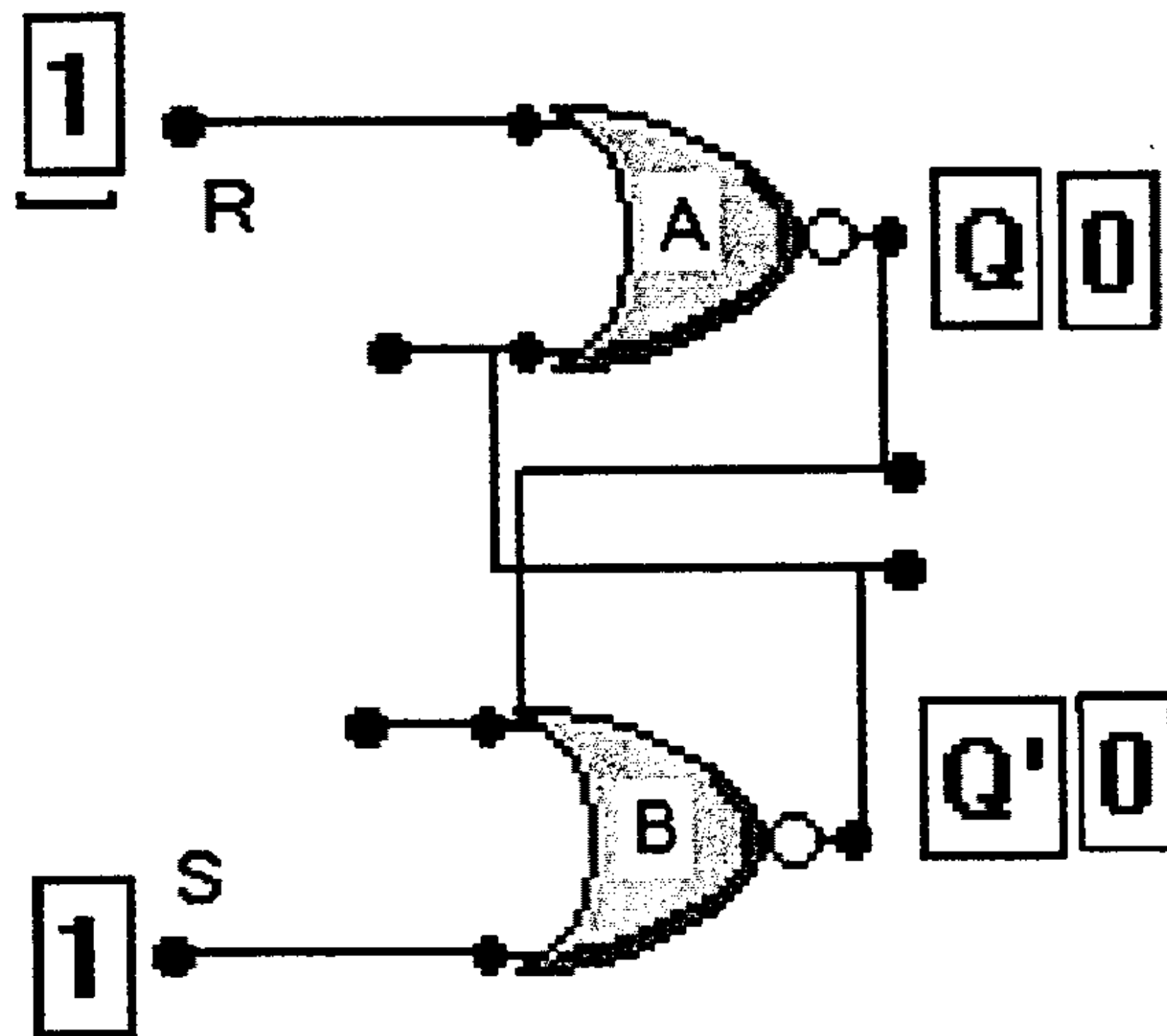
وبذلك نكون قد عرفنا أطراف القلاب RS.

- الاحتمال الثالث: عندما يكون دخل $(A) = 1$ ودخل $(B) = 0$ فإنه من المؤكد أن $Q = 0$ أي أن دخل $(B) = 00$ أي أن $Q' = 1$ وبما أن $Q = 0$ عندما كان دخل $(A) = 1$ إذن دخل (A) يسمى R ودخل (B) هو S.



شكل (٥-١٣)

- الاحتمال الرابع: إذا كان دخل $1=(A)$ ودخل $1=(B)$ فإن البوابتين تتسابقان لإخراج قيمة 0 لكل من Q ، \bar{Q} أي أن $Q=\bar{Q}=0$ وهذه حالة غير مرغوب فيها ويطلق عليها حالة التّسابق Race والحالة غير المعرفة Undefined،



شكل (٥-١٤)

• ويمكننا صياغة جدول القلاب كما يلي:

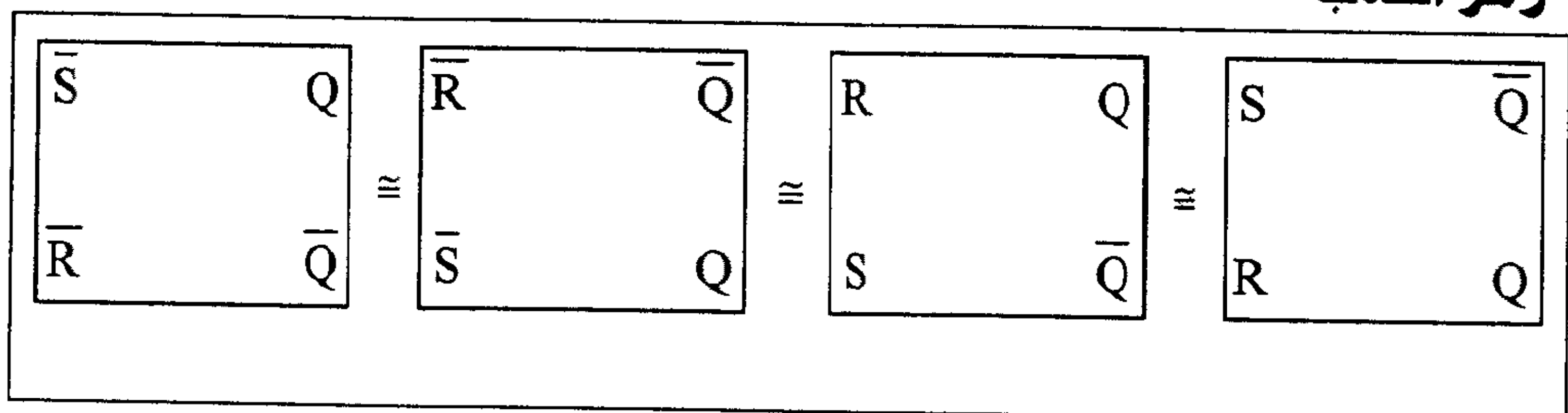
دخـل (A)	دخـل (B)	Q	\bar{Q}	
R	S			
0	0	1	0	NC
0	1	1	0	Set
1	0	0	1	Reset
1	1	0	0	التسابق Race

ويمكننا صياغة الجدول بالصـور التـالية:

R	S	Q	
0	0	NC	No Change
0	1	1	Set
1	0	0	Reset
1	1	*	Race

R	S	Q	\bar{Q}	
1	0	0	1	Reset
0	0	0	1	
0	1	1	0	Set
0	0	1	0	
1	1	0	0	Race

رمز القلاب



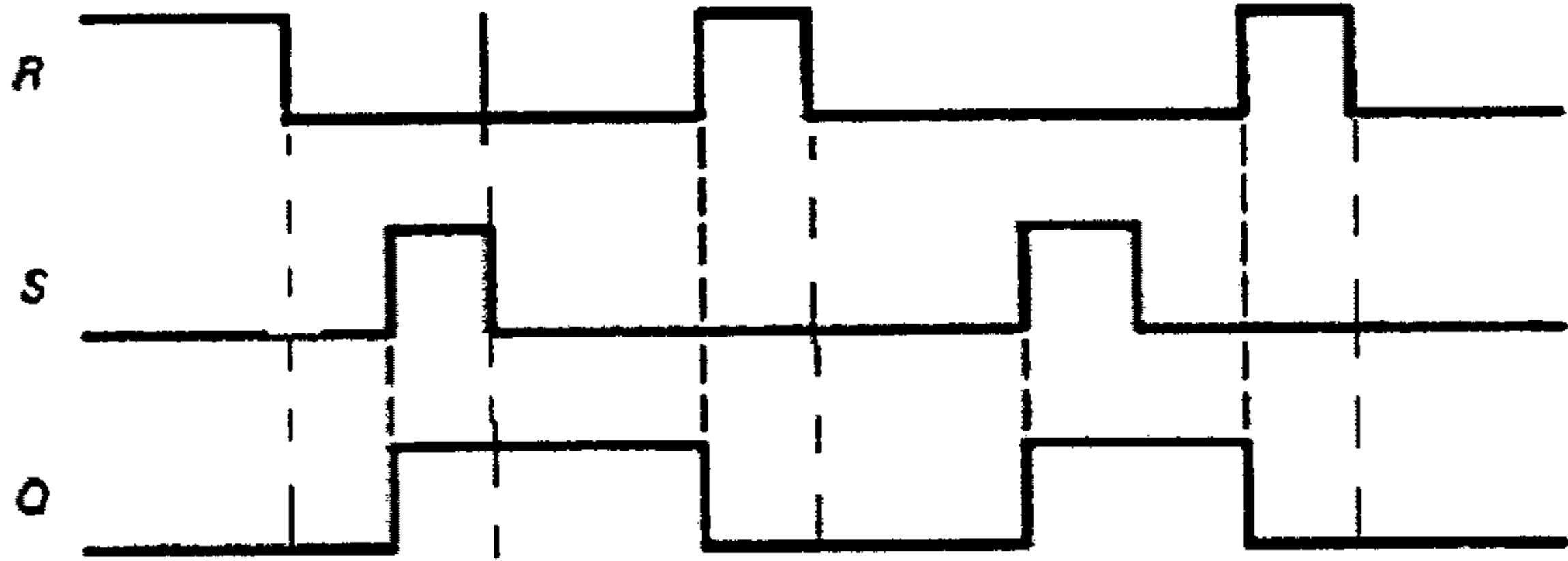
شكل (٥-١٥)

المخطط الزمني

يجب تجنب حالة التسابق عند رسم إشارة S، إشارة R بحيث أن $S = R = 1$ قيمة غير مرغوب فيها.

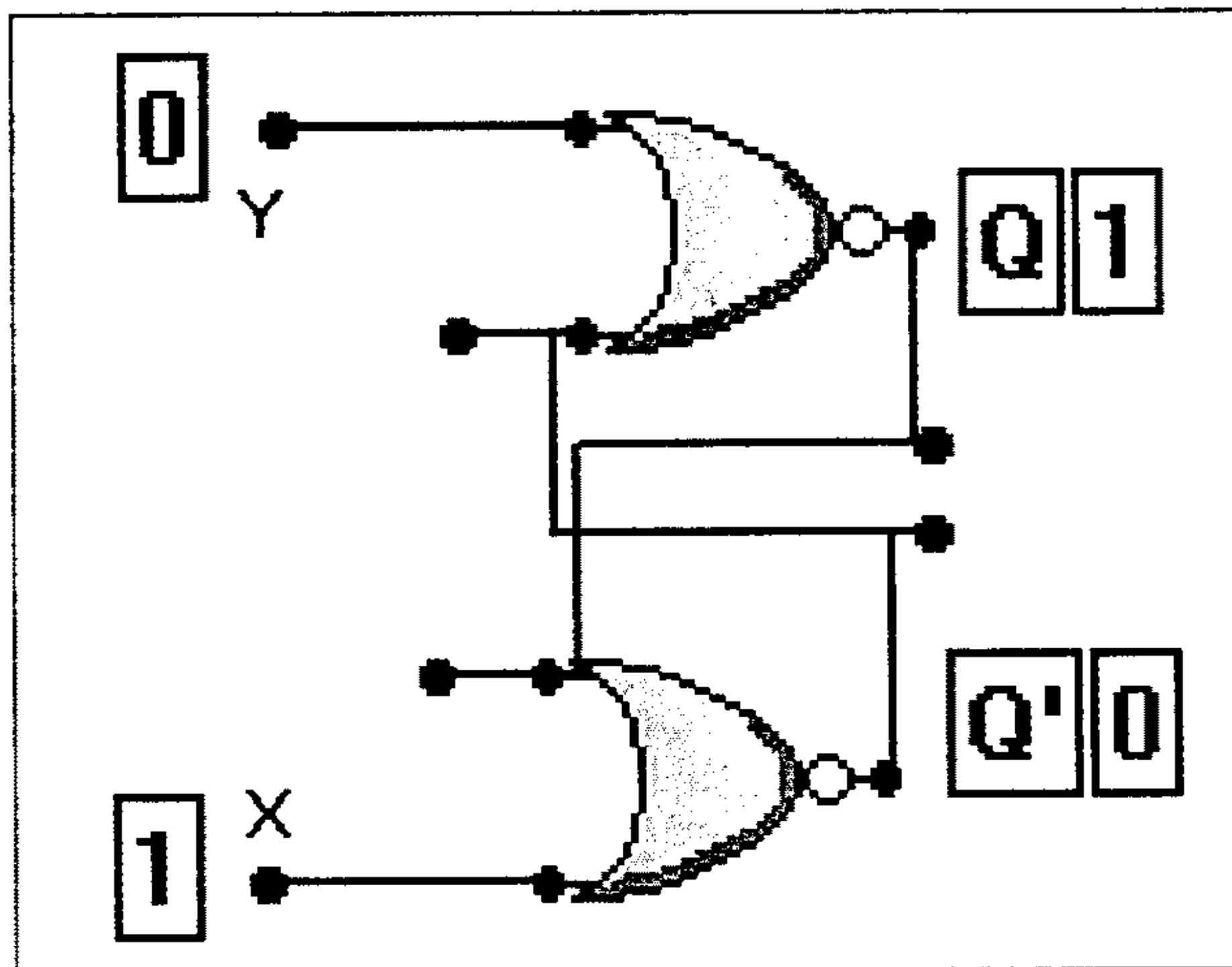
ارسم خطوط عمودية عند كل تغير في S وكل تغير في R استنتج قيمة Q طبقا لجدول القلاب.

فعند أول عمود من جهة اليسار $R=0$ ، $S=0$ وكانت $Q=0$ فظلت على حالها لأن شرط عدم التغيير NC أن $S=R=0$ تحقق. وتظل $Q=0$ حتى التغير التالي (العمود ٢) وعند العمود ٢ $R=0$ ، $S=1$ فإن $Q=1$. وتظل بـ ١ حتى التغير التالي (العمود ٣) وعند العمود ٣ $R=0$ ، $S=0$ حالة NC أي أن $Q=1$. وهكذا نطبق الجدول في الأعمدة التالية تطبيق مباشر.



كيف نحدد الطرف S من R للقلاب المكون من بوابة NOR

شكل (٥-١٦)



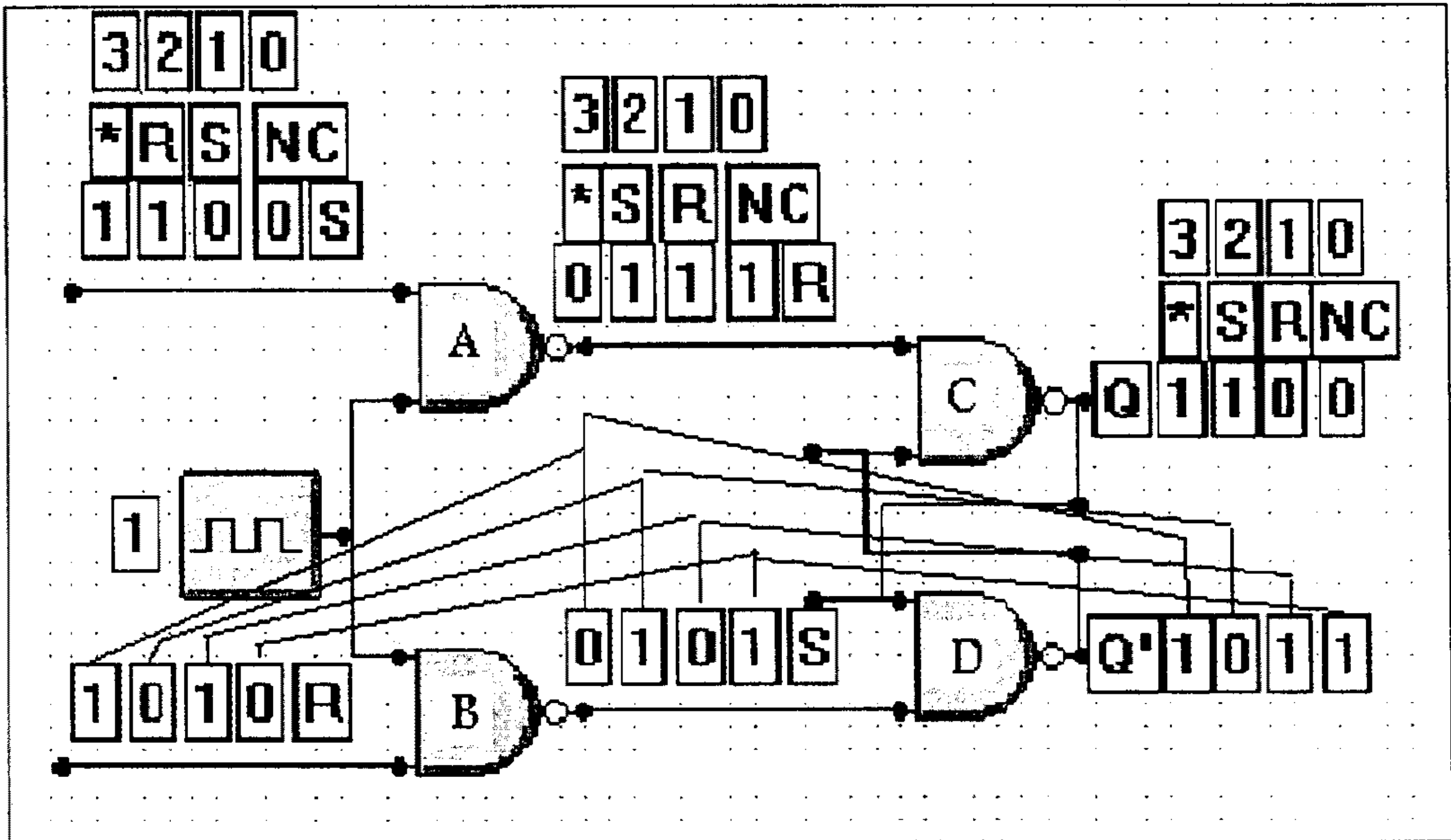
شكل (٥-١٧)

بما أن $Q=1$ ، $X=1$ إذن $X=S$ ، $Y=R$.
 أولاً- نفرض دخلين للقلاب، فمثلاً اجعل $X=1$ ، $Y=0$:
 بما أن $X=1$ فإن $\bar{Q}=0$ وبالتالي دخلى A بـ 0. فنحصل على $Q=1$
 إذن الطرف الذي قيمته 1 في حالة $Q=1$ هو X ، إذن X هي S .

القلاب RS التزامني

لاحظنا في المخطط الزمني للقلاب RS المكون من NOR أو NAND أن قيمة الخرج Q صعب تحديد زمن تغيرها من حالة لأخرى ومن هنا كانت الحاجة لنبضة ساعة توقفت لنا أحداث تغير خرج القلاب Q .

التركيب المنطقي للقلاب المتزامن RS



شكل (٥-١٨):

- الاحتمال الأول: إذا كان دخل القلاب 0، 0 فإن خرج البوابتين A ، B هو 1،
 1 وهي حالة NC . وكذلك لو كانت نبضة الساعة 0 فإن خرج البوابتين A ، B
 هما 1، 1 وهي حالة NC أي أن نبضة الساعة يجب أن تكون 1 حتى تتغير

قيمة Q.

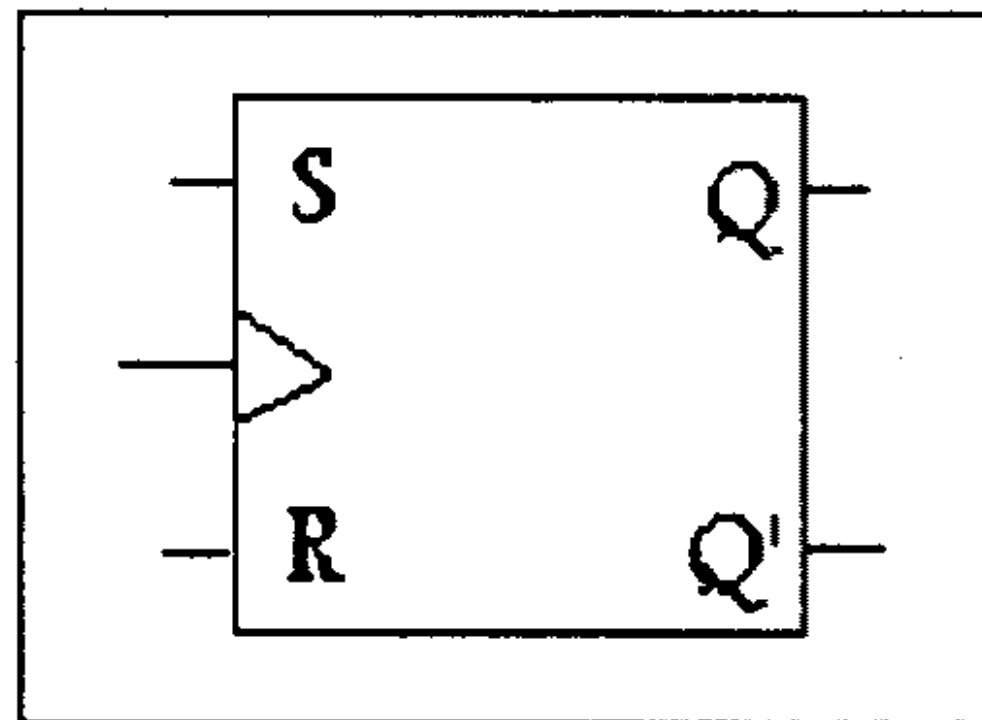
- الاحتمال الثاني: بما أن دخل $(B)=1$ ونبضة الساعة 1 فإن خرج $(B)=0$ وبالتالي خرج $(D)=1$. وبما أن دخل $(A)=0$ ونبضة الساعة $CLK=1$ فإن خرج $(A)=1$. وبما أن $(D)=1$ ، $(A)=1$ فإن خرج $(C)=0=Q$. وبما أن $Q=0$ ودخل $(B)=1$ إذن دخل $R=(B)$ ودخل $S=(A)$.
- الاحتمال الثالث: دخل $(A)=CLK=0$ ← خرج $(A)=0 \leftarrow Q=1$ دخل $(B)=0$ ← خرج $(B)=1$. وبما أن $\bar{B}=1$ ، $Q=1 \leftarrow \bar{Q}=0$ وهذه الحالة Set.

- الاحتمال الرابع: دخل $(A)=CLK$ دخل $(B)=0$ ← خرج $(A)=0$ خرج $B=0$ ، إذن دخل C ، $D=0$ ، إذن خرجهما $Q=\bar{Q}=1$ حالة تسابق غير مرغوب فيها.

ويمكن صياغة جدول القلاب كما يلي:

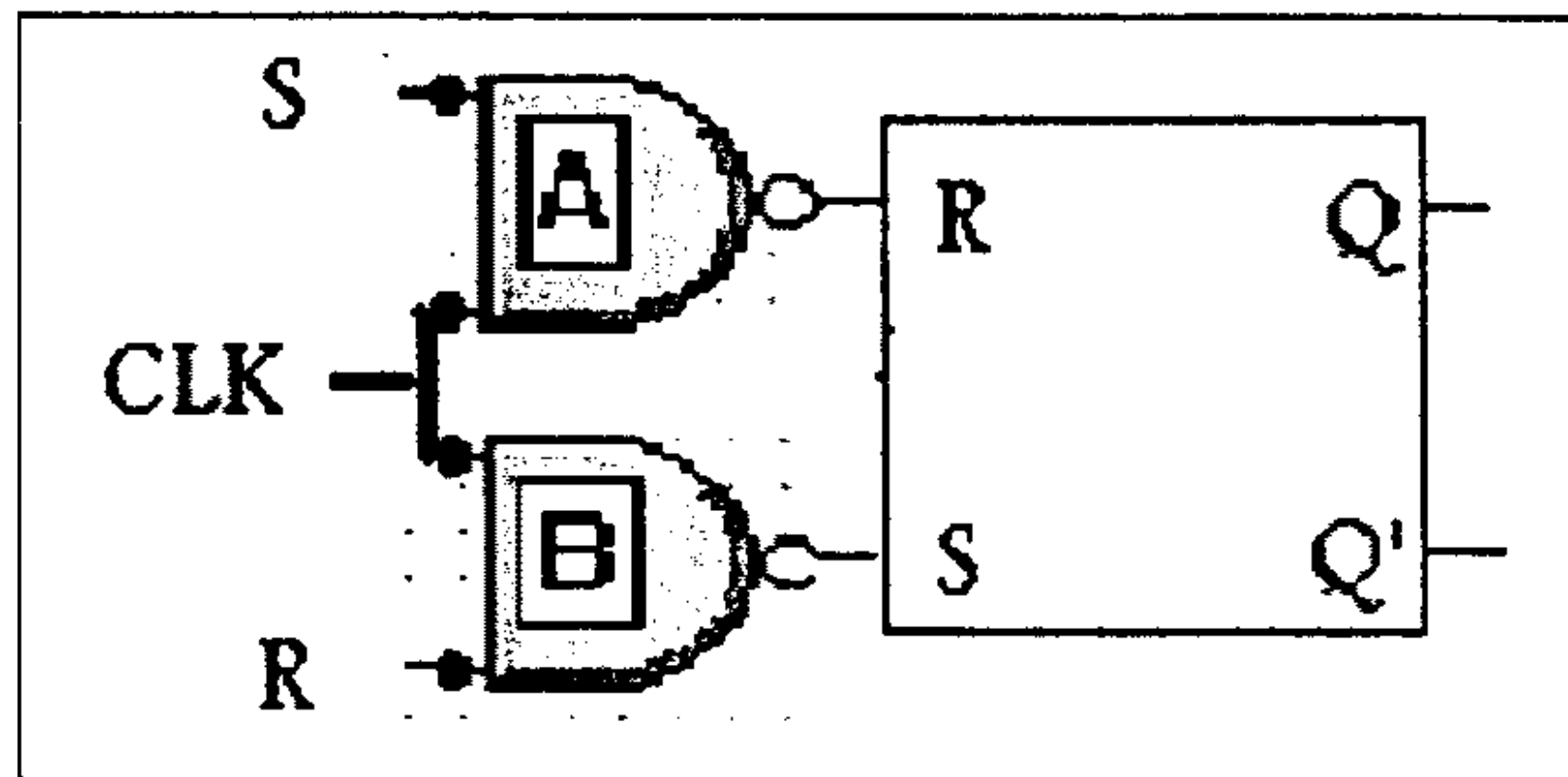
CLK	S دخل A	R دخل B	Q	\bar{Q}
0	0	0	NC	لأن خرجي A، B يساوي 1، لأن $CLK=0$ وهو شرط NC في القلاب RS
0	0	1	NC	
0	1	0	NC	
0	1	1	NC	
1	0	0	NC	لأن خرج A يساوي خرج B يساوي 1
1	0	1	0	Reset
1	1	0	1	Reset
1	1	1	*	Race

رمز القلاب المتزامن SR



شكل (١٩-٥)

نلاحظ أن S أصبحت مقابلة للخروج Q لأن البوابتين A، B الزائدتين عكستا القيم، انظر الرسم التالي:



شكل (٢٠-٥)

معادلة القلاب الزمني

وهي معادلة تحدد العلاقة بين قيمة الخرج الحالية Q_t وقيمة الخرج التالية Q_{t+1} .

وجداول الحقيقة التالي يوضح العلاقة بين Q_t ، Q_{t+1} .

Q_t	S	R	Q_{t+1}	
0	0	0	$0 = Q_t$	NC
0	0	1	0	Reset
0	1	0	1	Set
0	1	1	*	غير معرفة
1	0	0	$1 = Q_t$	NC
1	0	1	0	Reset
1	1	0	1	Set

Q_t	S	R	Q_{t+1}
1	1	1	*

غير معرفة

مثال

مثل الدالة (Q_{t+1}) بخريطة كارنو واختصرها.

		Q	
S	R	0	1
		00	01
1	1	11	10

$$Q_{t+1} = S + Q R'$$

شكل (٥-٢١)

القلاب D

في هذا القلاب تم التغلب على حالة التسابق وذلك بوضع عاكس Inverter (NOT) أمام أي من الدخيلين R ثم ربط الدخيلين معا بطرف لإدخال البيانات وتلاحظ من جدول القلاب أن خرج الـ Q يساوي البيانات D ولذا تم تسمية القلاب D Flip-Flop ولو كان العاكس أمام S لثم تسميته \bar{D} Flip Flop لأن خرج الـ Q سيكون عكس D.

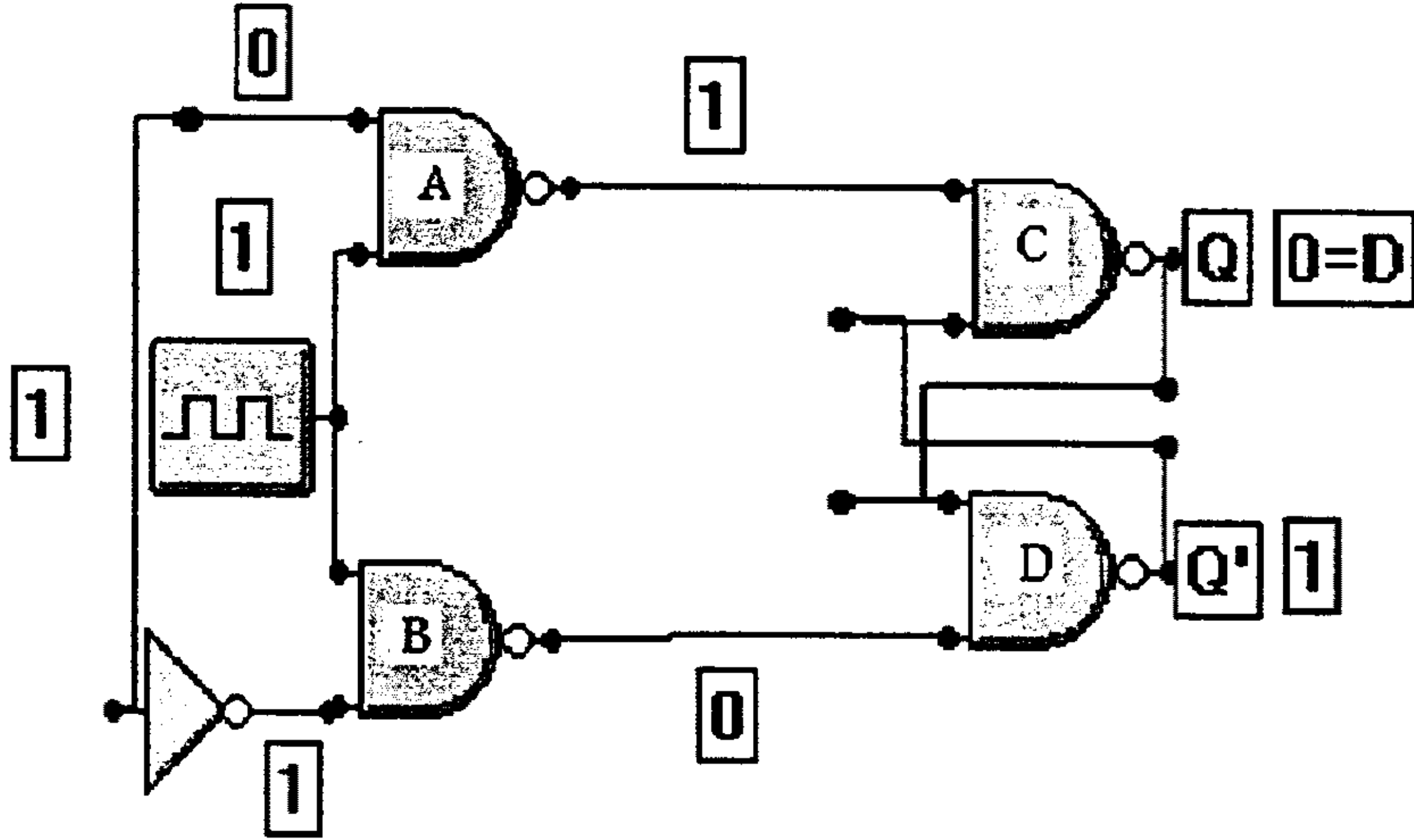
قلاب البيانات المؤقت Clocked D Flip-Flop

وفي هذا القلاب تم التحكم في وقت إدخال البيانات إلى القلاب فمثلا لو كانت CLK تساوي 0 فإن خرجي البوابتين A، B يساوي 1، 1، وهي حالة عدم التغير NC مهما كانت قيمة D أما إذا كانت CLK تساوي 1 فإن خرج البوابتين A، B يعتمد على D.

شرح عمل القلاب

عندما $D=0$ ، $CLK=1$ فإن خرج $A=1$ ، وخرج $B=0$ ، وبالتالي خرج $D=1$ و
 خرج $C=0$. أي أن $Q=D$.

الدائرة المنطقية للقلاب D متزامن



شكل (٥-٢٢)

جداول القلاب

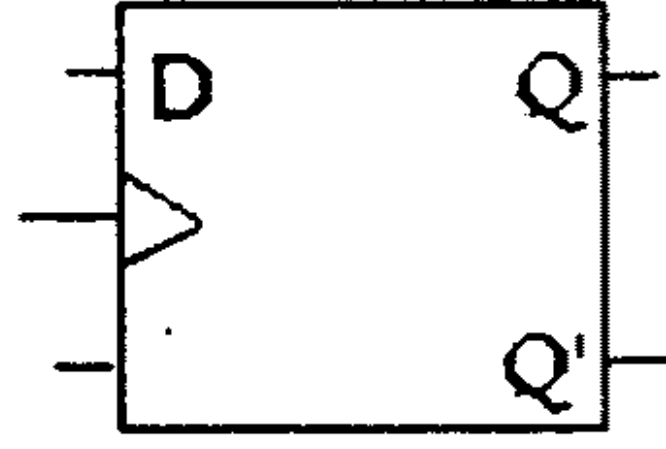
Q_t	D	Q_{t+1}
0	0	0
0	1	1
1	0	0
1	1	1

		D	
		0	1
Q	0		1
	1		1

$Q_{t+1}=D$

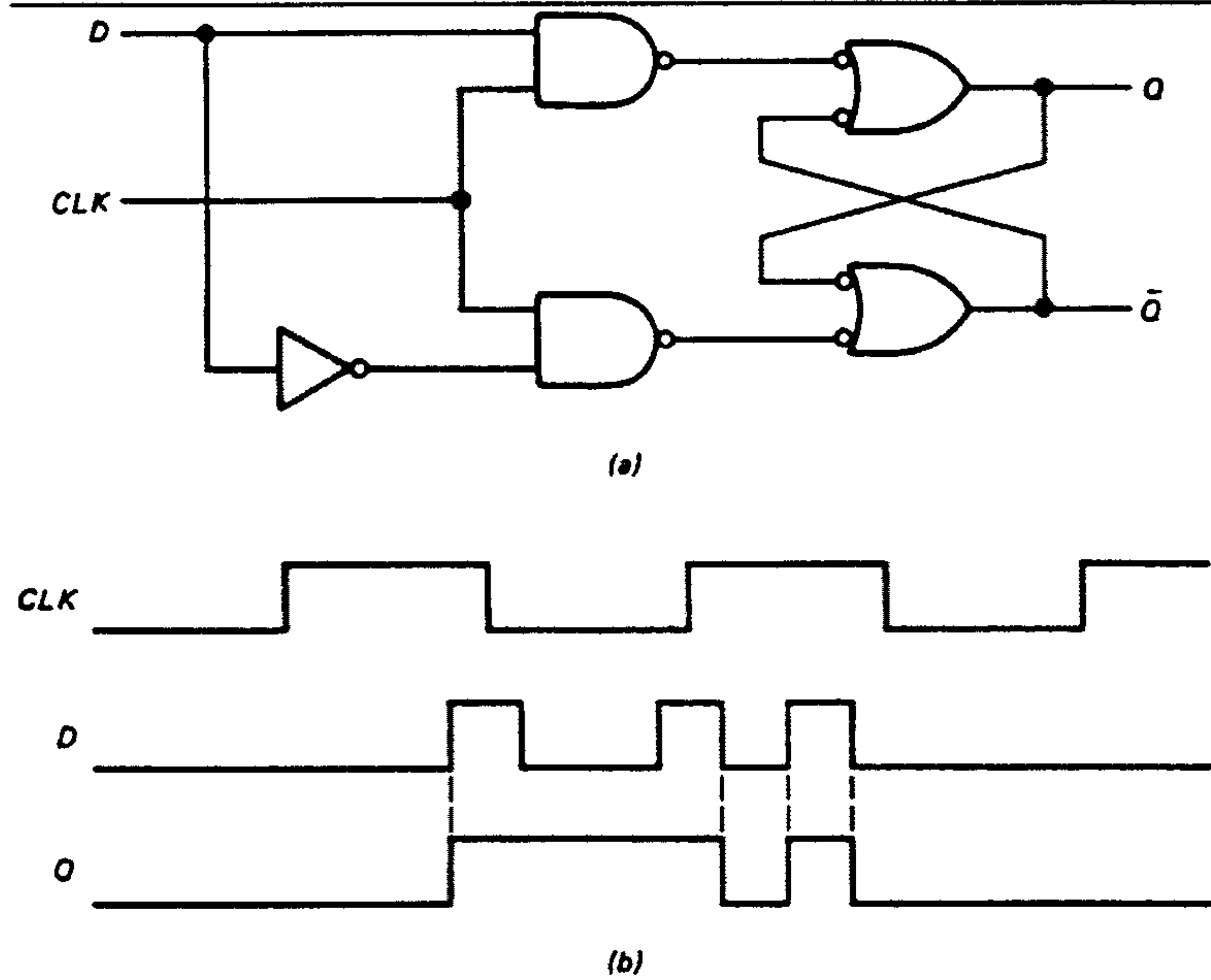
شكل (٥-٢٣)

رمز القلاب



شكل (٥-٢٤)

المخطط الزمني للقلاب D المتزامن



شكل (٥-٢٥)

قلاب البيانات المؤقت بحرف النبضة Edge-Triggered D Flip-Flop

نحن بصدد الكلام عن النوع الأكثر استخداماً في الحاسبات الإلكترونية إن هذا القلاب يختلف عن سابقه إنه تم تحديد وقت عمله تحديداً دقيقاً وتاماً، حيث إنه لا يعمل إلا عند أحد حرفي النبضة أما الموجب (الحافة الصاعدة) وإما السالب (الحافة الهابطة) ونحن الآن نتكلم عن الحافة الصاعدة.

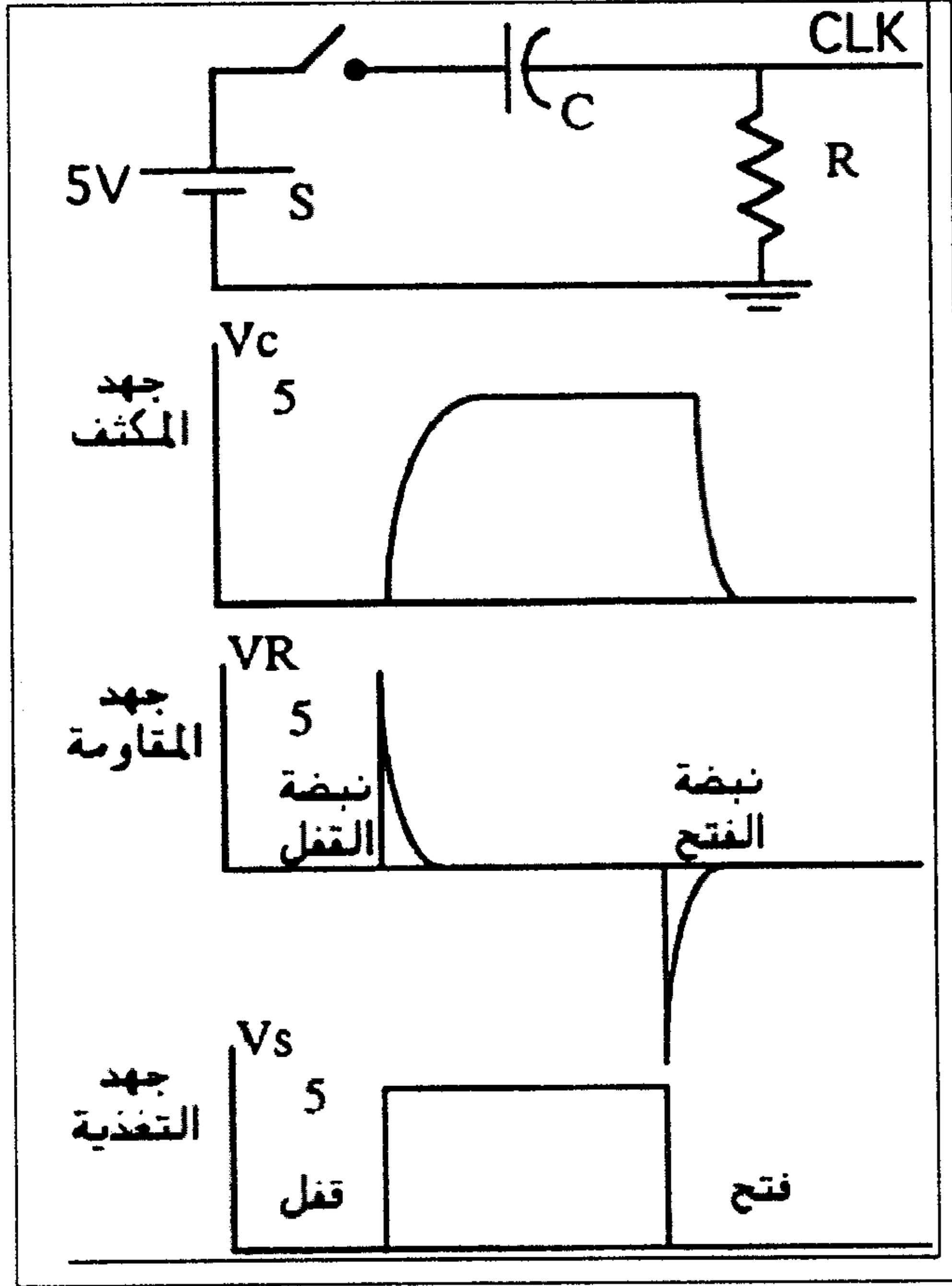
ويمكننا تحديد هذه الحافة باستخدام RC التي تنتج نبضة رفيعة عند بوابة قفل الدائرة

على المقاومة R وبالتالي ستدخل القيمة 1 Logic إلى البوابتين A، B وبذا يعمل القلاب ثم بعد ذلك تنزل للصفر فيستقر القلاب على حالته بسبب تحقق شروط حالة عدم التغير NC أما بالنسبة لنبضة الفتح فإنها تتجه من المقاومة R إلى المكثف C أي أن دخل البوابتين A، B سيظل صفر 0 Zero وهذا واضح في جدول عمل القلاب ومخططه الزمني واليك شرح عمل الدارة RC.

إن شكل الجهد على المكثف عند قفل الدارة كالتالي في بداية القفل يكون جهد المكثف صفراً ثم يبدأ في الشحن إلى أن تصل قيمته لجهد التغذية Vs وبما أن جهود الدارة $(VC + VR)$ يجب أن يعادلوا جهد التغذية Vs في كل لحظة فإن جهد المقاومة VR عند بداية القفل يساوي جهد التغذية Vs تماماً 5 فولت وبذا يتم الحصول على نبضة الـ CLK عند الحرف الصاعد بـ 1 Logic.

بينما عند فتح الدارة يكون جهد المكثف VC يساوي جهد التغذية Vs ثم يبدأ في التفريغ باتجاه مصدر التغذية إلى أن يصل للصفر.

وبما أن جهود الدارة (جهد VR + جهد VC) يجب أن يكافئوا جهد التغذية Vs إذن جهد $VC + VR$ عند بداية الفتح يساوي صفر وبما أن VC عند بداية الفتح يساوي جهد التغذية Vs قبل الفتح مباشرة (5 فولت) فإن جهد VR يجب أن يكون $-5V$ والسالب هنا يقصد بها اتجاه مرور التيار أي أن التيار يسري من المقاومة R إلى المكثف C إلى مصدر التغذية ونظراً لصعوبة تصنيع المكثفات في شرائح الدوائر المتكاملة فقد تم تصميم دارة منطقية من بوابات NAND لتقوم بعمل الدارة RC في إنتاج النبضة الرفيعة Spike.

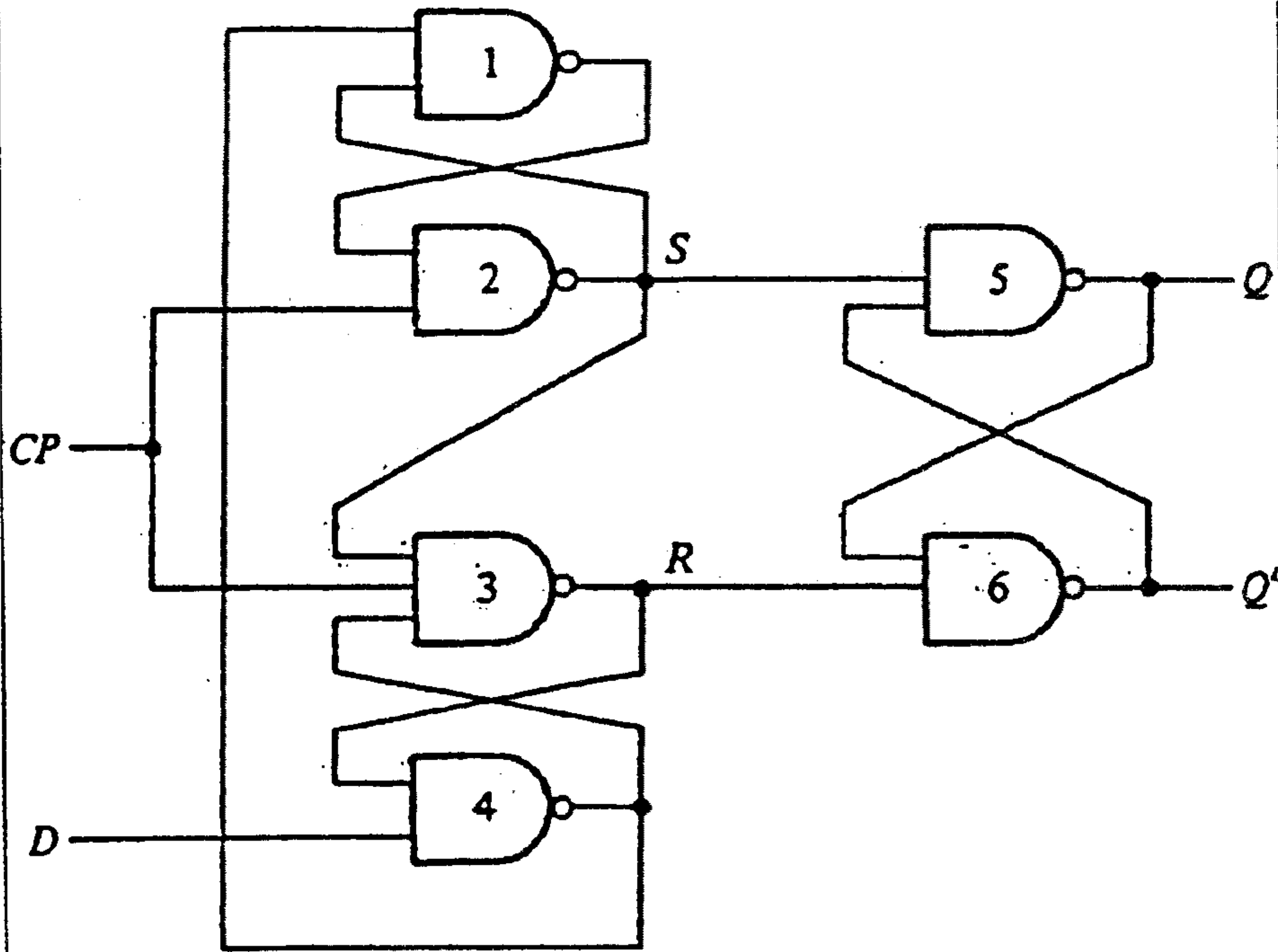


شكل (٥-٢٦)

دائرة منطقية لإنتاج النبضة الرفيعة +Ve Edge Trigger Spike

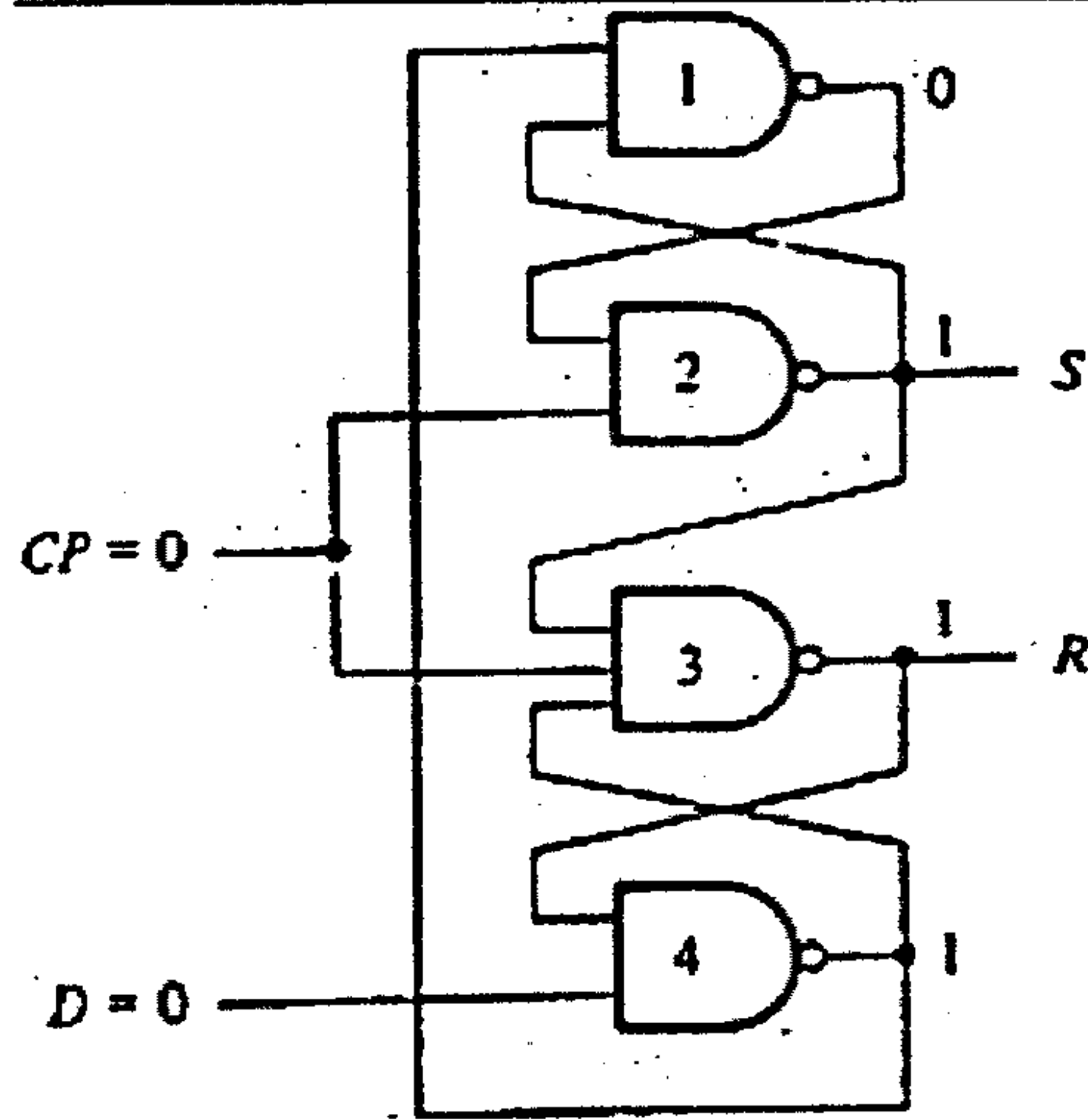
إن المطلوب من هذه الدائرة المنطقية محاكاة دائرة RC في الآتي أولاً أن تستجيب لبداية النبضة الموجبة فقط ثم لا تستجيب لبقية النبضة سواء كانت قيمتها 1 أو 0 Zero وهذا هو ما تحققه بالفعل الدائرة التالية:

الدائرة عبارة عن ٣ قلابات، خرج قلابين يؤثر في القلاب الثالث وإليك شرح عمل الدائرة.



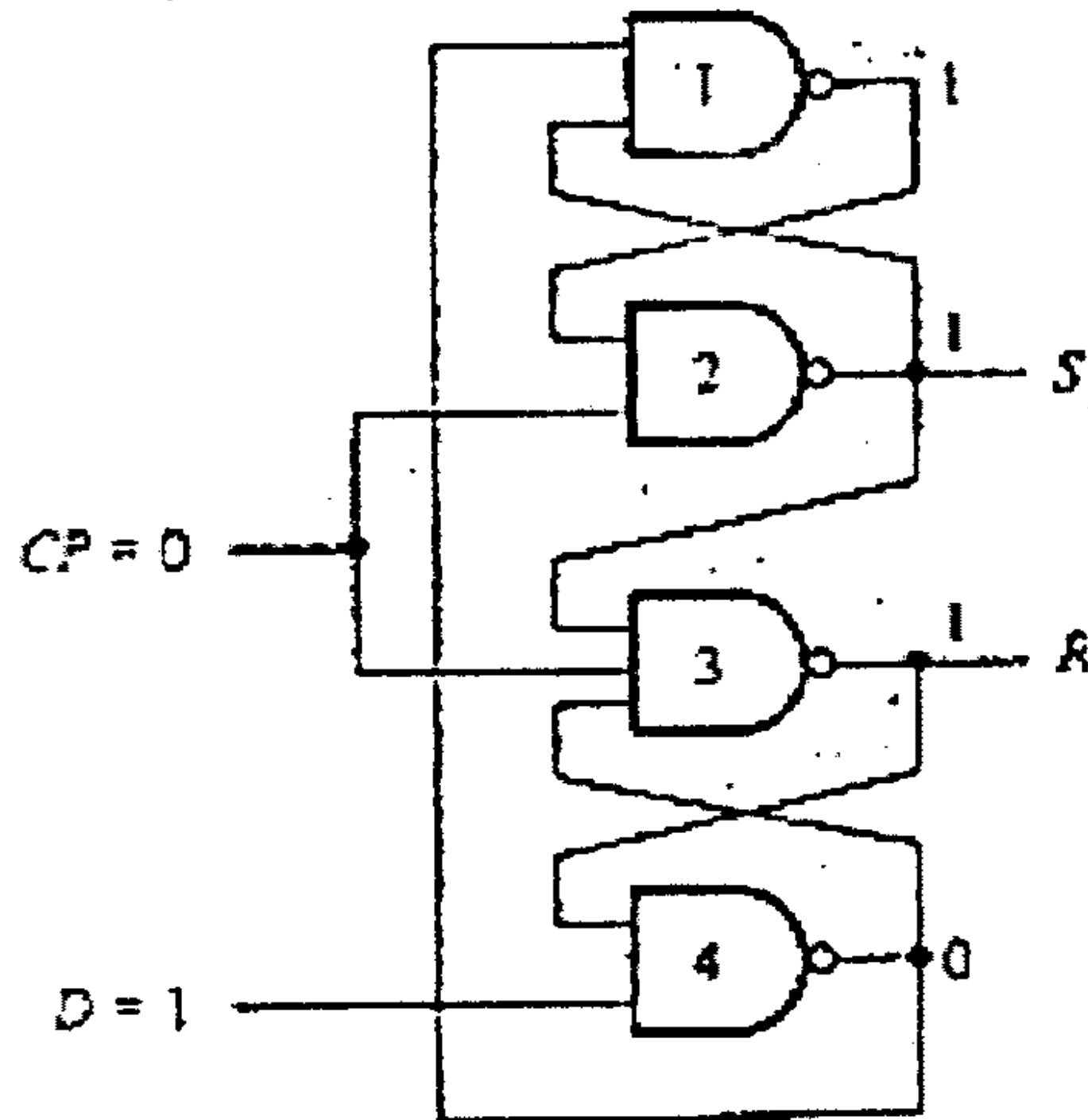
شكل (٥-٢٧)

١. عندما تكون النبضة CLK تساوي 0 فإن خرج البوابتين 2، 3 يجب أن يكون 1، 1، وبالتالي سيكون خرج القلاب الثالث ثابت على حاله وبذلك تكون الدارة قد حاكت دارة RC في هذه الجزئية وبصرف النظر عن قيمة D لأنها لا تؤثر على 2، 3.
٢. في حالة إذا ما كان $CLK = 0$ بينما D كانت 0 Zero نجد أن البوابة 4 خرجها يجب أن يكون 1 One مما يجعل دخلي البوابة رقم 1 عبارة عن 1، 1 فتخرج 0 (انظر الرسم ١)



شكل (٥-٢٨)

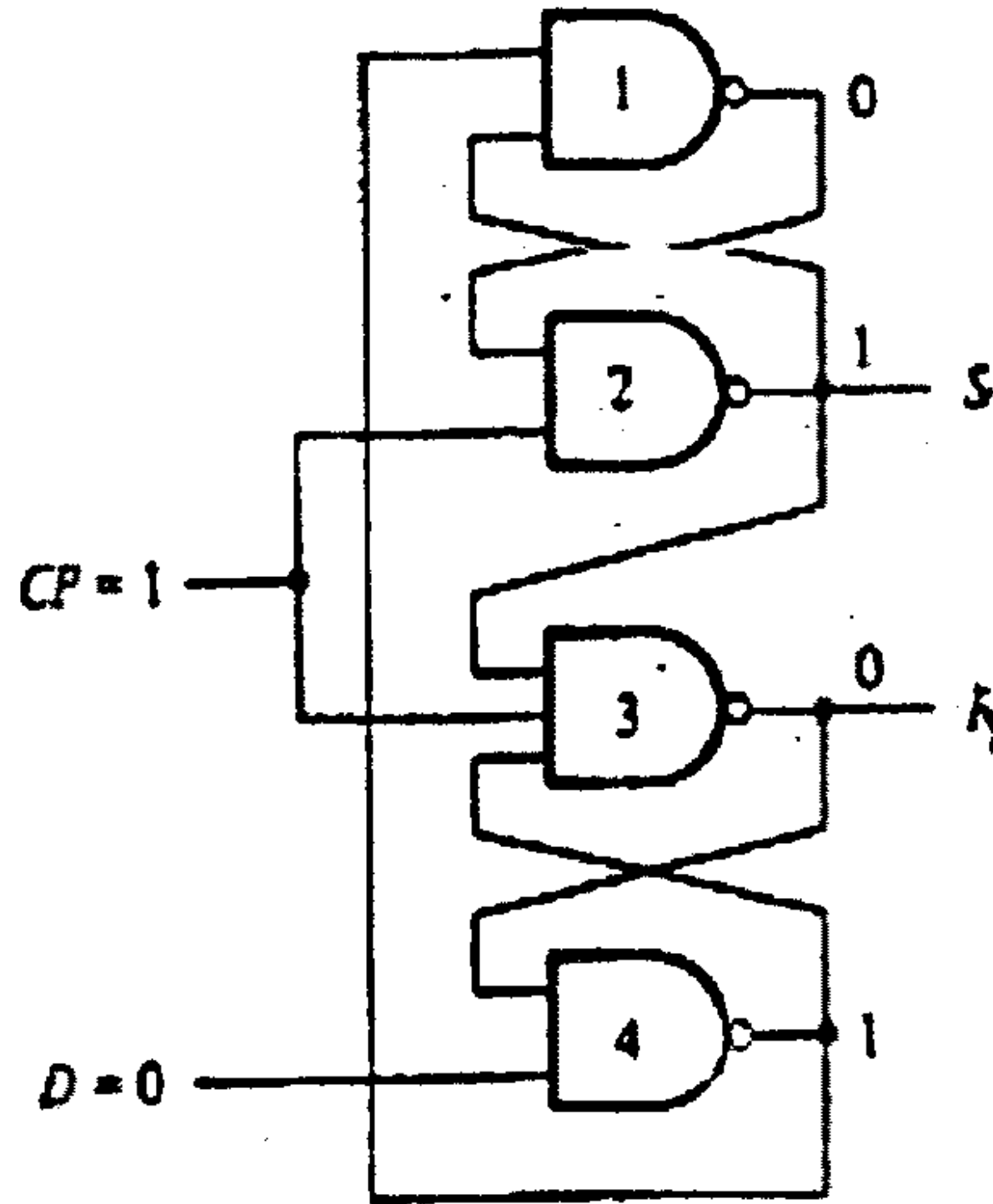
٣. في حالة ما إذا كان $CLK = 0$ بينما $D = 1$ نجعل البوابة 4 تساوي 0 مما يؤدي لإجبار خرج 3 يساوي 1 (انظر الرسم ٣)



شكل (٥-٢٩)

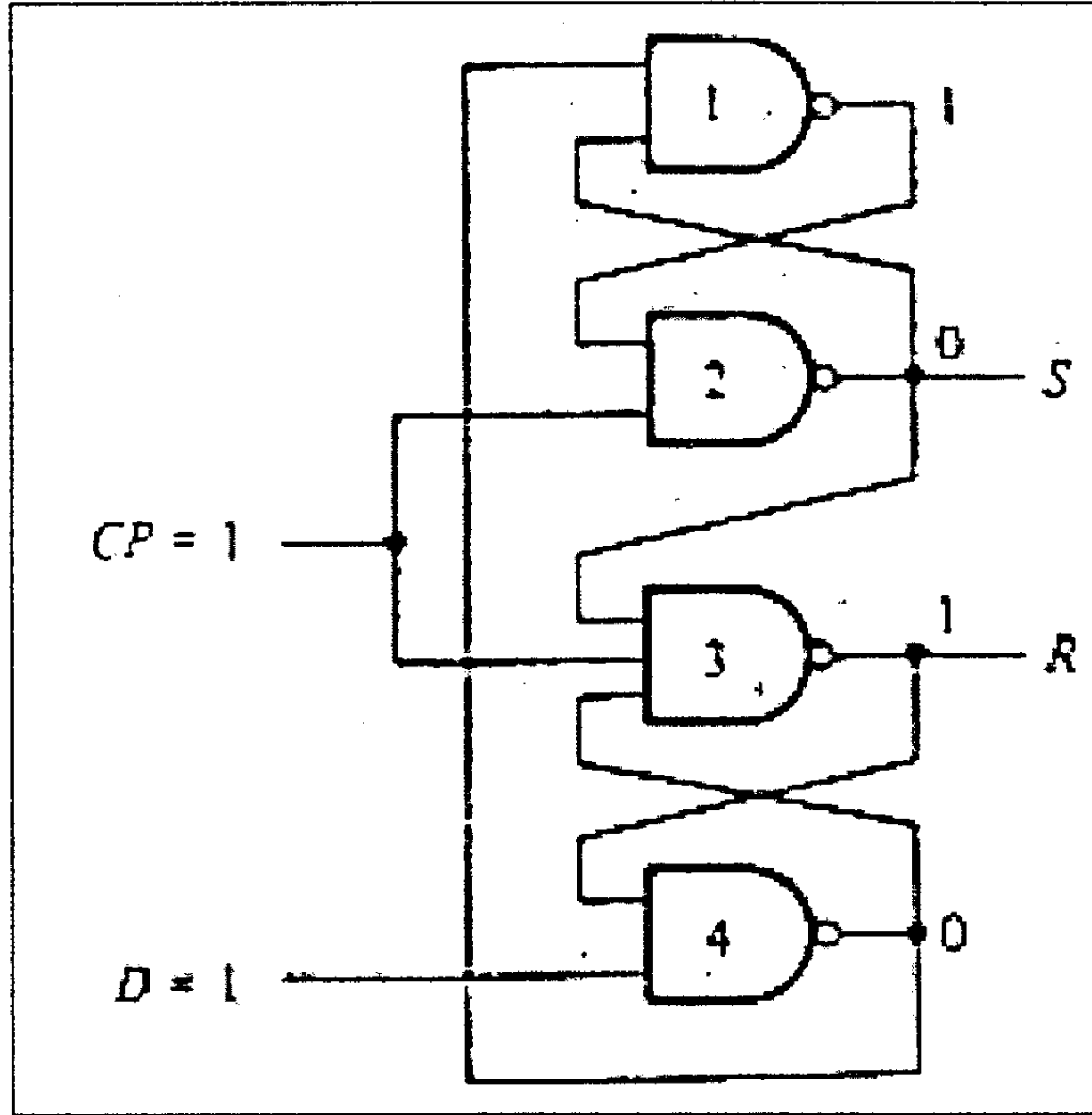
٤. إذا تغيرت قيمة النبضة CLK فأصبحت 1 فسيحدث التالي: خرج 4 يساوي 1، خرج 2 يساوي 1 مما يجبر خرج 3 أن يكون 0 لأن جميع دخول 3، 1، 1،

1. أي أن $S=1$ ، $R=0$ مما يجعل القلاب الثالث يخرج $Q=D_2$ ولو تغيرت قيمة D إلى 1 أثناء $CLK=1$ فإن خرج 4 سيصل 1 لأن $R=0$ وهذا يعني أن القلاب لم تتأثر حالته بعد الحرف الصاعد للنبضة (انظر الرسم ٢)



شكل (٣٠-٥)

٥. إذا تغيرت قيمة النبضة CLK فأصبحت 1 في حالة $D=1$ فسيحدث التالي خرج 2 يساوي 0 مما يجبر خرج 3 أن يكون 1. وبما أن $S=0$ فإن $Q=1$ وهذا لأن $D=1$. ولو تغيرت قيمة D إلى 0 فإن ذلك لن يؤثر على خرج 1 لأن أحد دخلها $S=0$ ، وكذلك R ستظل بـ 1 لأن $S=0$ أيضا وهذا يعني أن القلاب غير حالته في الحرف الصاعد الموجب للنبضة وبذلك تكون تلك الدارة نجحت في محاكاة دارة المكثف والمقاومة.

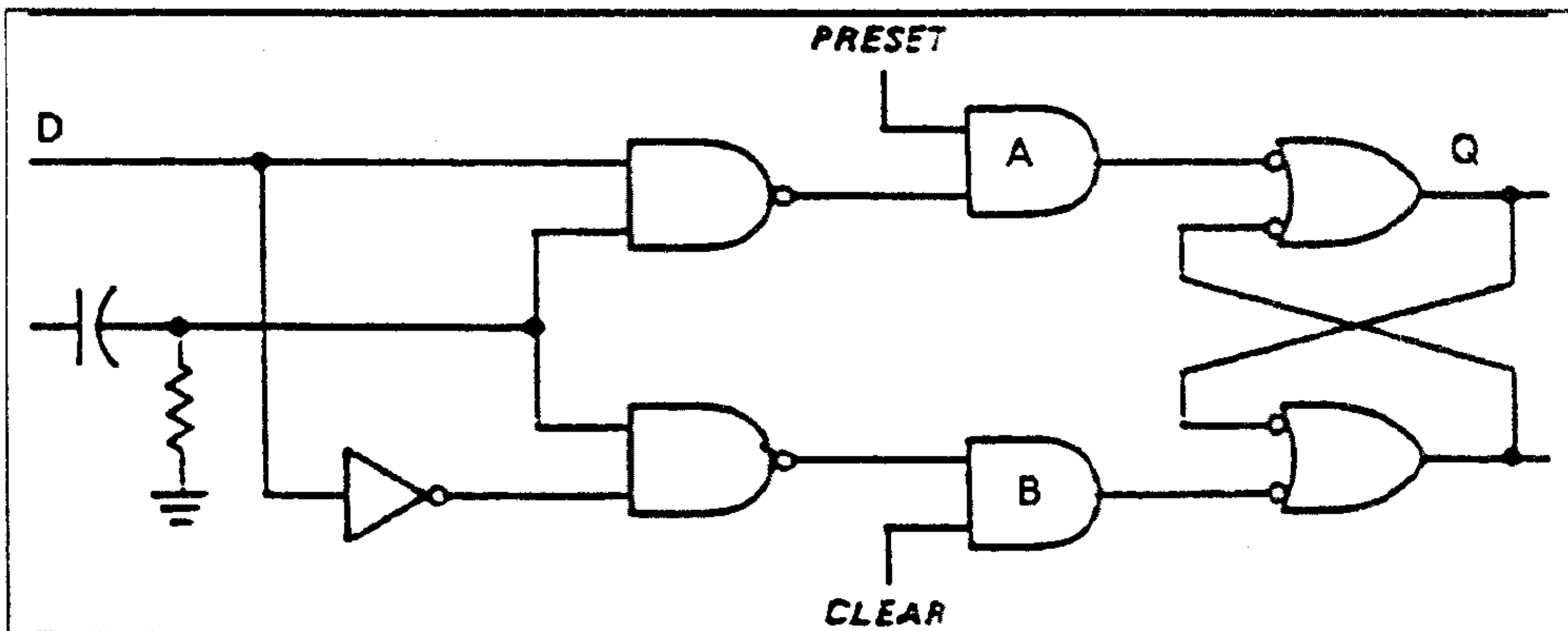


شكل (٥-٣١)

قلاب البيانات بالمعرف والمصفر

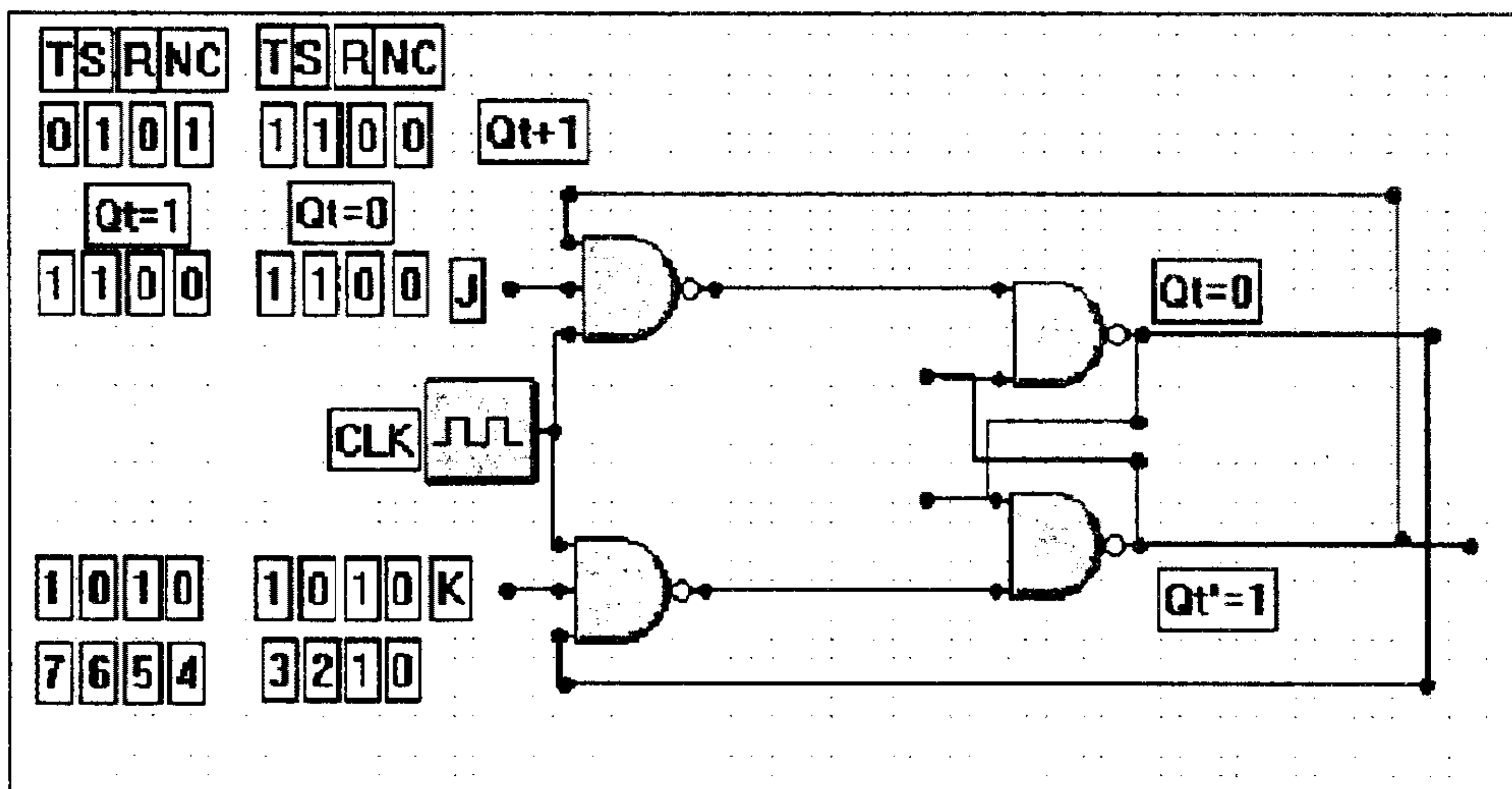
في هذا القلاب تم حشر بوابتين AND والبوابة A أحد مدخلاتها للتعريف Preset والبوابة B أحد مدخلاتها للتصفير Clear فإذا أدخلنا Logic 0 للطرف Preset كان خرج البوابة يساوي Logic 0 أي أن Q ستجبر أن تكون قيمتها Logic 1 بصرف النظر عن قيمة D، CLK. أما إذا أدخلنا 0 للطرف Clear كان خرج البوابة B يساوي Logic 0 مما يجبر Q' أن تجعل قيمتها بـ Logic 1 أي أن $Q = 0$.

وهذا القلاب مفيد جداً في الحاسبات حيث أننا نحتاج أحياناً لإعادة تشغيل الحاسب ونجعل جميع قلاباته خالية $Q = 0$ أو مليئة $Q = 1$ عندئذ نستخدم هذا النوع من القلابات ونربط جميع أطراف التصفير Clear بزر وجميع أطراف التعريف Preset بزر آخر وعمل هذا القلاب واضح في جدولته.



شكل (٥-٣٢)

القلاب JK المتزامن



شكل (٥-٣٣)

كل حالة من حالات K، J نستنتج منها قيمة Q_{t+1} ؛ مرة على فرض أن Q_t السابق = 0،

وأخرى على فرض أن Q_t السابقة = 1

شرح عمل القلاب

تعتمد قيمة Q_{t+1} الجديدة على السابقة Q_t بسبب التغذية الخلفية ولذلك سنستنتج Q_{t+1} مرة بفرض $Q_t = 0$ ، وأخرى $Q_t = 1$. والجدول التالي يوضح طريقة العمل.

CLK	J	K	Q_t	Q_{t+1}	الشرح
1	0	0	0	0	NC = Q_t
1	0	0	1	1	NC = Q_t
1	0	1	0	0	NC
1	0	1	1	0	Reset
1	1	0	0	1	Set
1	1	0	1	1	NC
1	1	1	0	1	Toggle
1	1	1	1	0	Toggle
0	X	X	X	NC	NC

خارج البوابتين A، B 11 مما يعني أن خرج القلاب RS المكون من D، C لن يتغير

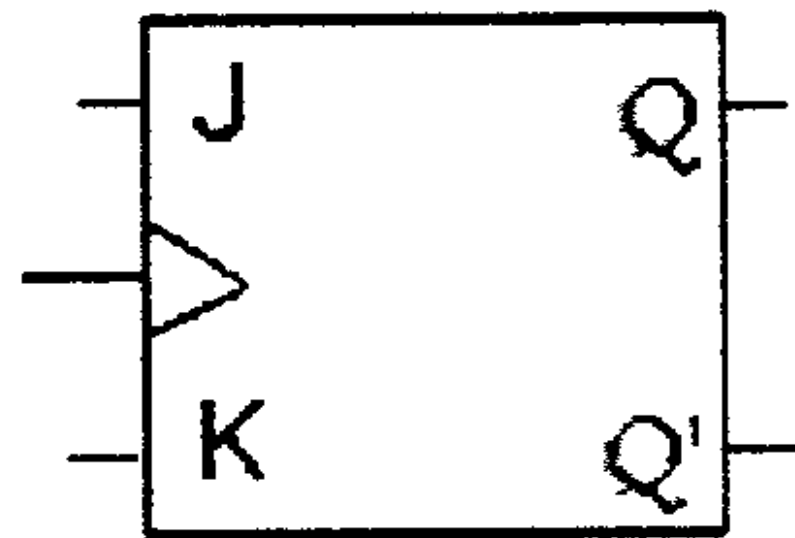
Reset

Set

$Q_{t+1} = \bar{Q}_t$

رمز القلاب

نفس رمز RS باستبدال J بدلاً من S، K بدلاً من R.



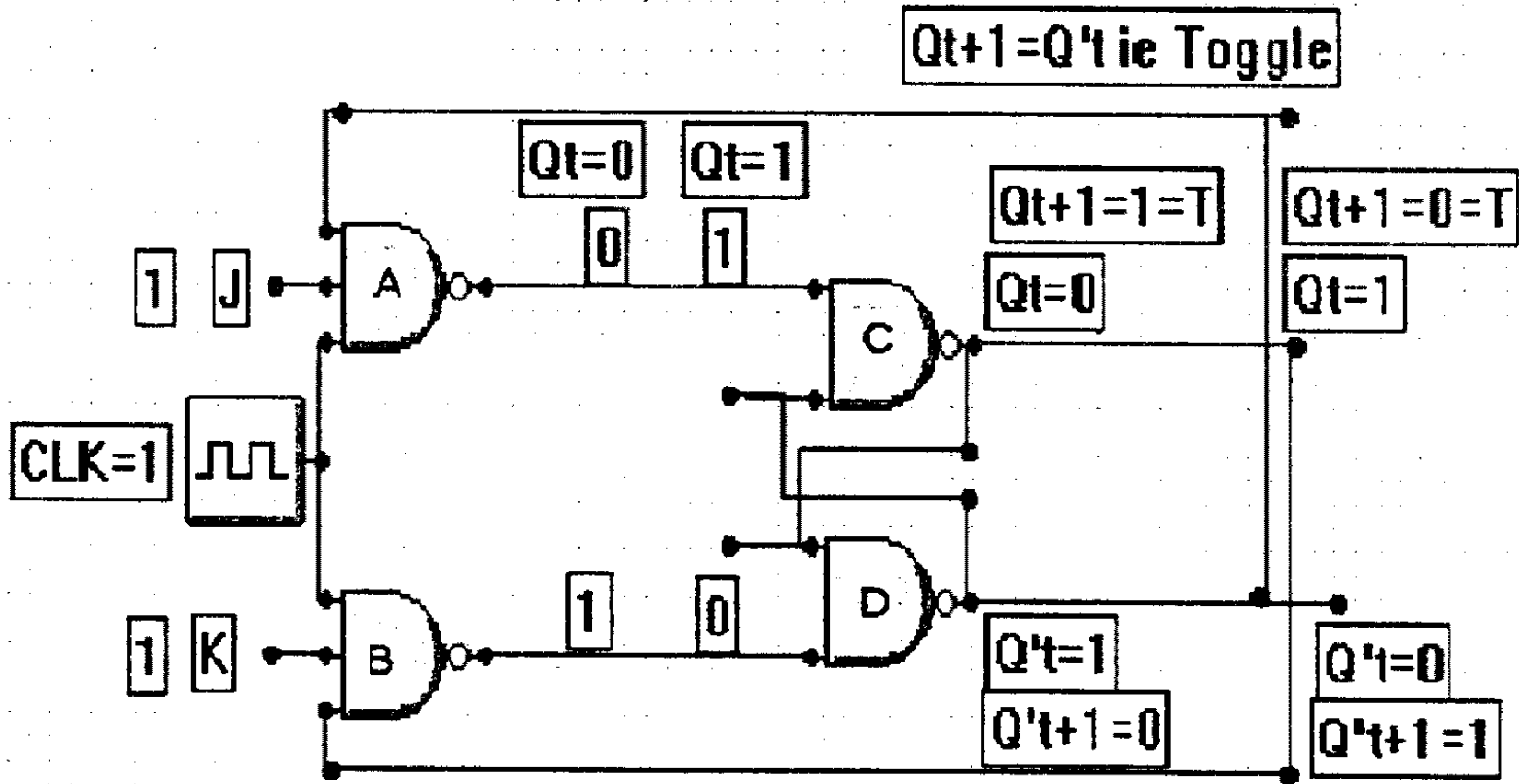
شكل (٥-٣٤)

شرح القلاب JK

من شكل القلاب يتضح لنا ارتباط قيمة خرج القلاب اللحظية على قيمته السابقة حيث أن Q ، \bar{Q} أحد مداخل البوابات. وإليك طريقة عمله:

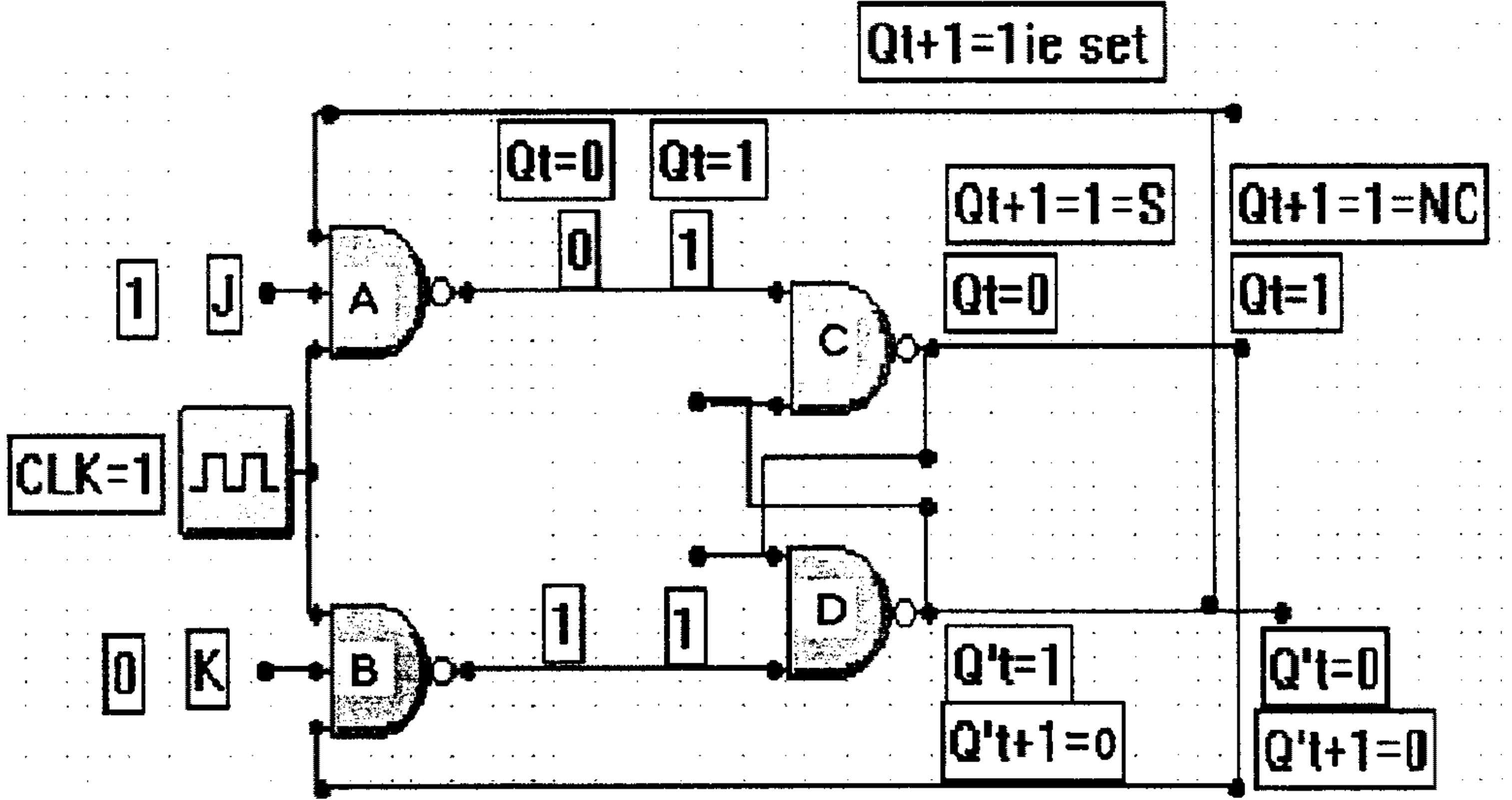
١. في حالة $J=1$ ، $K=1$ ، $Q_t=1$ ، $CLK=1$ ، فإن خرج البوابة $B=0$ لأن جميع مداخلها تساوي $Q_t=CLK=K=1$ مما يجعل خرج البوابة D يساوي 1 أي أن $\bar{Q}=1$ أي أن $Q_{t+1}=0$ أي أن Q_{t+1} الجديدة عكس Q السابقة (الخرج تبدل قيمته من 1 إلى 0).

٢. في حالة $J=1$ ، $K=1$ ، $Q=0$ ، $CLK=1$ فإن خرج البوابة $A=0$ وخرج البوابة $C=1$ لأن أحد دخلها يساوي 0 أي أن Q_{t+1} أصبحت 1 (أي تبدلت قيمتها). أي أن القلاب في حالة $J=K=1$ تتبدل قيمة خرجة عند بداية كل نبضة حسب قيمة Q_t التي تسبق النبضة مباشرة فإذا كانت Q_t قبل النبضة فإنها بعد النبضة تساوي $Q_{t+1}=\bar{Q}_t$.



شكل (٥-٣٥)

٣. في حالة $J=1$ ، $K=0$ ، $Q_t=0$.



شكل (٥-٣٦)

رمز البوابة	خرج البوابة	السبب
A	0	لأن جميع مداخلها $J = CLK = \bar{Q} = 1$
C	1	لأن أحد مداخلها وهو A يساوي 0
B	1	لأن أحد مداخلها بـ 0 وهو Q_t
D	0	لأن مدخله $Q_{t+1}=1, B=1$

الاستنتاج أن $Q_{t+1}=1(set)$

الشروط $J=1$ ، $K=0$ ، $Q_t=1$

رمز البوابة	خرج البوابة	السبب
A	1	لأن جميع مداخلها $\bar{Q}=0$
C	1	لأن خرج $D=0(Q_{t+1})$
B	$Q=1$	لأن $K=0$

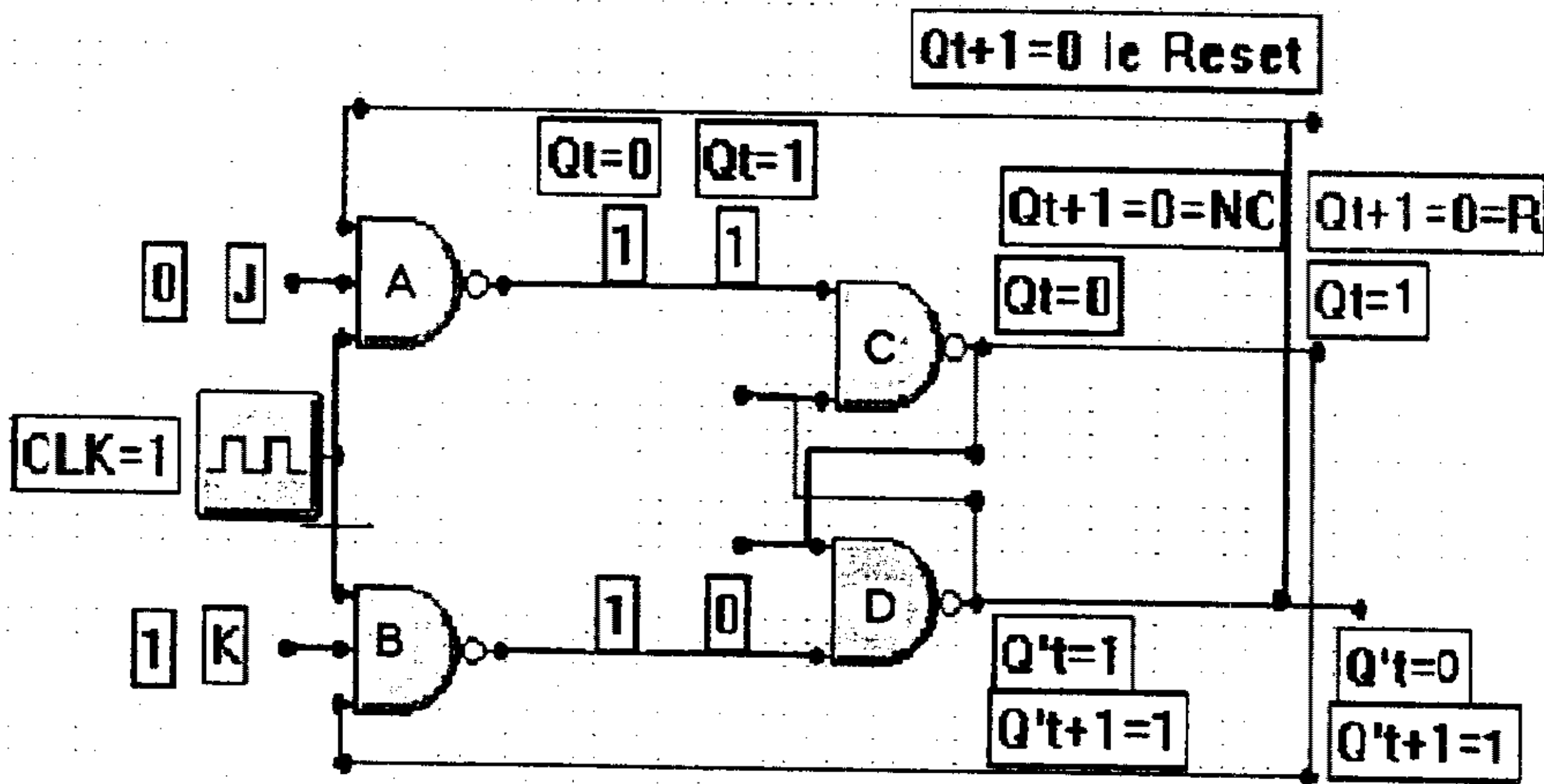
رمز البوابة	خرج البوابة	السبب
D	0	لأن دخلها $(Q_t, B) = 1$

الاستنتاج Q_{t+1} الجديدة $Q_t = 1$

من الجدولين يتضح أن قيمة Q الجديدة تساوي 1 في حالة $J = 1$ ، $K = 0$ بصرف النظر عن قيمة Q_t السابقة.

أي أن $J = 1$ ، $K = 0$ تعمل عمل $S = 1$ ، $R = 0$ Setting دائماً.

٤. في حالة الشروط $J = 0$ ، $K = 1$ ، $Q_t = 0$



شكل (٥-٣٧)

رمز البوابة	خرج البوابة	السبب
A	1	السبب أن $J = 0$
C	0	لأن دخلها (Q'_t, A) ب 1
B	1	لأن $Q = 0$
D	1	لأن $Q_{t+1} = 0$

الاستنتاج Q_{t+1} الجديدة $0 =$ دون تغيير

في حالة الشروط $J = 0$ ، $K = 1$ ، $Q_t = 1$

رمز البوابة	خرج البوابة	السبب
A	1	$J = 0$
C	0	لأن دخلها (Q_{t+1}, A) ب 1
B	0	لأن جميع مدخلها 1
D	1	لأن أحد دخلها تساوي 0 $B = 0$

من الجدولين نستنتج أن قيمة Q_{t+1} الجديدة = 0 في حالة $K = 1$ ، $J = 0$ بصرف النظر عن قيمة Q_t السابقة.

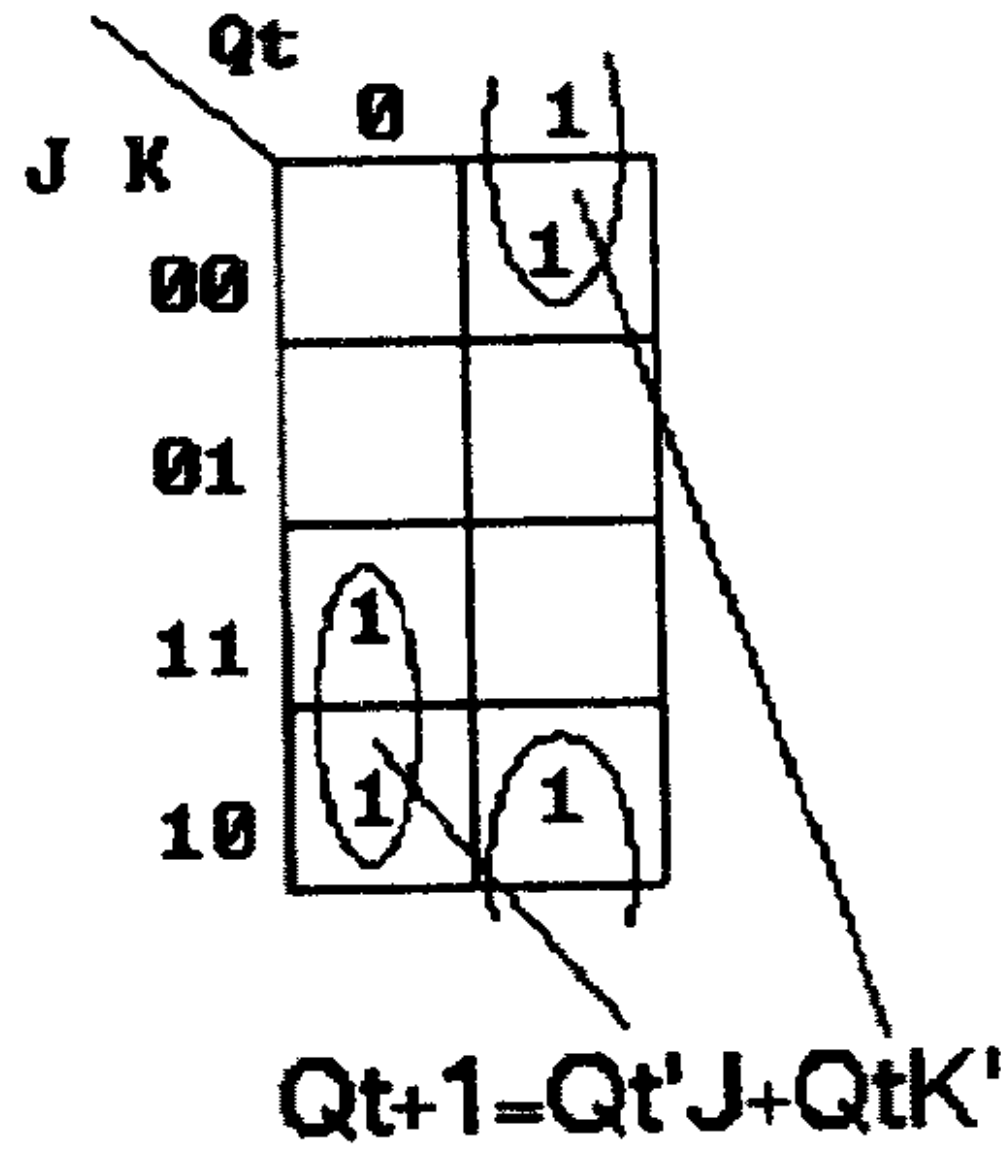
طريقة عمل JK باختصار

- إذا كان $J = 1$ ، $K = 0$ كانت $Q_{t+1} = 1$ ، ولابد، فإن كانت قيمتها السابقة Q_t صفراً تبديلت إلى 1 وإن كانت 1 لم تتغير.
- إذا كان $J = 0$ ، $K = 1$ كانت $Q_{t+1} = 0$ ، ولابد، فإن كان قيمتها السابقة صفراً ظلت كما هي بلا تغيير وإن كانت 1 تغيرت إلى صفراً.
- إذا كان $J = 1$ ، $K = 1$ كانت $Q_{t+1} = \bar{Q}_t$ ، أي أن قيمة الخرج ستتبدل فإن كانت $Q_t = 1$ تغيرت للصفر وإن كانت صفر تغيرت إلى 1.
- إذا كان $J = 0$ ، $K = 0$ كانت $Q_{t+1} = Q_t$ لا يحدث أي تغيير في الخرج.

معادلة القلاب

مثل خرج القلاب Q_{t+1} في خرائط كارنو واستنتج معادلته.

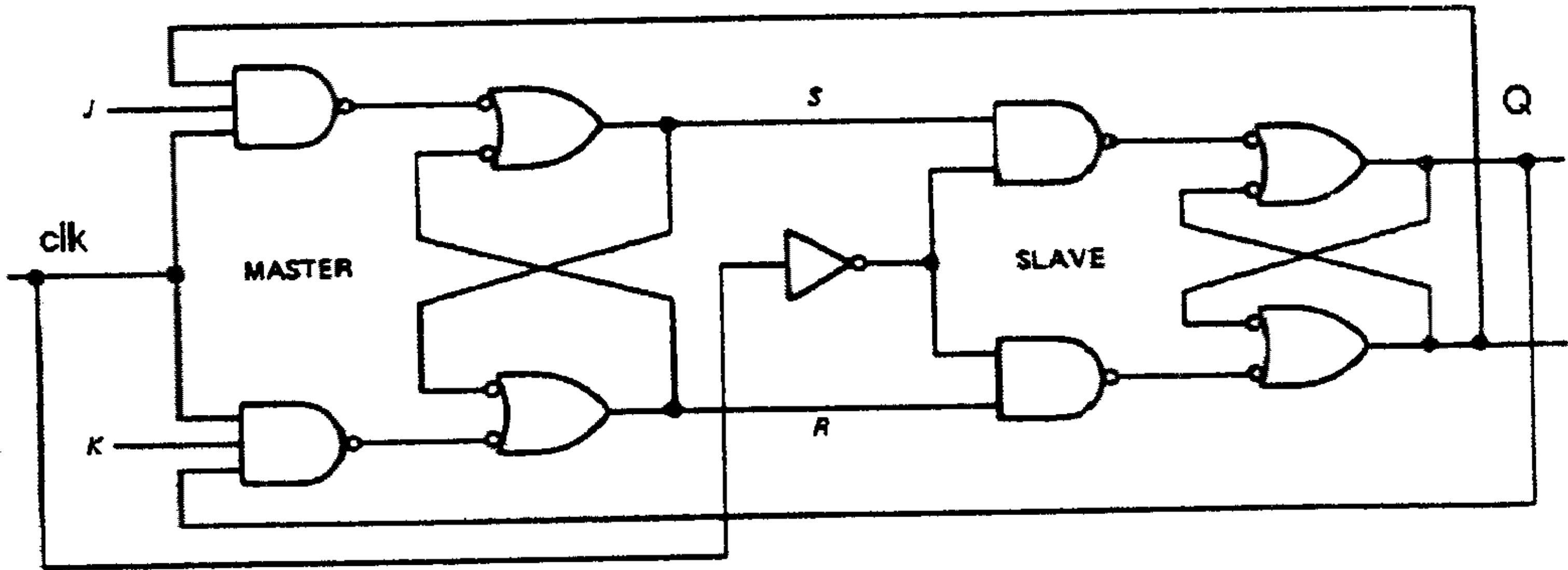
Q_t	J	K	Q_{t+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0



شكل (٥-٣٨)

ملاحظة عامة

نتيجة التوصيل الخلفي في القلاب JK فإننا يجب أن نستخدم النبضة ذات الحرف الصاعد أو النازل لأننا لو استخدمنا النبضة كاملة فإن ذلك سيؤدي إلى تذبذب Q بسرعة كبيرة (ترددات عالية جداً) لأن طول النبضة في حالة CLK عادة ما تكون أكبر من زمن التأخير للقلاب Delay Time وللتغلب على ذلك نستخدم طريقة المؤقت الطرفي Elge Trige أو قلاب قائد مقود حيث أن القلاب القائد سيعمل عملية تثبيت لقيمة أول تبديل Latching. انظر الرسم التالي



شكل (٥-٣٩)

القلاب قائد-مقود Master Slave-Flop

هذا القلاب يتكون من قلابين القلاب القائد وهذا يمكن أن يكون من أي نوع من القلابات السابقة D أو JK أو RS.

والقلاب المقود وهذا دائماً CLK RS والقلاب القائد متصل بالمؤقت CLK والقلاب متصل بنفي المؤقت CLK.

وإليك شرح عمل هذا القلاب:

. عندما تكون $CLK = 1$ فإن القلاب القائد يعمل ويخرج بيانات حسب جدولته إن كان JK أو D أو RS كل حسب جدولته، ولكن هذه البيانات لن تؤثر على القلاب المقود Slave طالما $CLK = 1$ لأن $CLK' = 0$.

. ولكن عندما تصبح $CLK = 1$ تدخل القلاب CLK RS وتؤثر فيه حسب جدولته. وهذه الطريقة مفيدة جداً خاصة في القلاب JK.

١. في حالة $CLK = 1$ ، $J = 1$ ، $K = 1$ ، $Q = 1$ فإن $S = 0$ ، $R = 1$ نتيجة لتحقيق شروط التبادل Toggle.

٢. في حالة استمرار CLK بالقيمة 1 فإن القلاب يقوم بتغيير قيمة بتبديل S ولكنه لن يستطيع لأن قيمة Q مازالت كما هي بـ 1 وبالتالي فإن S ستظل 0 وهكذا طوال فترة $CLK = 1$.

٣. إذا ما أصبحت $CLK = 0$ فإن $CLK' = 1$ وبالتالي ستقوم $S = 0$ ، $R = 1$ بالدخول على القلاب RS CLK فيكون خرج البوابة $A = 1$ وخرج البوابة $B = 0$ مما يجعل $\bar{Q} = 1$ ، $Q = 0$ ، أي أن التبدل قد تم على الخرجين Q، \bar{Q} ولكن بعد فترة من الزمن تساوي نصف دورة (على اعتبار أن المؤقت CLK ذو موجة ذات نسبة $D = 1/2$)، وبذلك تكون قد استطعنا منع حدوث ترددات عالية للـ Q بسبب $CLK = 1$ في حالة التبدل Toggle.

ومن الواضح أن القلاب المقود Slave يتبع القائد Master في كل حالاته فإذا حدث تبدل

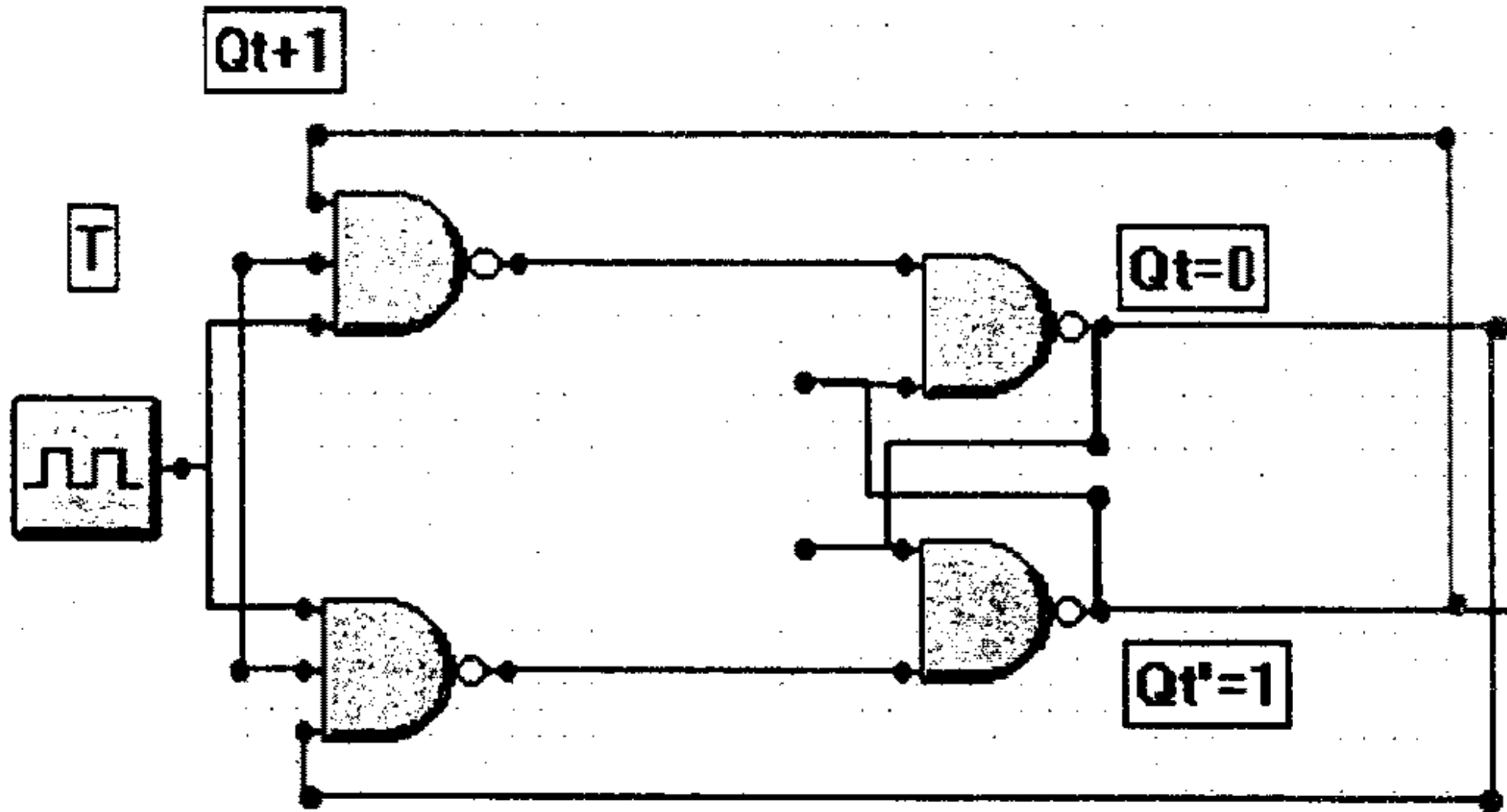
للقائد حدث تبدل للمقود وإذا حدث وضع Set للقائد حدث وضع Set للمقود. وهكذا فهو تابع ولكنه يتأخر عنه نصف دورة بالإضافة لزمن التأخير للقلاب CLK RS.

القلاب T

القلاب T عبارة عن قلاب JK تم استبعاد حالتي Set و Reset منه بضم J، K في دخل واحد هو T فهو لا يعمل إلا في حالتين:

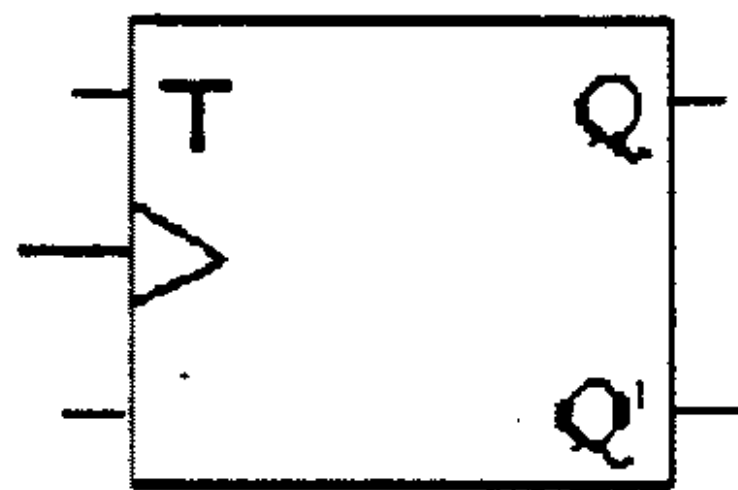
- $T=0$ وهذه لا تؤدي لأي تغير في الخرج.
- $T=1$ تؤدي لتبدل الخرج.

الدائرة المنطقية للقلاب

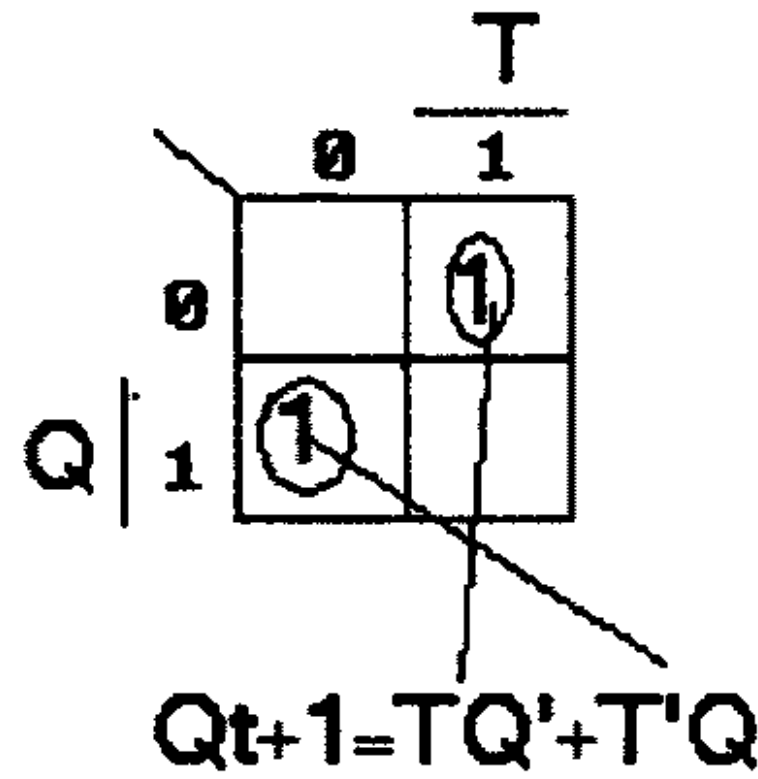


جدول عمل القلاب ورمزه

Q_t	T	Q_{t+1}
0	0	0
0	1	1
1	0	1
1	1	0



معادلة القلاب



جداول إثارة القلابات Excitation Tables

جدول الإثارة يفيدنا في إستنتاج قيم دخل القلاب اللازمة لإنتقال خرج من Q_t إلى Q_{t+1}

جدول إثارة القلاب SR المتزامن

نسأل أنفسنا ما قيمة S, R (مداخل القلاب) التي تجعل (الخرج) $Q_{t+1}=0$ عندما $Q_t=0$

نحصل على هذه النتيجة في حالتين

١- $S=0, R=0$ وهما شرطان لعدم تغير الخرج

٢- $S=0, R=1$ وهما شرطان لحالة RESET

ويمكن صياغة الحالتين كما يل

$$S=0, R=X$$

وبذلك نكون إنتهينا من كتابة السطر الأول من جدول الإثارة وعليك الآن إكماله بنفس

الطريقة

Q_t	Q_{t+1}	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	X

جدول إثارة القلاب JK

Q_t	Q_{t+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

جدول إثارة القلاب D

Q_t	Q_{t+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

جدول إثارة القلاب T

Q_t	Q_{t+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

جداول خصائص القلابات Characteristic Tables

جدول خصائص القلاب SR المتزامن

S	R	Q_{t+1}
0	0	Q_t
0	1	0
1	0	1
1	1	?

جدول خصائص القلاب JK

J	K	Q_{t+1}
0	0	Q_t
0	1	0
1	0	1
1	1	Q'_t

جدول خصائص القلاب D

D	Q_{t+1}
0	0
1	1

جدول خصائص القلاب T

T	Q _{t+1}
0	Q _t
1	Q' _t

تعريفات هامة

زمن تأخير الخرج Propagation Delay Time

هو الزمن اللازم لتغير قيمة الخرج Q بعد وصول النبضة.

زمن الإعداد Setup Time

هو الزمن الذي يجب أن تبقى فيه بيانات مداخل القلاب ثابتة قبل وصول النبضة.

زمن الإمساك Hold Time

هو الزمن الذي يجب أن تبقى فيه بيانات مداخل القلاب ثابتة قبل وصول النبضة. وزمني الإعداد والإمساك لازميين للتأكد من سلامة تخزين البيانات حيث أن الترانزستورات المبني بها الدوائر المتكاملة تأخذ وقتاً في عمليتي التوصيل Saturation والقطع Cut off وهذه الأزمنة تكون معرفة بورقة بيانات Data Sheet كل قلاب ويمكننا التأكد من أن البيانات استقرت هذه المدة بضبط نبضات الساعة حسب ورقة البيانات فمثلاً لو كان وقت الإعداد ووقت الإمساك 10 ns، 15 ns مثلاً فإننا نحتاج لنبضة يكون قبلها القيمة تساوي صفر لمدة 10 ns وبعدها صفر لمدة 15 ns أي أن كل دورة تقريباً أكبر من 25 ns، وذلك لأن البيانات تستقر عندما تكون CLK = 0. انظر جدول قلاب البيانات.

وهناك طريقة أخرى لإمساك البيانات مستقرة طيلة زمن الإمساك وزمن الإعداد وهي استخدام قلابات من النوع قائد-مقود Master-Slave.

اختبر نفسك

- صمم قلاب SR متزامن باستخدام بوابة NOR.
 - صمم قلاب JK متزامن باستخدام بوابة NOR.
 - صمم قلاب D متزامن ذو حافة باستخدام بوابة NOR.
- استنتج جداول للإثارة والخصائص للقلابات التالية:

- قلاب RS.
- قلاب SR.
- قلاب SR متزامن.
- قلاب JK متزامن.
- قلاب T متزامن.
- قلاب D متزامن.

الفصل السادس

6

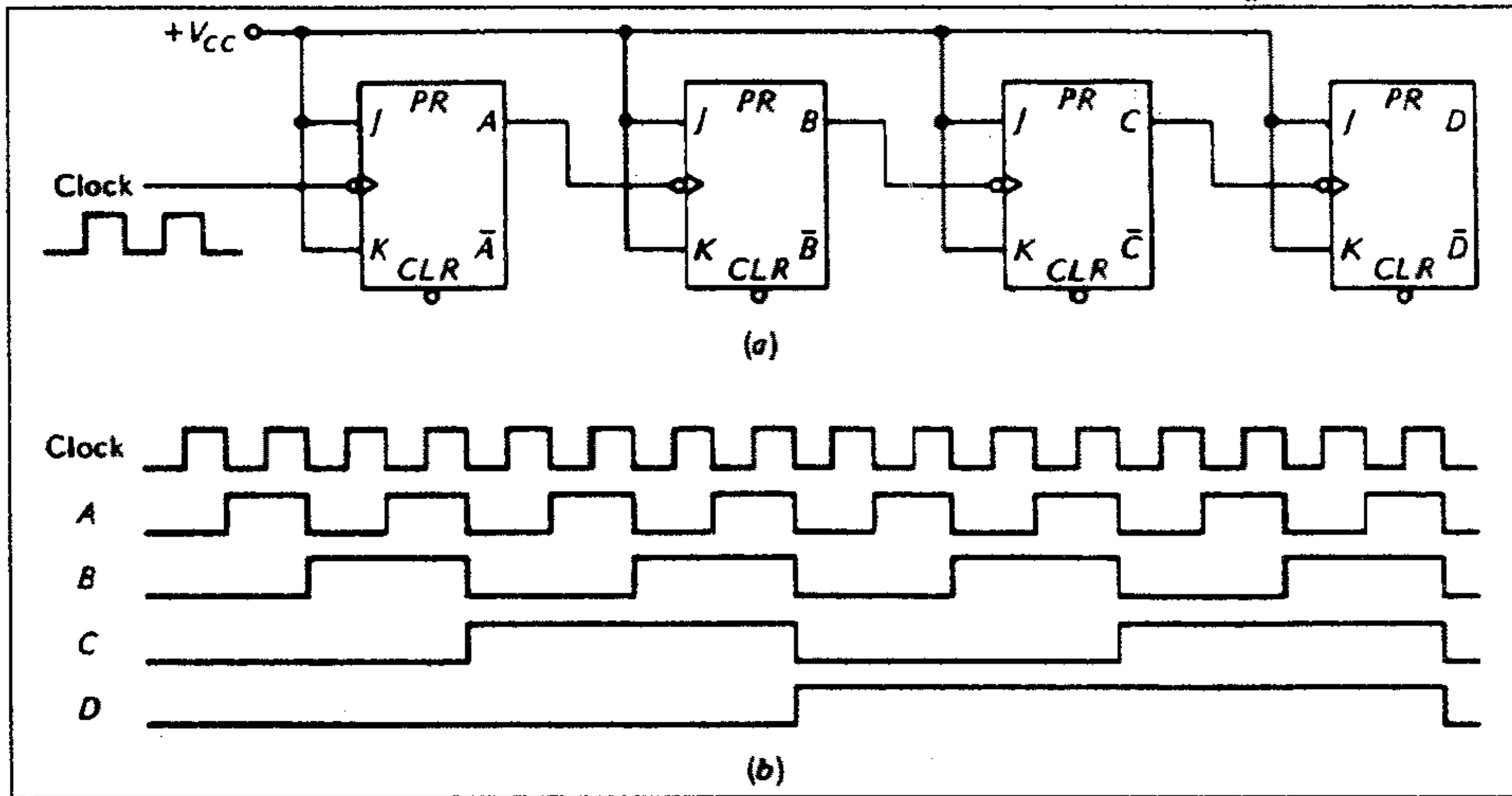
أهداف الفصل

عند الانتهاء من دراسة هذا الفصل يمكنك استيعاب النقاط التالية:

- تكوين العداد الثنائي من القلابات JK.
- فهم المخطط الزمني للعدادات.
- رسم العداد بناءً على مخططه الزمني.
- رسم المخطط الزمني لأي دائرة عداد.
- تصميم جميع طرازات العدادات.
- تصميم العدادات المتوازية المتزامنة.
- تصميم العدادات التوافقية وحالات الشفرة الخاصة بها.
- تصميم العدادات التصاعدية والتنازلية المتوازية.
- تصميم العدادات باستخدام جداول الحالة السابقة والقادمة.

تصميم العدادات

بناء عداد ثنائي 4 خانات 4 Bit Binary Counter



شكل (٦-١)

تركيب العداد

يتكون من ٤ قلابات JK جميع مداخلها متصلة بالمنطق 1 ($+V_{CC}$) وتم توصيل الساعة بالقلاب A بينما القلاب B ساعته A والقلاب C ساعته B والقلاب D ساعته C.

طريقة عمل العداد

بما أن نبضة الساعة يتم نفيها عند دخول القلاب A، إذن التغير في الخرج يحدث عند الحافة الهابطة للساعة Clock؛ فعند أول حافة هابطة للساعة من جهة اليسار يتبدل خرج A من 0 إلى 1، وعند ثاني حافة هابطة للساعة من جهة اليسار يتبدل خرج A من 1 إلى 0. وهكذا تتبدل قيمة A عند كل حافة هابطة، ونلاحظ أن تردد الخرج A نصف تردد الساعة.

وبنفس الطريقة يتغير الخرج B مع كل حافة هابطة للخرج A (ساعة القلاب B)، ونلاحظ أن تردد الخرج B نصف تردد الخرج A، وكذلك تردد الخرج C نصف تردد الخرج B، وبالمثل تردد الخرج D نصف تردد الخرج C.

وبإمعان النظر بالمخطط الزمني لمخارج القلابات بدءاً من جهة اليسار نلاحظ أنه:

- عندما كانت $A = 0$ ، كانت B ، C ، D صفراً، أي $A \ B \ C \ D$
 $0 \ 0 \ 0 \ 0$
- عندما كانت $A = 1$ كانت B ، C ، D صفراً، أي $A \ B \ C \ D$
 $1 \ 0 \ 0 \ 0$
- عندما كانت $A = 0$ كانت $B = 1$ ، $C = D = 0$ أي $A \ B \ C \ D$
 $0 \ 1 \ 0 \ 0$

وهكذا نجد الإشارات تعبر عن الأرقام الثنائية من 0 إلى 15، وذلك لأننا استخدمنا 4 قلابات؛ قلاب لكل خانة ثنائية. فإذا ما أردنا العد حتى 7 استخدمنا 3 قلابات فقط، وإذا ما أردنا العد حتى 3 استخدمنا 2 قلاب فقط، وإذا ما أردنا العد حتى 2^n أي من $0-(n-1)$ استخدمنا n قلاب.

تطبيق عملي

يتوفر العداد 4 Bit Binary Counter في دائرة متكاملة 7493.

ملاحظة هامة

يطلق على هذا النوع من العدادات عدادات غير متزامنة Asynchronoun أو عدادات متموجة Ripple لأن مخارج القلابات تعتمد على بعضها؛ مخرج B لا يتغير إلا بعد زمن من تغير A وهو زمن انتقال الإشارة من دخل القلاب B إلى خرجه.

مثال ٦-١: كم عدد القلابات المطلوبة لبناء:

- عداد طراز 3 (يعد 3 عدات) Mod-3
- عداد طراز 6 (يعد 6 عدات) Mod-6
- عداد طراز 11 (يعد 11 عدة) Mod-11

الحل

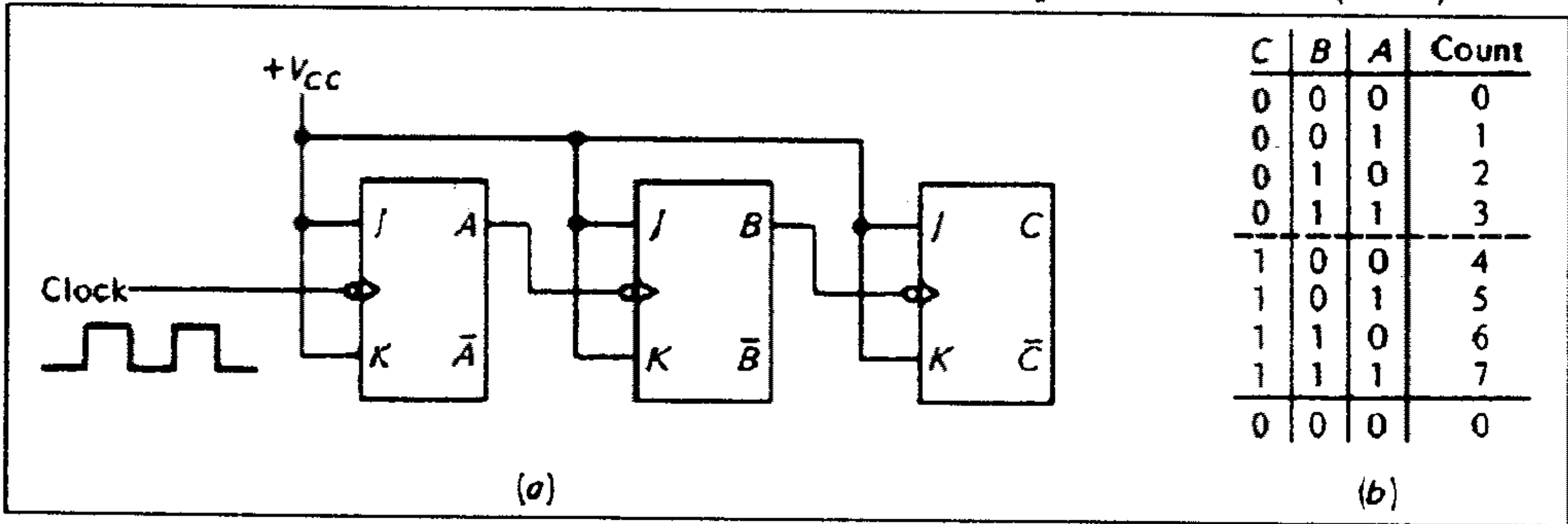
- 2 قلاب قادرين على عد 4 عدات، إذن نحتاج 2 قلاب.
- 6 عدات تحتاج 3 قلابات.
- 11 عدة تحتاج 4 قلابات.

مثال ٦-٢: عند تصميم عداد Mod-7 (بعد سبع عدات)، ما هي احتمالات ترتيب العدد؟

الحل

- إذا أسقطنا العدد 0 يكون الترتيب 1, 2, 3, 4, 5, 6, 7
- إذا أسقطنا العدد 1 يكون الترتيب 0, 2, 3, 4, 5, 6, 7
- إذا أسقطنا العدد 2 يكون الترتيب 0, 1, 3, 4, 5, 6, 7
- إذا أسقطنا العدد 3 يكون الترتيب 0, 1, 2, 4, 5, 6, 7
- إذا أسقطنا العدد 4 يكون الترتيب 0, 1, 2, 3, 5, 6, 7
- إذا أسقطنا العدد 5 يكون الترتيب 0, 1, 2, 3, 4, 6, 7
- إذا أسقطنا العدد 6 يكون الترتيب 0, 1, 2, 3, 4, 5, 7
- إذا أسقطنا العدد 7 يكون الترتيب 0, 1, 2, 3, 4, 5, 6

الشكل (٦-٢) يمثل عداد ثنائي ٣ خانات Mod-8.



شكل (٦-٢)

مثال ٦-٣: عند تصميم عداد Mod-6، ما هي احتمالات ترتيب العدد؟

الحل

- إذا أسقطنا العدد 0 ثم العدد 1 يكون الترتيب 2, 3, 4, 5, 6, 7
- إذا أسقطنا العدد 0 ثم العدد 2 يكون الترتيب 1, 3, 4, 5, 6, 7

إذا أسقطنا العدد 0 ثم العدد 3 يكون الترتيب 1, 2, 4, 5, 6, 7
وهكذا نحصل على 7 ترتيبات.

• إذا أسقطنا العدد 1 ثم العدد 0 نحصل على الترتيب رقم 1 مكرر.

إذا أسقطنا العدد 1 ثم العدد 2

وهكذا نحصل على 6 ترتيبات

• إذا أسقطنا العدد 2 ثم العدد 0 نحصل على ترتيب مكرر.

إذا أسقطنا العدد 2 ثم العدد 1 نحصل على ترتيب مكرر.

إذا أسقطنا العدد 2 ثم العدد 3 نحصل على ترتيب جديد 0, 1, 4, 5, 6, 7

وهكذا نحصل على 5 ترتيبات أخرى.

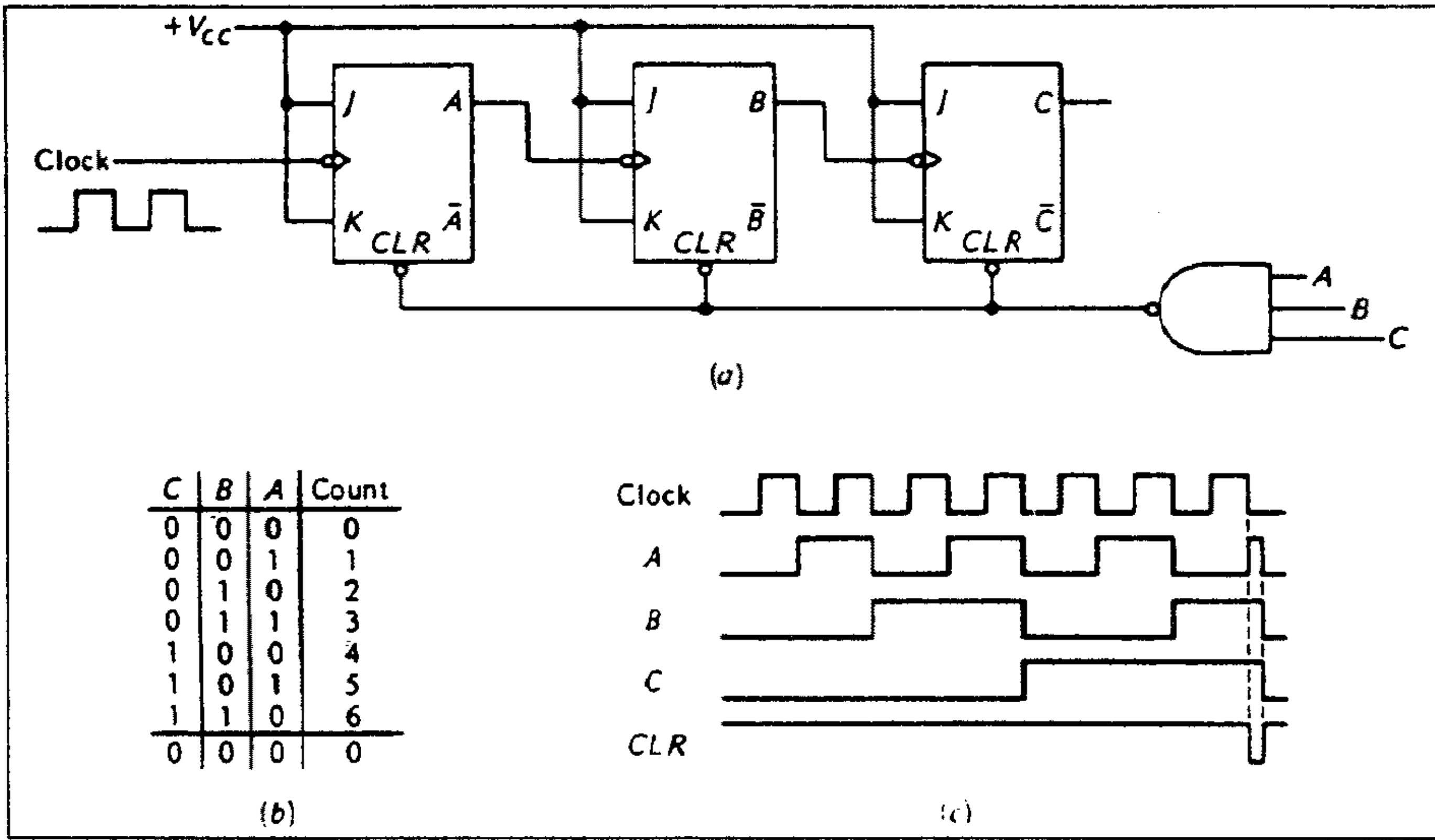
وبناء على ذلك يكون عدد الترتيبات المحتملة 28 وهي مجموع مجموعات الاحتمالات

$$7 + 6 + 5 + 4 + 3 + 2 + 1$$

مثال ٦-٤: صمم عداد ثنائي Mod-7 أي بعد ٧ عدات من 0 إلى 6

الحل

المطلوب الآن تصغير العداد عند بداية الرقم 7 $ABC = (111)$ ، إذن نوصل مخارج القلابات بمداخل بوابة NAND، خرجها متصل بمصغرات القلابات CLR، بحيث إذا أصبح خرج القلابات 111 كان خرج NAND 0 (معلوم أن البوابة NAND تخرج 1 إذا كان أحد أو كل مداخلها بـ 0)، والذي بدوره ينفي عند مداخل CLR فيصبح 1 فيتم إجبار القلابات على الوضع 0 صفر.



شكل (٦-٣)

ملاحظات

- يجب ترتيب A، B، C كما بالجدول 6 لأن A تعبر عن الخانة الأقل وزناً تليها B ثم C بعكس ترتيب القلابات.
- في المخطط الزمني C عندما أصبحت $A = B = C = 1$ نزلت CLR (خرج NAND) صفراً ثم تم نفيها عند كل بوابة فصغرت مخارج القلابات $A = B = C = 0$.
- يطلق على هذه الطريقة التصميم باستخدام التغذية الخلفية حيث يتم إعادة تسمية CLR لكل قلاب بناتج NAND (دائرة منطقية) مداخلها تمثل مخارج القلابات.

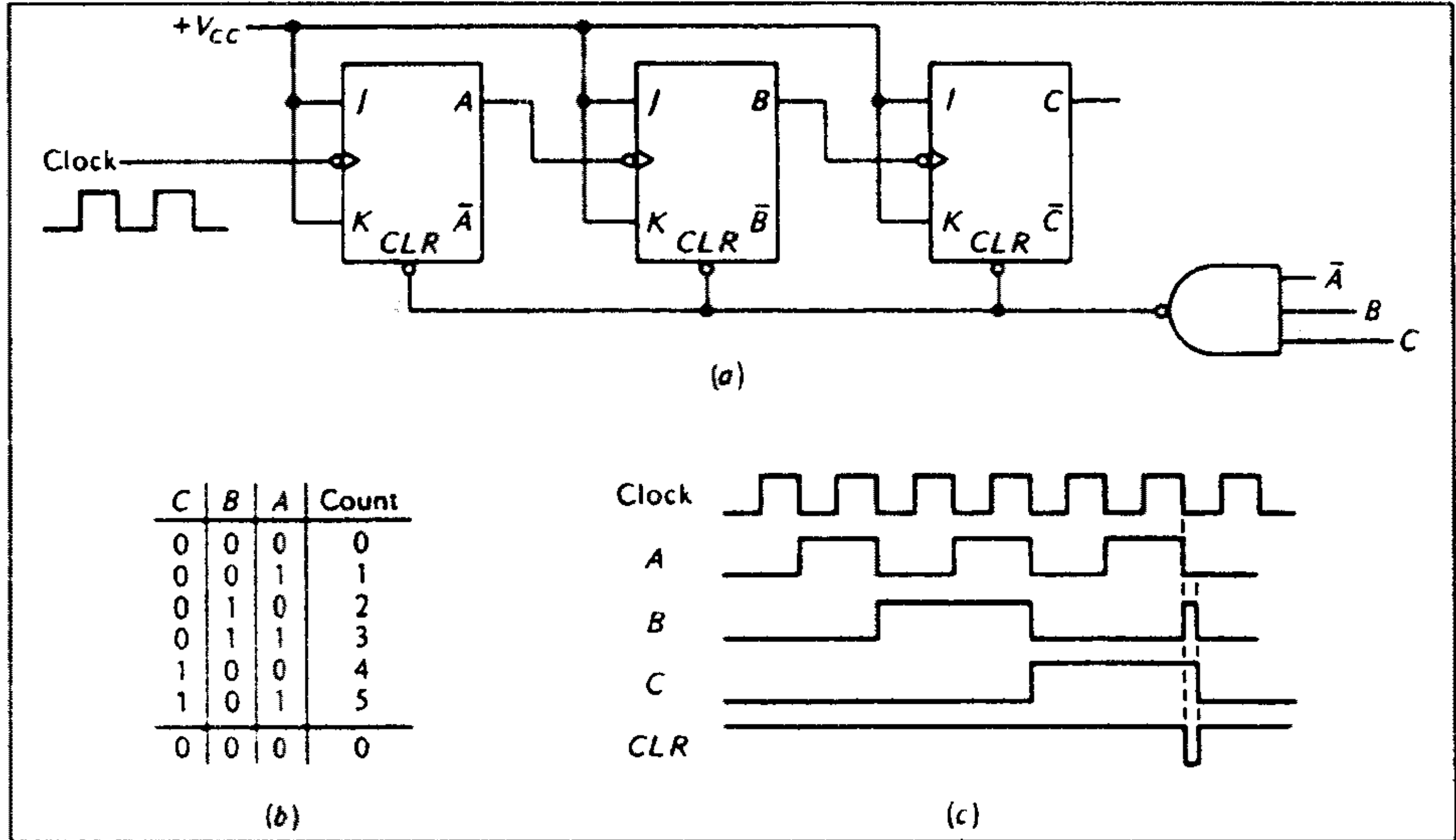
مثال ٦-٥: صمم عداد متموج طراز 6 Mod-6 باستخدام التغذية الخلفية.

الحل

المطلوب العد من 0 حتى 5، وعند العدد 6 يتم تصغير العداد مرة أخرى.

العدد $\overline{CBA} = 110$

إذن كي نجعل CLR (خرج NAND) يساوي 0 عند العدد 6، نجعل مداخل \overline{CBA} أكرر في المخطط الزمني CLR تعبر عن خرج NAND التي سيتم نفيها عند مدخل كل قلاب.



شكل (٦-٤)

تصميم العدادات المتوازية المتزامنة

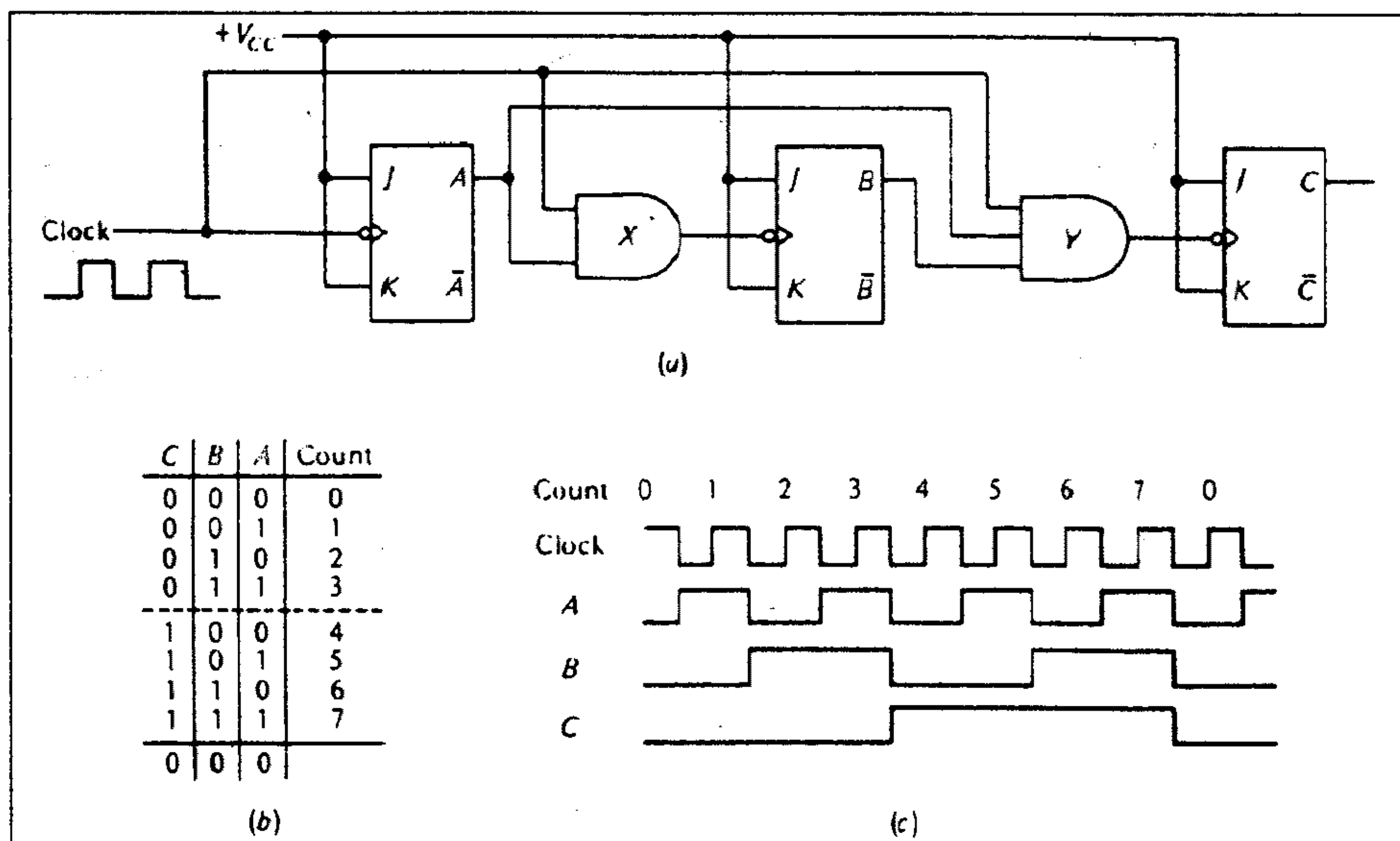
إن بناء العدادات المتموجة (غير المتوازنة) سهل وبسيط إلا أنها تستغرق وقتاً يساوي مجموع التأخير الزمني للقلابات فكل قلاب يستغرق وقتاً لتغيير قيمة خرجة الذي يتحكم في القلاب التالي (حيث خرج القلاب يعمل كساعة للقلاب الذي يليه). ولذا كانت الحاجة لعدادات تتغير جميع مخارجها مؤقت واحد أي وفق الساعة التي تغذي القلاب الأول لأن خرج القلاب A ساعته متأخرة زمنياً وخرج القلاب B ساعته متأخرة زمنياً وهكذا.

العداد المتزامن Mod-8

يتكون من ٣ قلابات SR تعمل في وضع التبديل Toggle أي أن جميع مداخلها متصلة

بمنطق 1:

- تم وصل الخرج والساعة CLK بالبوابة AND X ذات الخرج المغذي لساعة القلاب B، وبذلك لن تخرج X القيمة 1 إلا إذا كانت $A = 1$ ، $CLK = 1$ عند الحالة الهابطة، وبذلك لن يؤثر تأخر A حيث ستنتظر نبضة الساعة الرئيسية.
- وكذلك تم وصل خرجي A، B مع الساعة بالبوابة AND Y ذات الخرج المغذي لساعة القلاب C بحيث لن تخرج Y القيمة 1 إلا عندما تكون $A = B = 1$ ، $CLK = 1$ عند الحافة الهابطة وبذلك صممنا أن جميع المخارج A، B، C متوافقين تماما مع الساعة CLK.



شكل (٦-٥)

مثال ٦-٦: صمم عداد متزامن Mod-7.

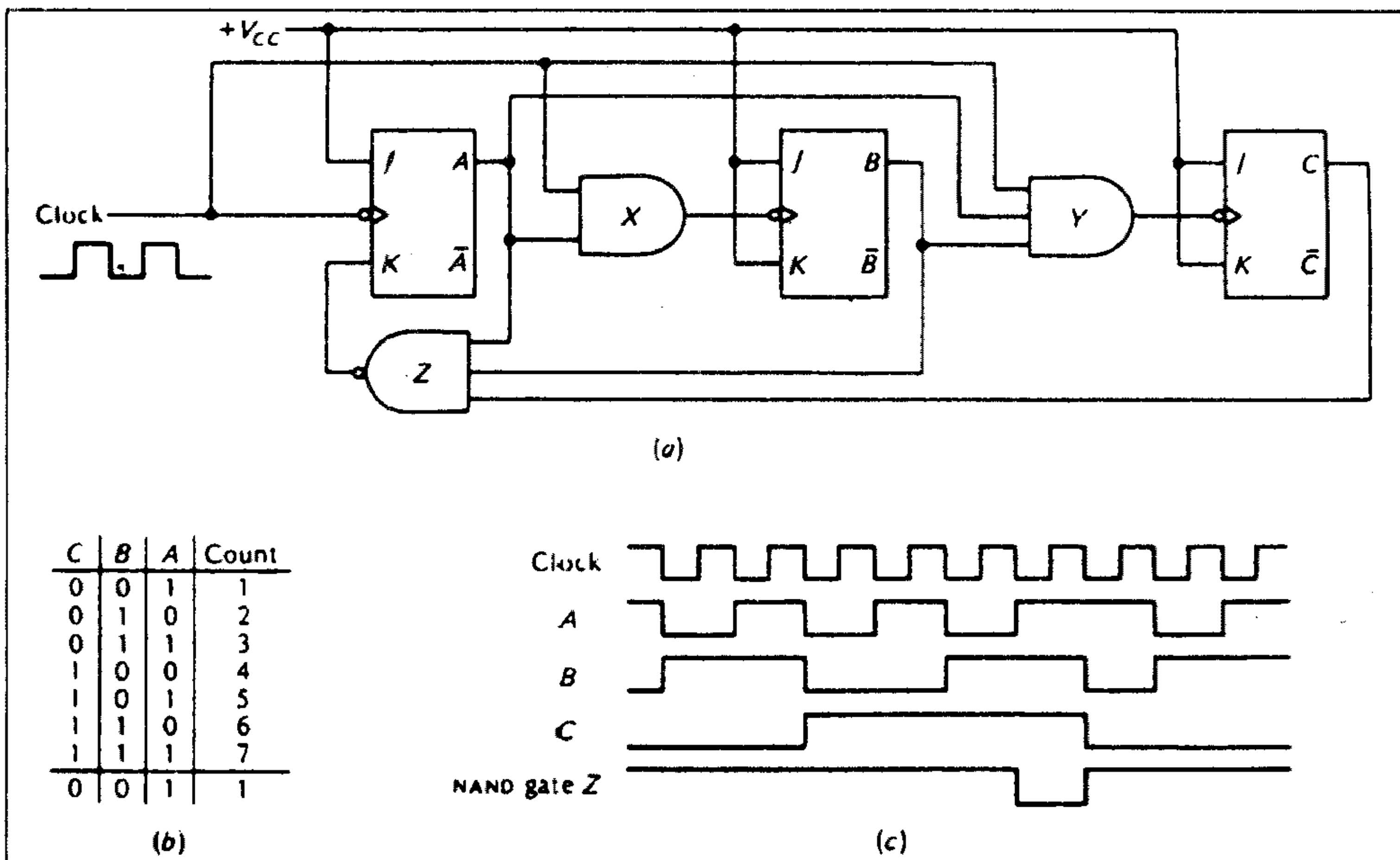
الحل

في العداد المتزامن Mod-8 عندما يصل الخارج للعدد 7 أي $A = B = C = 1$ تتبدل جميع القلابات وتتحول للصفر وتبدأ العد من جديد.

فن تصميم الدوائر الرقمية

فإذا ما استطعنا أن نمنع القلاب A من التبدل، أي جعلنا يلتزم الوضع Set عند تحقق $A = B = C = 1$ ، فإن القيمة التي بعد 7 ستصبح 001 أي $\overline{C}\overline{B}A$. وقد تم لنا ذلك بتوصيل جميع المخارج على البوابة $NAND Z$ المتصلة بمدخل K للقلاب A بعد أن فصلنا K عن المنطق 1.

المخطط الزمني بالشكل (٦-٦).



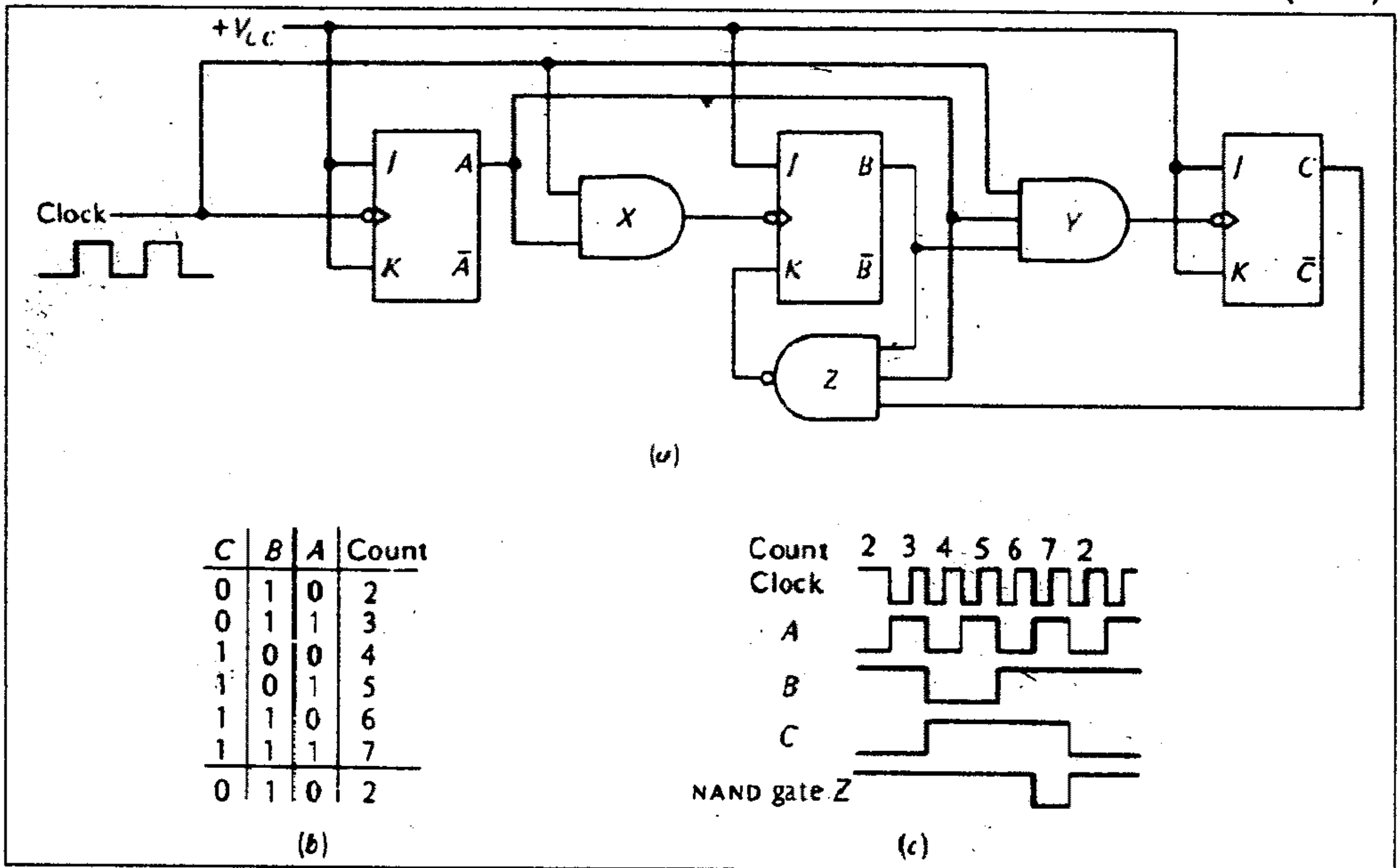
شکل (۶-۶)

يبدأ العد من الوضع $A=1$ ، $B=0$ ، $C=0$ وبناء عليه ستتبدل قيمة B عند الحافة الهابطة للساعة وللخرج A ثم تتغير C عندما يكون خرج Y AND بواحد كل ذلك بشرط $K=1$ وهذا يتحقق طالما أن أحد مداخلها بصفر، وعندما يصبح Z NAND بواحد تصبح $K=0$ ، $J=1$ طبعاً (دائماً) فتصبح A في الوضع Set.

مثال ٦-٧: صمم دائرة عداد متزامن Mod-6.

الحل

هذا العداد يتكون من ٣ قلابات وسيعد من 2 إلى 7؛ أي أننا يجب تصميم دائرة تجبر القلاب B ألا يصغر أبداً لأن بداية العد تبدأ من 2 أي 010 أي $\bar{C}B\bar{A}$ ، كما بالشكل (٦-٧).



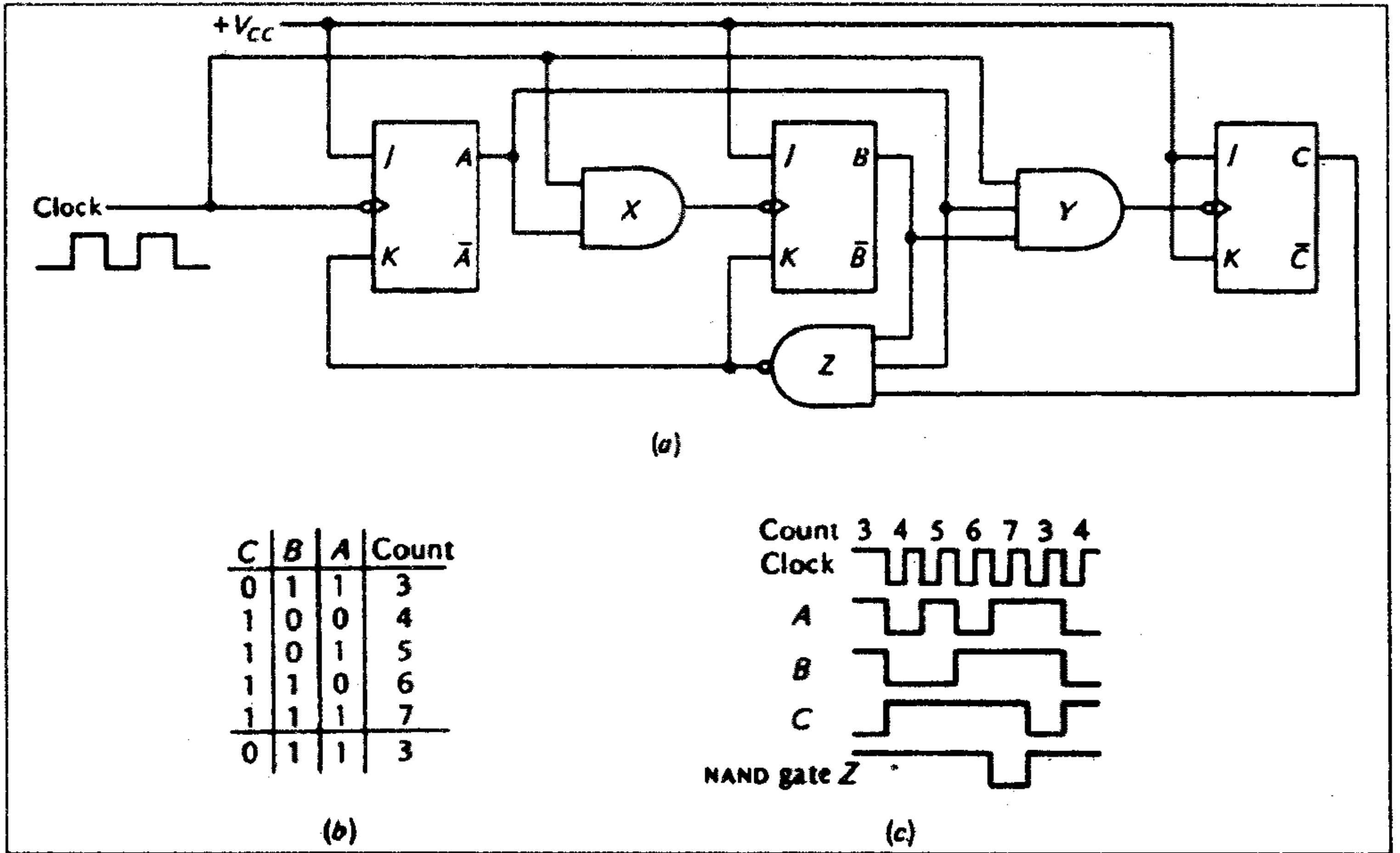
شكل (٦-٧)

حيث يتم توصيل خرج NAND Z بمدخل K للقلاب لإجباره على الوضع Set.

مثال ٦-٨: صمم دائرة عدد متزامن Mod-5.

الحل

هذا العداد يعد 5 عدات من 3 إلى 7. وهنا سنوصل خرج NAND Z على مدخل K للقلاب A ومدخل K للقلاب B لإجبارهم للعد من الرقم 3 أي 011 أي $\bar{C}B\bar{A}$ ، كما بالشكل (٦-٨).



شكل (٦-٨)

العدادات التوفيقية

هذا النوع من العدادات لا هي متوازية ولا هي تسلسلية، ولكنها تمتاز بقلة عدد بواباتها المنطقية حيث يتم تصميمها حسب المخطط الزمني المطلوب.

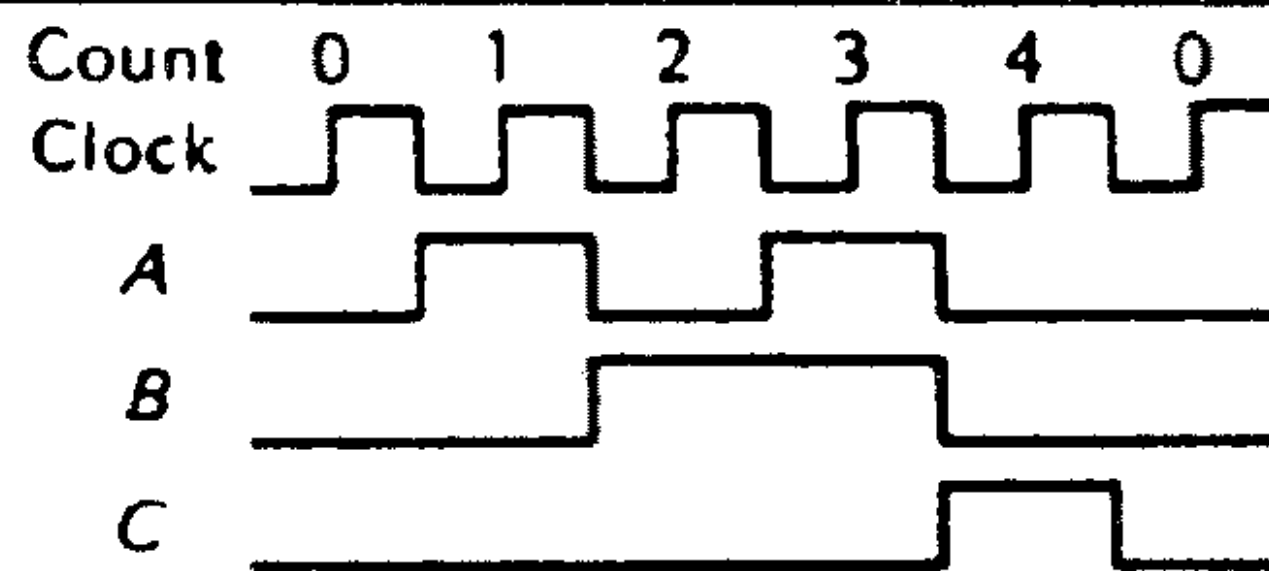
مثال ٦-٩: صمم عداد Mod-5 توافقي.

الحل

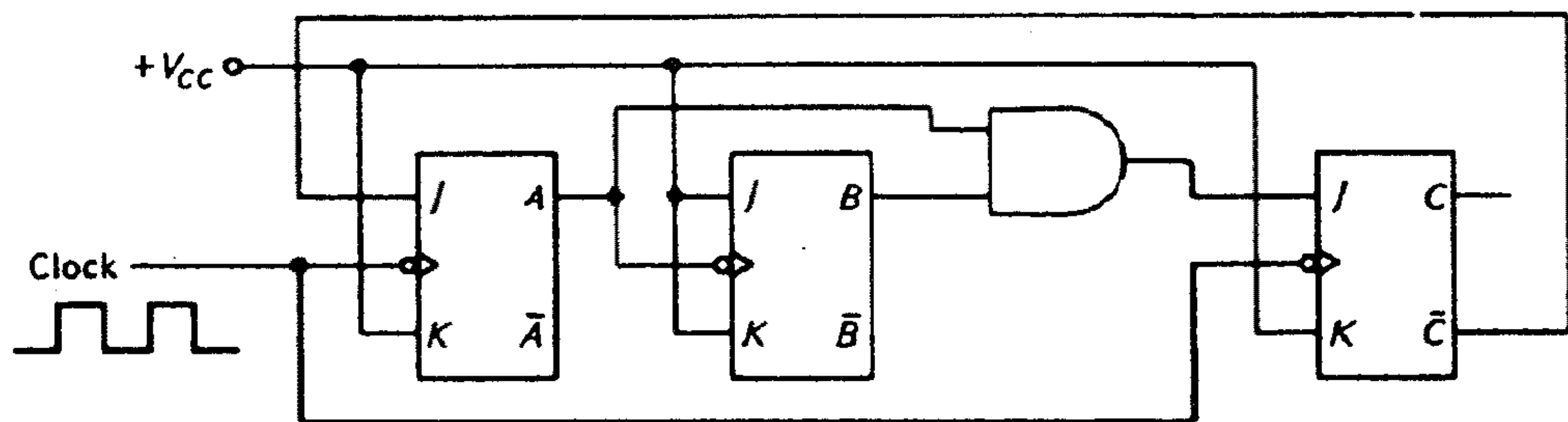
هذا العداد سيعد من 0 إلى 9 كما بالجدول، وبالتالي سيصبح مخططه الزمني كما بالشكل (٦-٩).

C	B	A	Count
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
0	0	0	0

(d)



(b)



(c)

شكل (٦-٩)

بإمعان النظر للمخطط الزمني:

- نجد A يتغير عند كل حافة هابطة للساعة، وبالتالي يجب توصيل دخله في وضع التبديل دائماً وتوصيله بالساعة مباشرة.
- نجد B يتغير عند تغير A ولذلك سنجعل A ساعة B.
- ونجد C يتغير خرجة عند تغير A، B؛ فتم توصيل A، B على AND وجعل خرج البداية AND مدخل S.
- ونجد أن جميع المخارج تصبح صفر بعد أن تصبح $C=1$ ، ولذا يجب ربط C بمدخل للقلاب A لتصغيره جبراً، وعندها سيصبح ساعة القلاب $B=0$ لأنها عبارة عن خرج A مما يعني أن القلاب B لن يتغير خرجة عن القيمة السابقة (التي كان عليها عندما كان $C=1$ وهي صفر). وبالتالي يصبح خرج البوابة AND صفر فيتم تصغير القلاب C.

أخطاء العدادات التوافقية

في المثال السابق يبدأ العد من 0 إلى 4، أي أنه تم استبعاد العدات 5، 6، 7. لذا فإنه عند توصيل الكهرباء بالدائرة قد يبدأ العداد من عدد مستبعد 5 أو 6 أو 7، فعندئذ يعمل أخطاء في ترتيب الأعداد.

افرض أن العداد Mod-5 في المثال السابق بدأ من الرقم 5 ($C=1, B=0, A=1$) عند الحافة الهابطة، نجد أن \bar{C} صفر أي أن $A=0$ ، وبالتالي القلاب B سيتبدل $B=1$ ، ونجد أن خرج البوابة AND يصبح 0 أي أن $C=0$ (010)، أي أن العداد انتقل من الوضع 5 إلى الوضع 2.

وإذا بدأ العد من الوضع 6 $BC\bar{A}$ ، نجد أن $C=0$ ، أي أن A ستظل بصفر \bar{A} ، B ستظل كما هي B، C ستصبح صفراً \bar{C} ليصبح العداد في الوضع $\bar{C}B\bar{A}$ أي العدد 2، أي أن العداد انتقل في خطوة واحدة من 6 إلى 2.

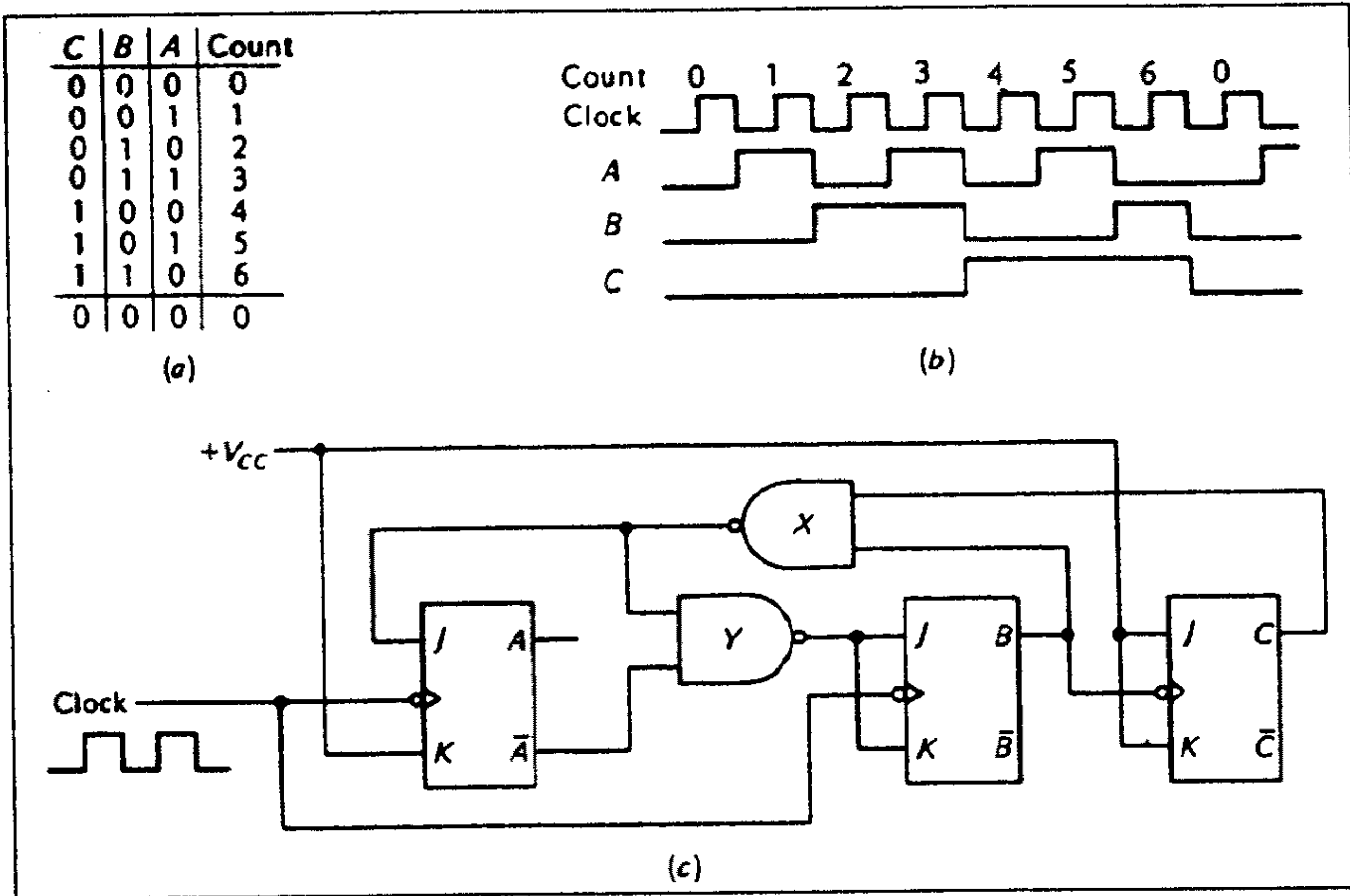
أما إذا بدأ العد من 7 CBA ، نجد أن $C=0$ ، أي أن A ستصبح \bar{A} وبالتالي B ستتبدل \bar{B} ، C ستصبح 0، إذن العداد سينتقل للوضع $\bar{C}\bar{B}\bar{A}$ أي 0 ويطلق على العدات التي تبدأ من 5، 6، 7 حالات غير قانونية (ممنوعة).

مثال ٦-١٠: صمم عداد توافقي Mod-7.

الحل

أي أن العداد سيعد من 0 إلى 6 واستبعدنا العدة 7.

نرسم المخطط الزمني كما بالشكل (٦-١٠).



شكل (٦-١٠)

وبفحص المخطط نجد أن C تتغير عند كل تغيير في B (الحافة الهابطة)، لذا سنجعل B كساعة القلاب C.

نجد أن B تتغير عند كل تغيير لـ A وللساعة وعند الانتقال من العدد 6 إلى 0 (أي عند $B=C=1$) عند الحافة الهابطة، وهذا الشرط تم تمثيله بـ NAND Y دخلها \bar{A} ، NAND X، وتم وصل J_B ، $Look_B$ ووصل القلاب B بالساعة مباشرة.

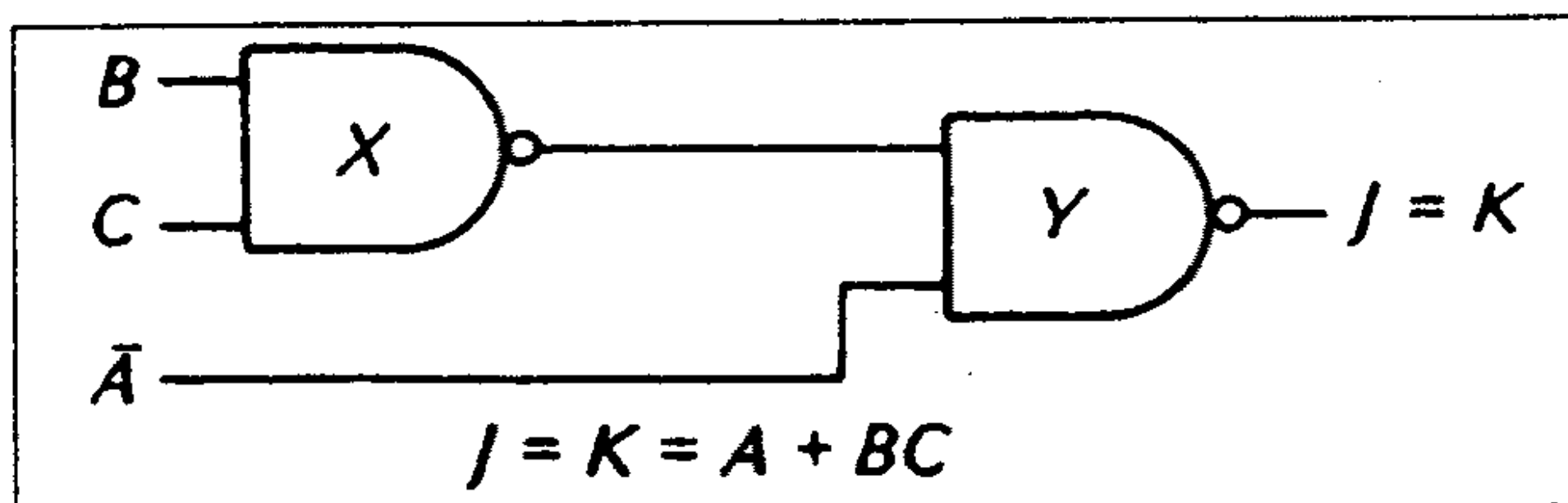
نجد أن A يجب تصغيره عند الانتقال من 6 إلى صفر فيجب ربط J للقلاب A بخرج NAND X.

$$\overline{\overline{BCA}} = J = K$$

$$\overline{\overline{BC}} + \overline{\overline{A}} = J = K$$

$$BC + A = J = K$$

انظر الشكل (٦-١١).



شكل (١١-٦)

ملاحظة العداد Mod-7 لها حالة ممنوعة وحيدة وهي العدة 7 CBA. عند البدء منها (7)، بما أن $B = C = 1$ فإن خرج NAND X صفر، إذن $A = 0$ ، وبالتالي NAND Y يصبح 1 أن B ستتبدل وتصبح $B = 0$. وبما أن القلاب C يتبدل عندما تصبح $B = 0$ ، فإن $C = 0$ ، أي أن العداد سينتقل للوضع 0، وهو وضع مقبول ويستمر في العد بصورة صحيحة.

أي أن العداد Mod-7 لا يعاني من أخطاء مهما بدأ من أي عدد.

مثال ١١-٦: صمم عداد توافقي Mod-10 عداد عشري Decod Counter.

الحل

العداد سيعد من 0 إلى 9، إذن نحتاج لأربع قلابات DCBA.

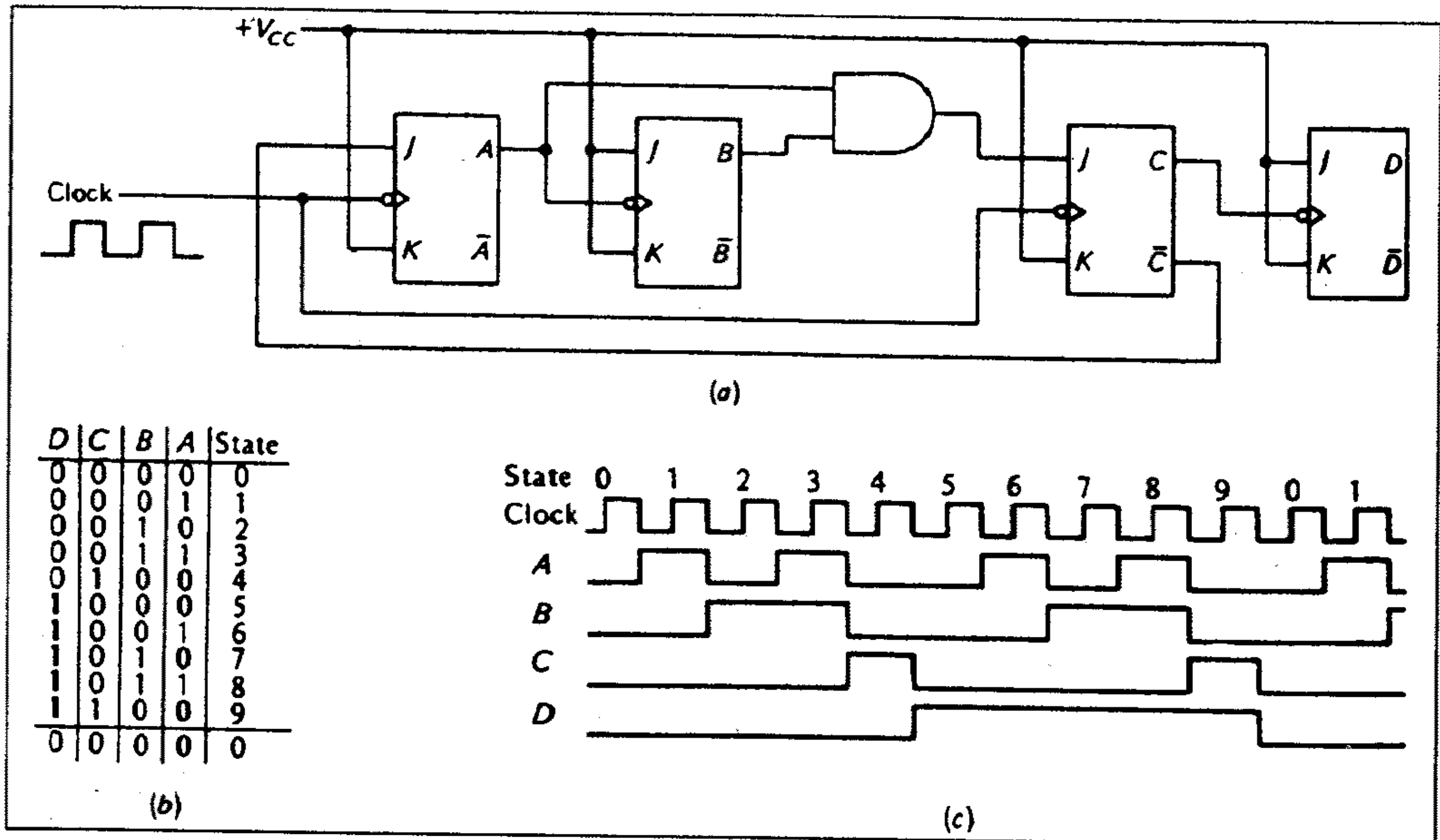
نرسم المخطط الزمني باستخدام الحافة الهابطة للساعة.

بفحص المخطط الزمني لـ CBA نجده مشابه تماماً للعداد التوافقي Mod-5.

وبفحص مخطط القلاب D نجده يتغير عند الحافة الهابطة لـ C أي أن C هي ساعة القلاب D.

وبذلك يمكننا بناء العداد Mod-10 باستخدام Mod-5 متصل بقلاب D أي عداد Mod-2.

انظر الشكل (١٢-٦).



شكل (٦-١٢)

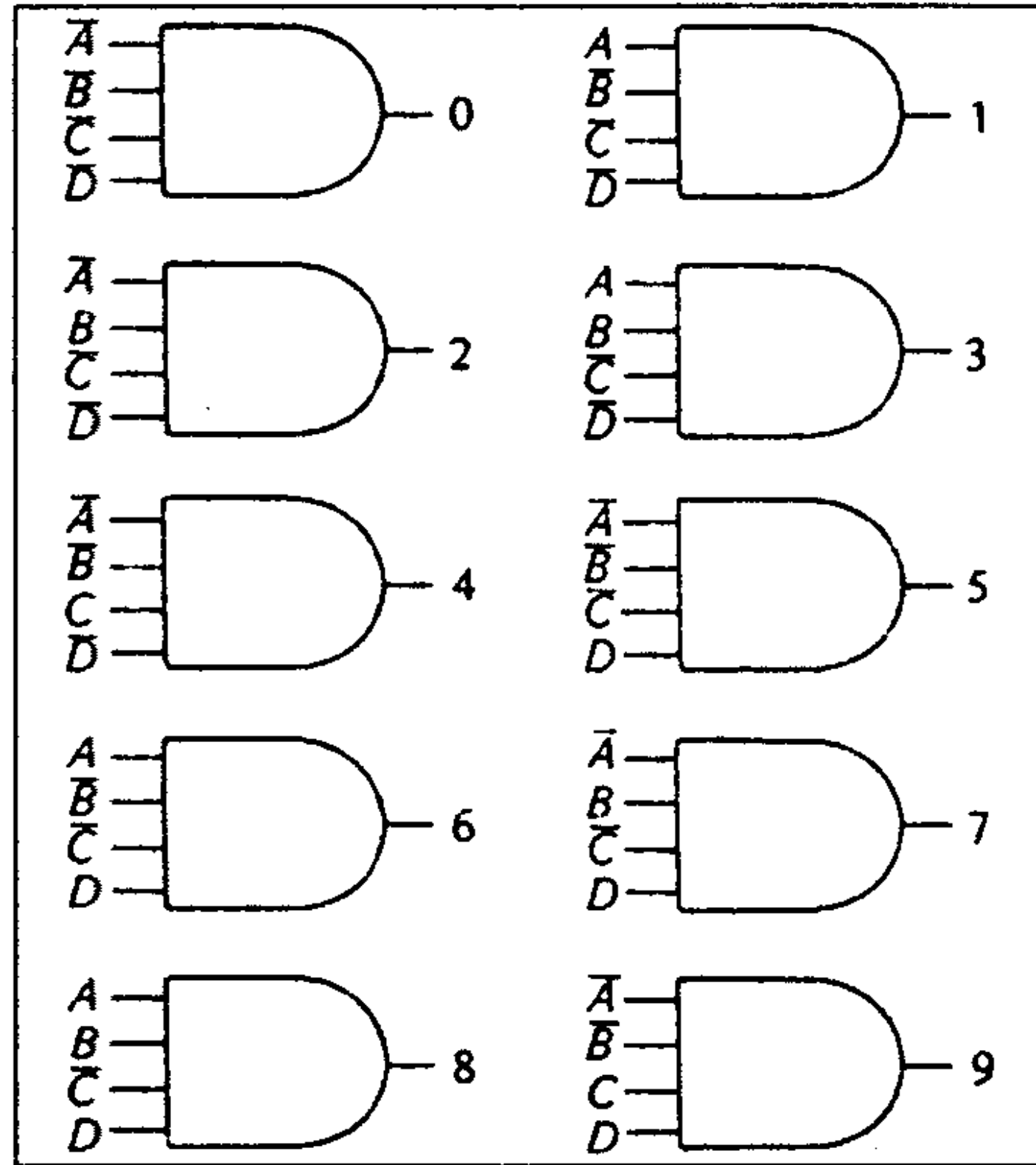
لاحظ بالجدول الحالة 5 تم تمثيلها بالرقم الثنائي 1000 يكافئ 8 عشري، فالجدول مكون من جزئين من 0 إلى 4 حيث $D=0$ ، ومن 5 إلى 9 حيث $D=1$ ، فالمهم في الأمر أن كل حالة يتم تمثيلها بكود خاص لا يتماثل مع حالة أخرى.

مثال ٦-١٢: صمم دائرة حلال شفرة العداد العشري التوافقي في المثال السابق.

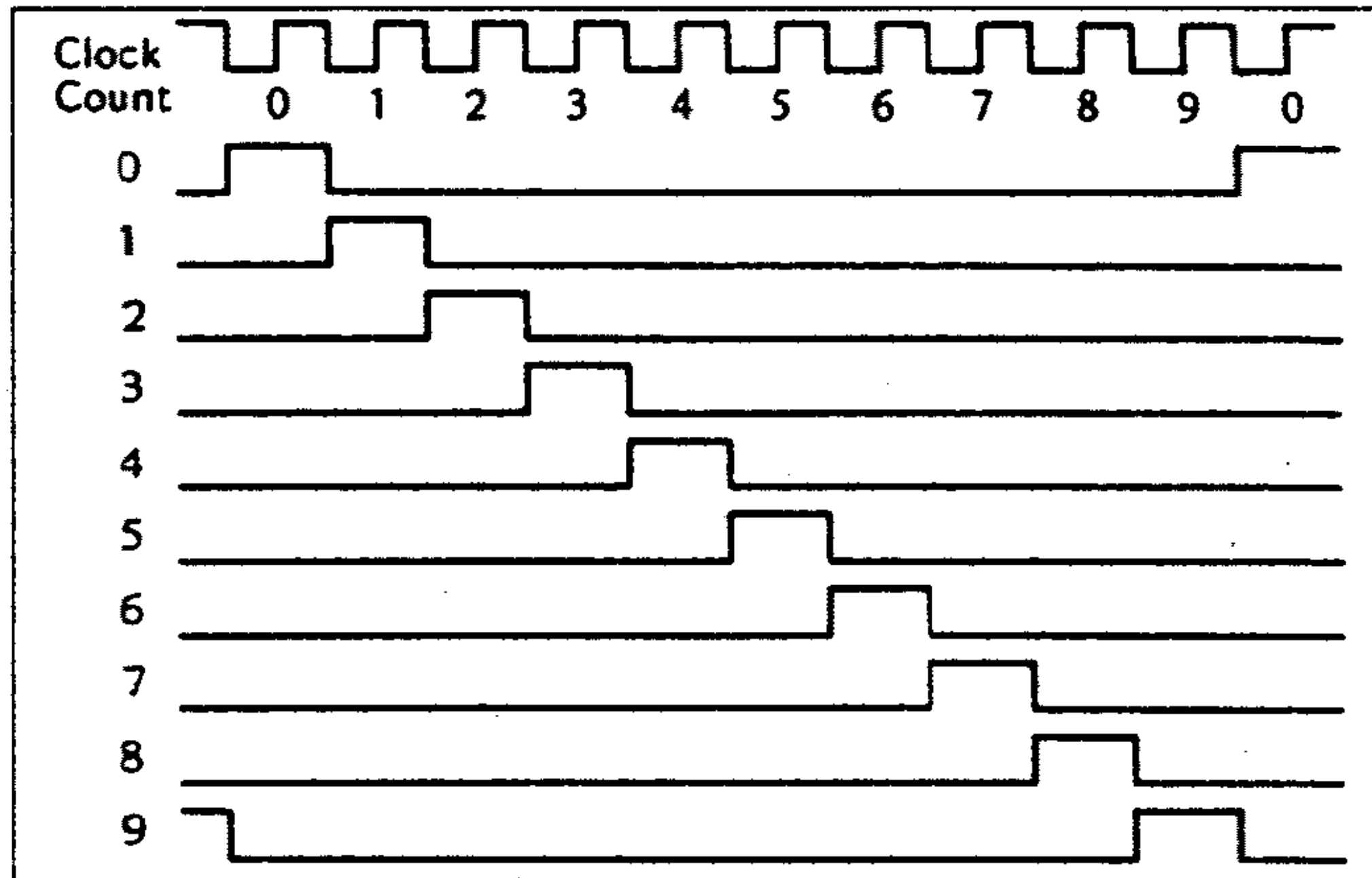
الحل

بفحص جدول حالات العداد العشري (شكل ٦-١٢) نجد أن شفرة الحالات غير متناسبة مع النظام الثنائي في الأرقام من 5 إلى 9.

ولذا فنحن بحاجة لتصميم دائرة Decoder خاصة بهذا العداد خلال الشفرة يتكون من 10 بوابات AND بأربع مداخل كما بالشكل (٦-١٣)، وعندها سنحصل على المخطط الزمني لحالات العداد كما بالشكل (٦-١٤).



شكل (٦-١٣)



شكل (٦-١٤)

فعندما يكون خرج العدد 0000 سيمر على AND مداخلها كلها منفية فتخرج 1، وعندما يكون خرج العداد 0001 سيمر على AND مداخلها $\overline{D}\overline{C}\overline{B}A$ فتخرج 1، وهكذا. وكل خرج يوصل بلمبة مكتوب عليها الرقم العشري المناظر، أو يتم توصيل المخارج بأنبوبة NIXINE وهي لمبة نيون بها أشكال الأرقام العشرية، وكل رقم له مدخل جهد خاص به فيتم توصيل مداخل الجهود بمخارج البوابات AND.

الحل

(a)

D	C	B	A	Count
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
0	0	0	0	0

(b)

(c)

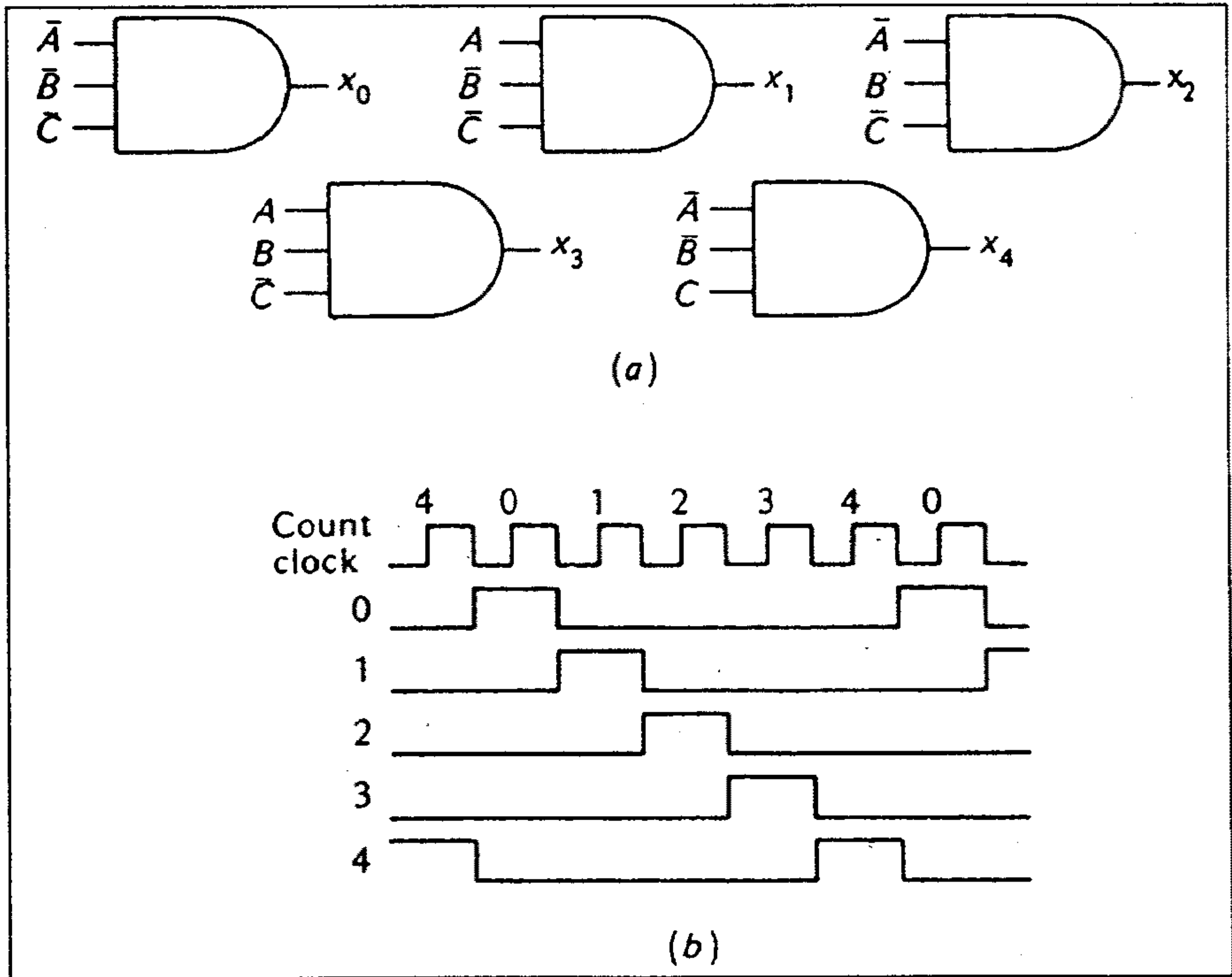
شکل (۶-۱۵)

وبذلك يمكن حل شفرتهم بحلال شفرة قياسي (أي مرتب وفق النظام الثنائي).

مثال ٦-١٤: صمم خلال شفرة للعداد Mod-5.

الحل

جدول العداد Mod-5 من 0 إلى 4 مطابق للنظام الثنائي، وبالتالي سيكون تمثيل البوابات كما بالشكل (٦-١٦a). وسيكون شكل المخطط الزمني للحالات كما بالشكل (٦-١٦b).

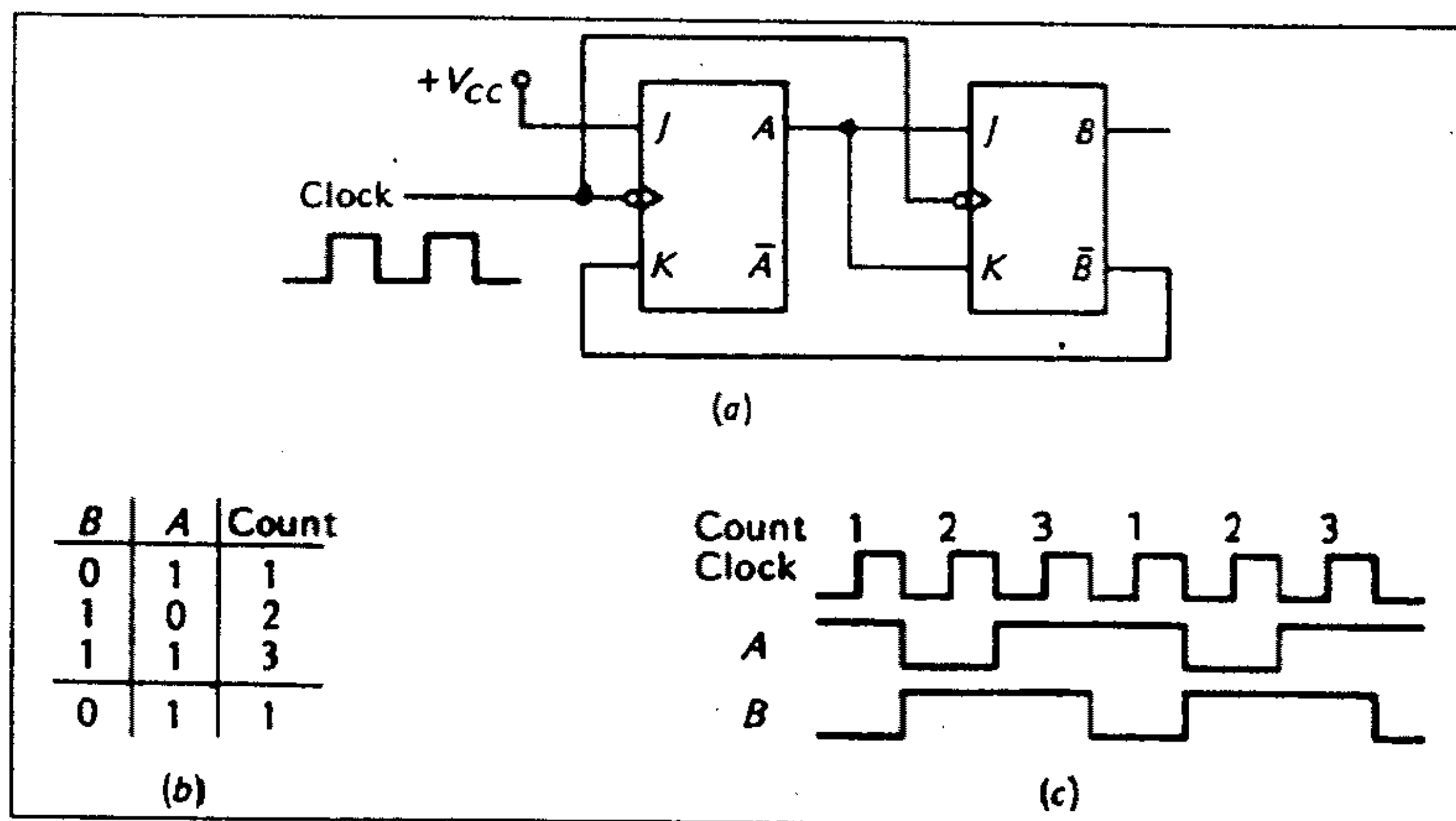


شكل (٦-١٦)

مثال ٦-١٥: صمم عداد توافقي Mod-3 يبدأ العد من 1.

الحل

نكتب جدول العداد ونرسم المخطط الزمني كما بالشكل (٦-١٧).



شكل (٦-١٧)

- ما قبل الحافة الهابطة للنبضة 1 $\bar{B}A$
- ما قبل الحافة الهابطة للنبضة 2 $B\bar{A}$
- ما قبل الحافة الهابطة للنبضة 3 BA

A تتغير قيمتها عند كل حافة هابطة للساعة ماعدا عند الانتقال من 3 إلى 1، تظل بلا تغير، \bar{B} منخفضة أثناء العدتين 3، 2 فتوصلها بمدخل K للقلاب A يجبره على الوضع Set أي $A=1$.

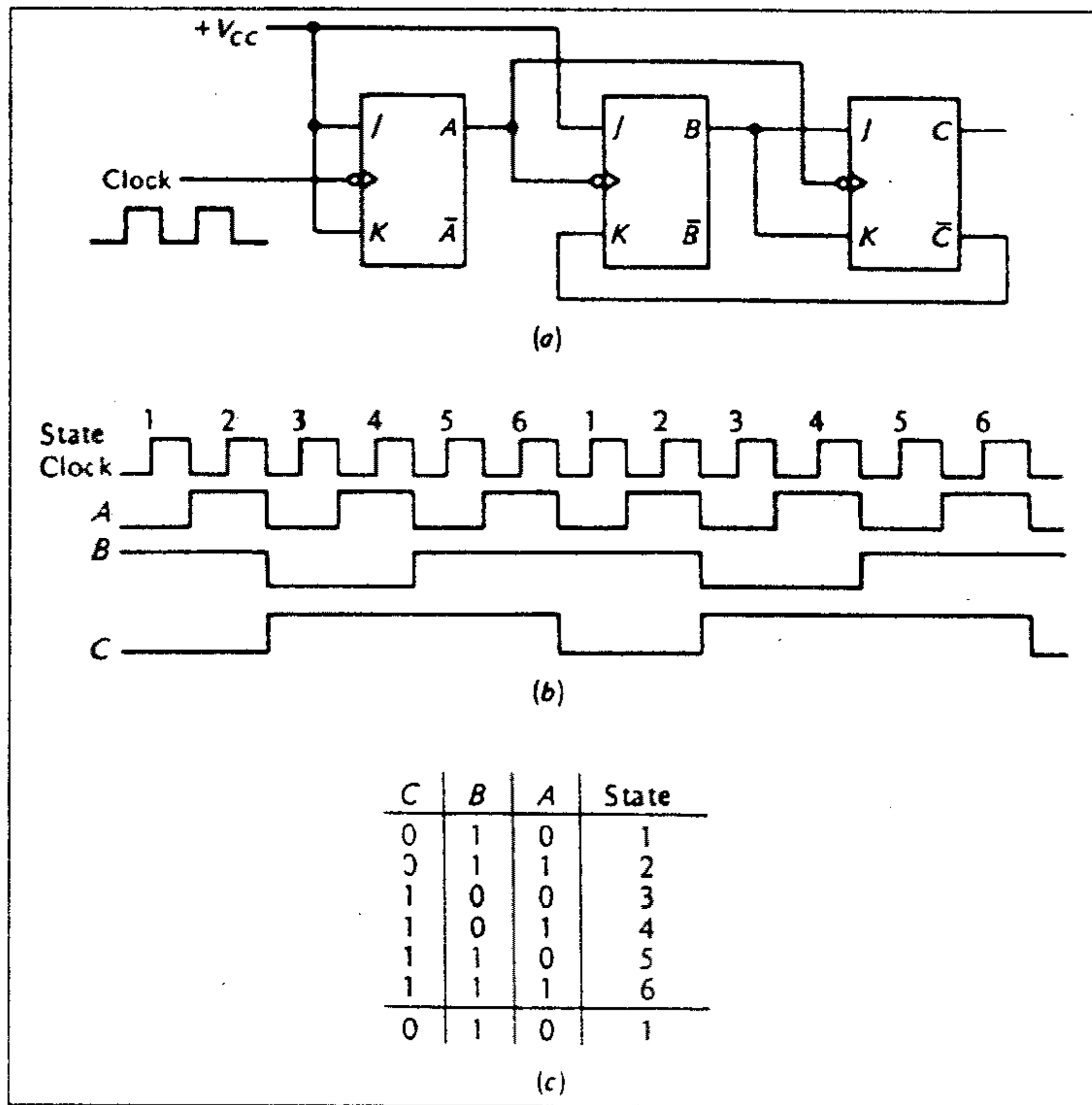
B تتغير كلما كانت $A=1$ والساعة عند الحافة الهابطة، وبالتالي تم توصيلها بالساعة وتم توصيل مداخلها K، J بخرج القلاب A.

مثال ٦-١٦: صمم عداد توافقي Mod-6 باستخدام عداد Mod-3.

الحل

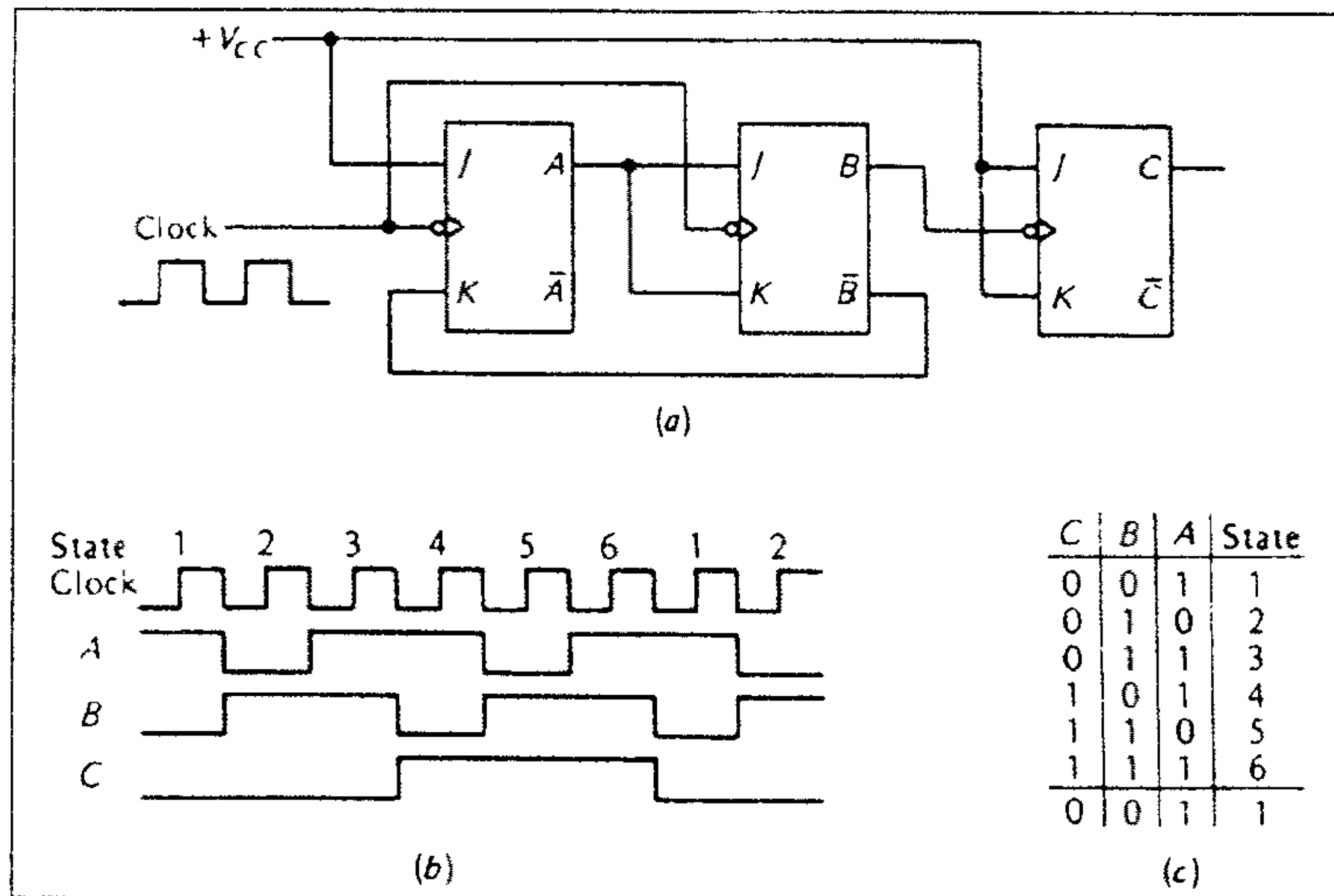
يمكن بناء العداد Mod-6 بطريقتين:

- الأولى: $\text{Mod-2} \times \text{Mod-3}$ ، أي نضع قلاب قبل العداد Mod-3.
 - الثانية: $\text{Mod-3} \times \text{Mod-2}$ ، أي نضع قلاب بعد العداد Mod-3.
- $\text{Mod-2} \times \text{Mod-3}$ دائرته ومخططه الزمني وجدول حالاته بالشكل (٦-١٨).



شكل (٦-١٨)

Mod-3 × Mod-2 دائرته ومخططه التوافقي وجدول حالاته بالشكل (٦-١٩).



شكل (٦-١٩)

مثال ٦-١٧: بكم طريقة يمكنك تصميم العداد التوافقي Mod-12.

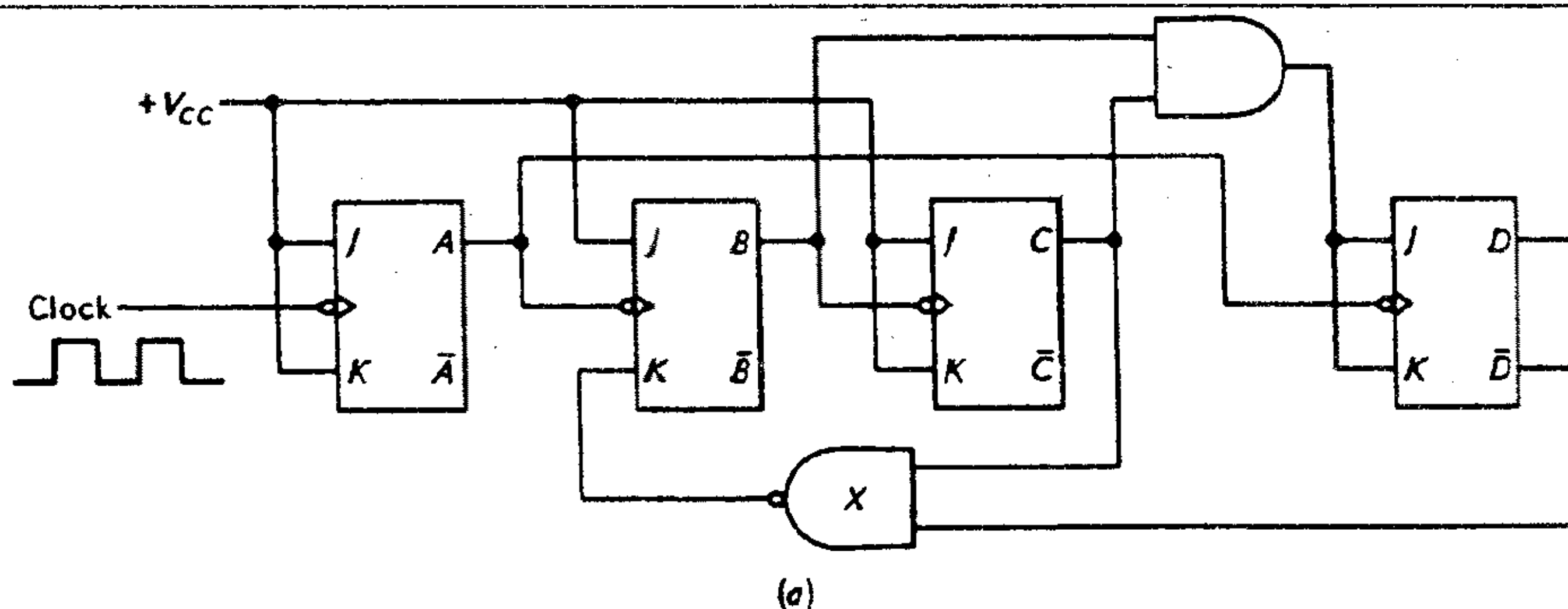
الحل

Mod-2 x Mod-6 أو Mod-2 x Mod-2 x Mod-3 أو Mod-4 x Mod-3.

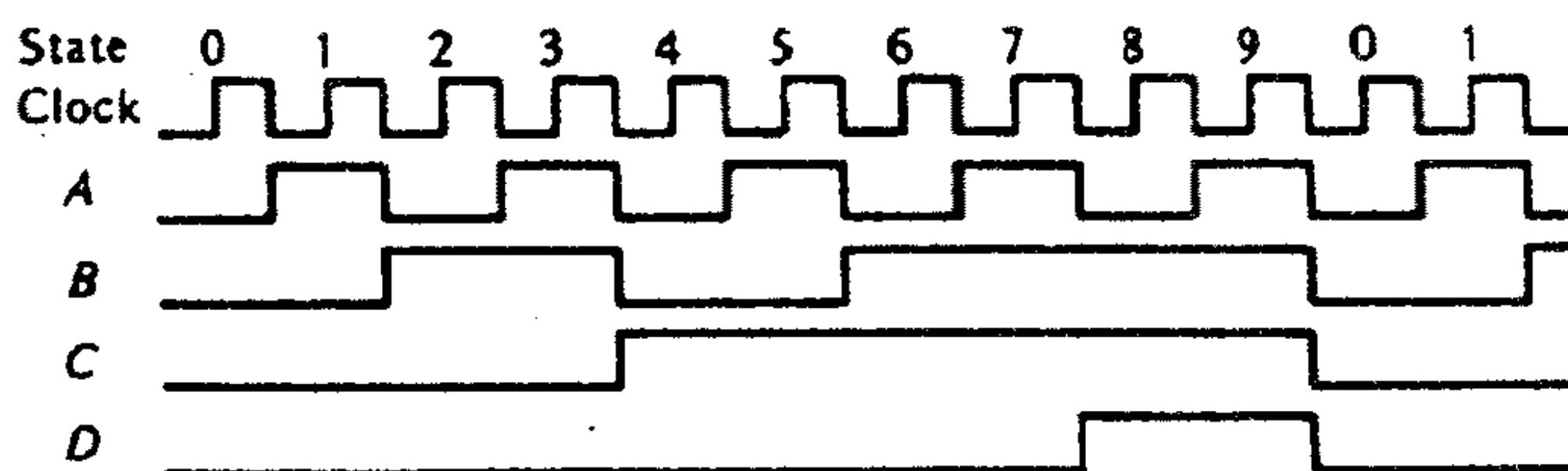
مثال ٦-١٨: صمم عداد توافقي لإنتاج عداد BCD ذو الأوزان 2421.

الحل

مثل الحالات من 0 إلى الأوزان 2421 في جدول الحالات كما بالشكل (٦-٢٠a).
ثم ارسم المخطط الزمني لمداخل الجدول (مخارج القلابات) كما بالشكل (٦-٢٠b).



D	C	B	A	State
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	1	1	0	8
1	1	1	1	9
0	0	0	0	0



شكل (٦-٢٠)

بفحص المخطط الزمني نجد أن:

A تتغير (تتبدل) عند كل حافة هابطة للساعة، إذن القلاب A يوصل بالساعة

وتتواصل مدخليه S، K بالجهد +VCC.

B تتبدل مع كل حافة هابطة لـ A ما عدا عند الانتقال من الحالة 7 إلى الحالة

فن تصميم الدوائر الرقمية

8، $D=0$ في العدة 7، $D=1$ في العدة 8. ولذلك خرج NAND X بعد العدة 7 سيكون 0 لأن $C=1$ ، $\bar{D}=1$. إذن K للقلاب B صفر، إذن القلاب B سيكون في الوضع SET أي 1 جبراً.

C يتغير مع الحافة الهابطة للقلاب B، إذن B هو ساعة C. ويتم توصيل K، J بمنطق 1 وضع التبديل.

D يتغير عند الحافة الهابطة لـ A بشرط أن يكون $C=B=1$ فيتم توصيل ساعته بـ A، وتوصيل K، J بوابة AND دخلها C، B.

انظر الشكل (٦-٢٠a).

مثال ٦-١٩: صمم دائرة عداد تموجي 3 خانات:

(أ) تصاعدي.

(ب) تنازلي.

(ج) تصاعدي تنازلي.

الحل

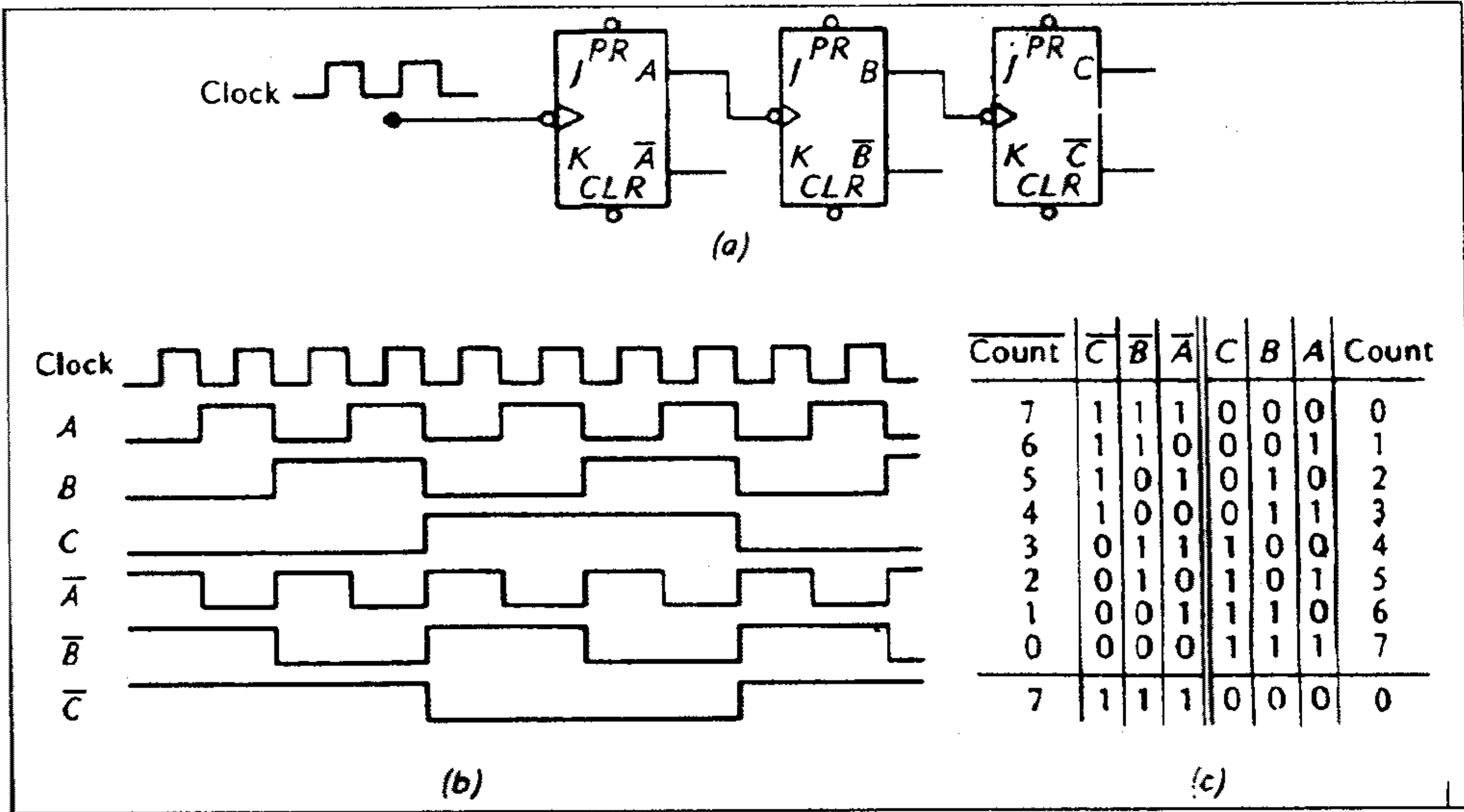
(أ) العداد التموجي 3 خانات بعد الأرقام من 0 إلى 7:

• القلاب A يقسم الساعة على 2.

• القلاب B يقسم الساعة على 2.

• القلاب C يقسم الساعة على 2.

انظر الشكل (٦-٢١).



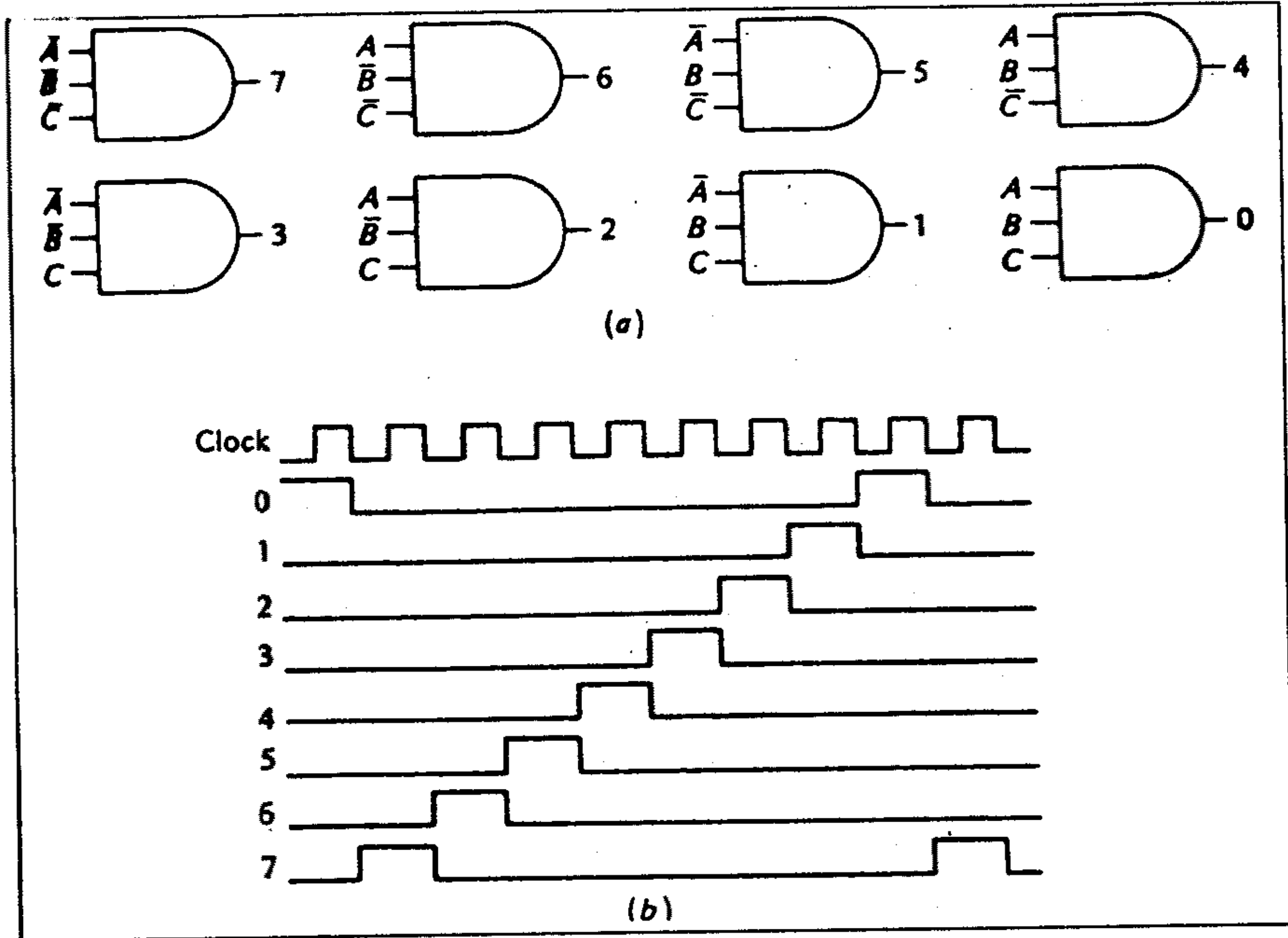
شكل (٦-٢١)

نلاحظ أن:

١. الجدول ممثل فيه العدادات من 0 إلى 7 وهي تمثل مخارج CBA.

الجدول ممثل فيه العدادات من 0 إلى 7 وهي تمثل مخارج $\bar{C}\bar{B}\bar{A}$.٢. المخطط الزمني للمخارج CBA، $\bar{C}\bar{B}\bar{A}$.

بينما الشكل (٦-٢٢) يبين حلال الشفرة للعد التنازلي والمخطط الزمني للحالات من 0 إلى 7.



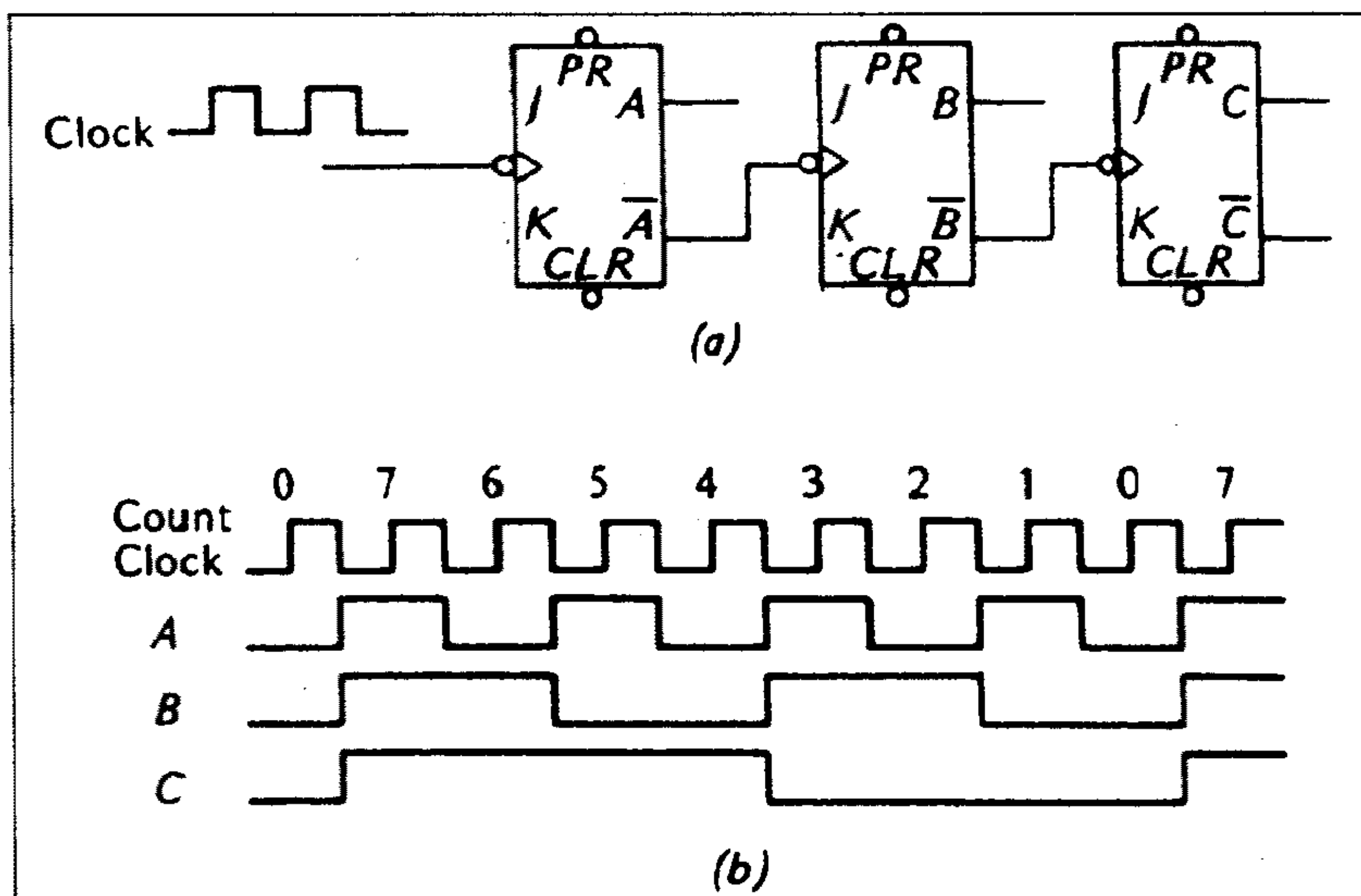
شكل (٦-٢٢)

ملاحظة

حلال الشفرة للعد التصاعدي لن نغير إلا مخارج البوابات فتستبدل 7 بـ 0، 6 بـ 1، 5 بـ 2، وهكذا كما بالجدول في الشكل (٦-٢١).

(ب) لبناء عداد تموجي تنازلي 3 خانات:

تم توصيل المخرج المنفي بمدخل الساعة للقلاب التالي (انظر الشكل ٦-٢٣)، والذي يبين المخطط الزمني لمخارج القلابات.



شكل (٦-٢٣)

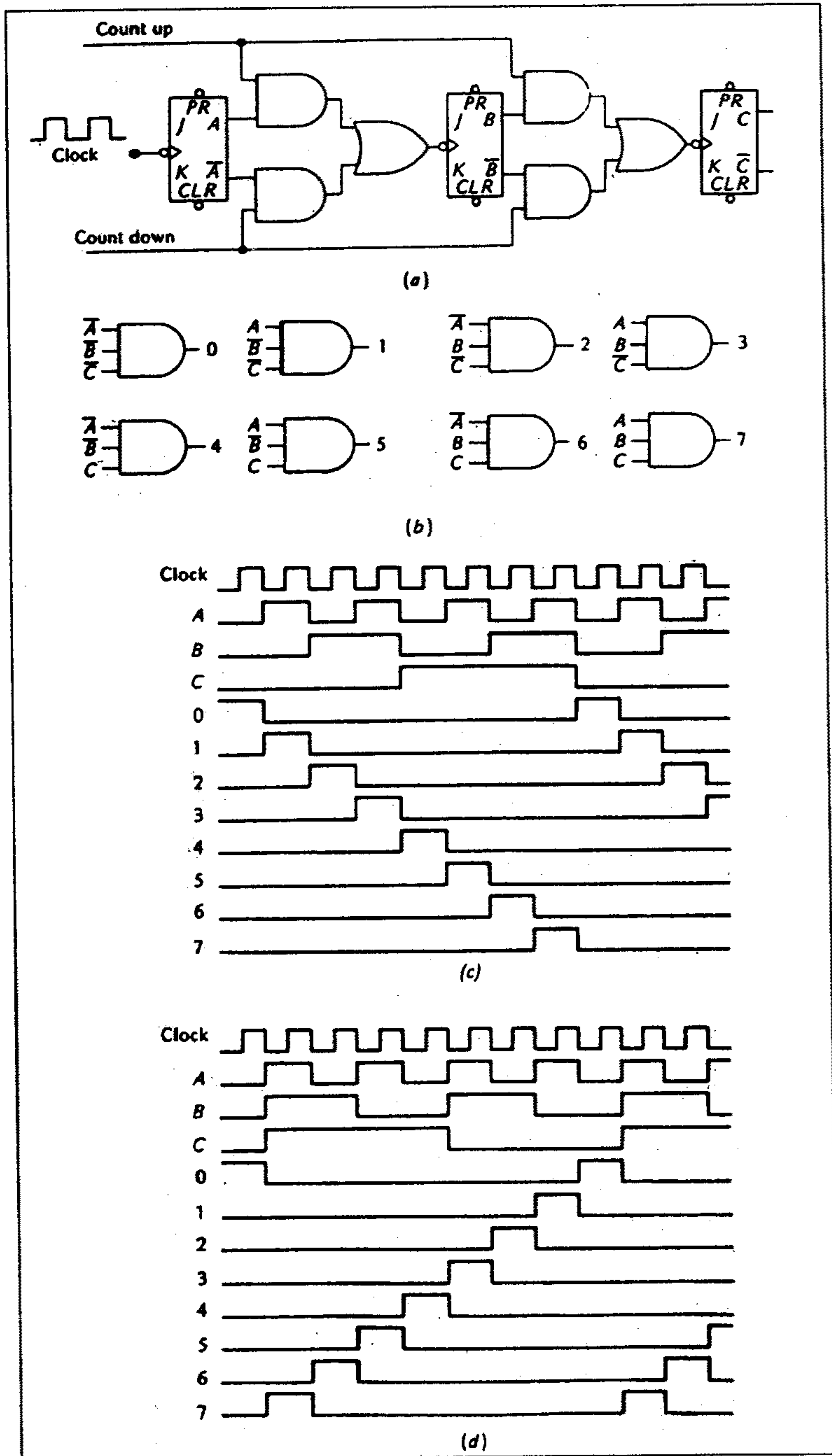
(ج) لبناء عداد تموجي تصاعدي تنازلي 3 خانات:

تم إضافة دائرة منطقية مكونة من AND 2، OR لتحديد كيفية توصيل ساعة القلاب التالي أيوصل بالخرج A أم بالخرج المنفي A.

فإذا كان الخط 1 = Count up، 6 = Count down فإن الخرجين A، B سيمران من AND بينما الخرجان \bar{A} ، \bar{B} لن يمرا وبالتالي سيتم توصيل A بساعة B، B بساعة C، أي أنه سيعمل كعداد تصاعدي.

وإذا كان الخط 0 = Count up، 1 = Count down فإن الخرجين \bar{A} ، \bar{B} سيمران من AND بينما الخرجان A، B لن يمرا، وبالتالي سيتم توصيل A بساعة B، B بساعة A، أي أنه سيعمل كعداد تنازلي.

انظر الشكل (٦-٢٤)، والذي يوضح أيضاً المخططات الزمنية للمخارج والحالات للتنازلي والتصاعدي.

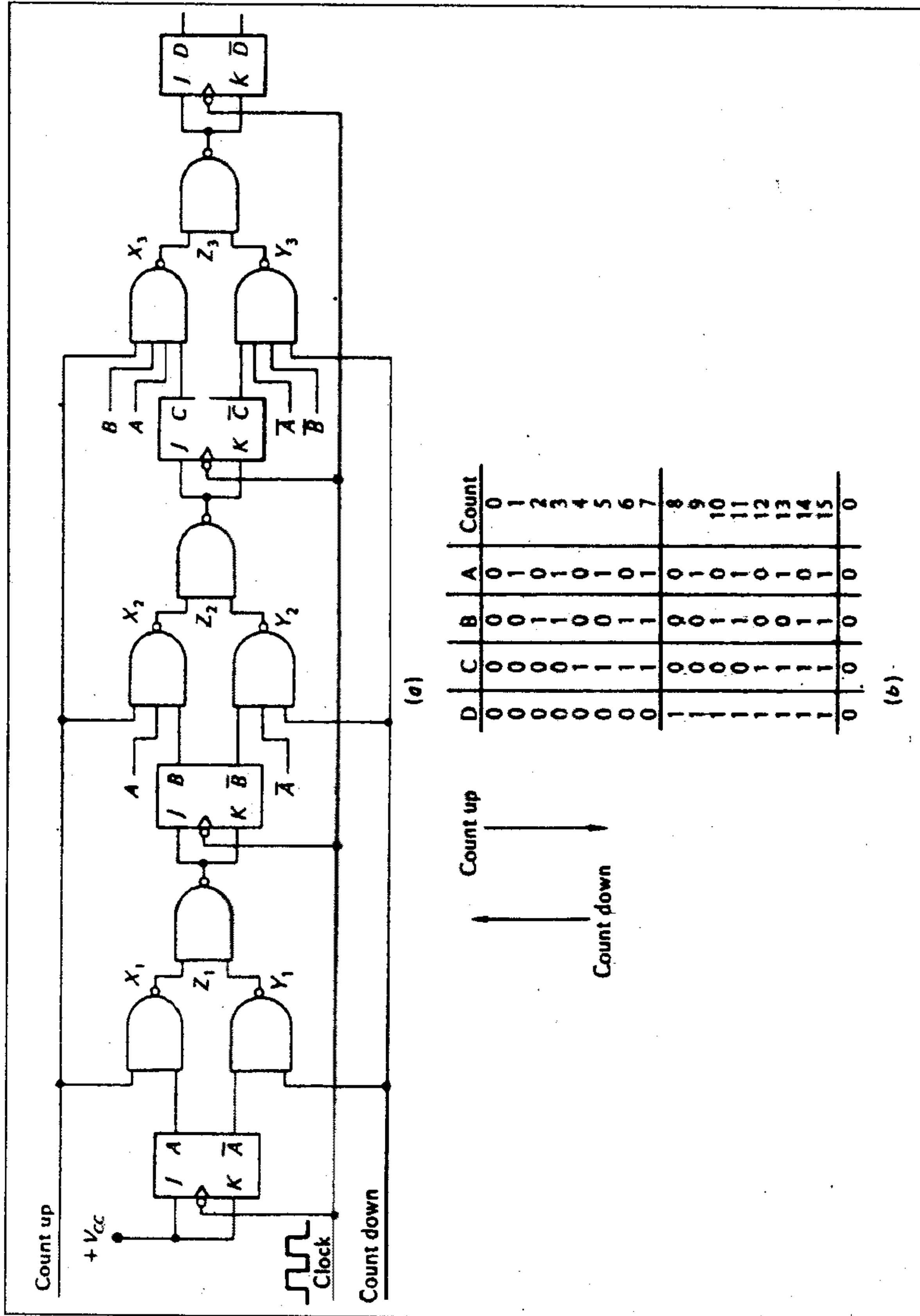


شكل (٦-٢٤)

مثال ٦-٢٠: صمم عداد تصاعدي تنازلي متوازي Paralled up/down

الحل

• الشكل (٦-٢٥) يوضح دائرة العداد وجدول حالات العد.



شكل (٦-٢٥)

تغير جميع القلايات حالاتها إذا كان مداخلها $J = K = 1$ ، وثبتت على وضعها عند $J = K = 0$.

A لكي يغير حالته يجب أن تكون الساعة في الخانة الهابطة، K ، J موصلين بـ V_{CC} في حالتي العد التصاعدي والتنازلي.

B في حالة العد التصاعدي يغير من حالته عندما تنتقل A من 1 إلى 0 - كما بالجدول - عندما يكون $Count\ up = A = 1$ فإن خرج $NAND\ X_1$ يساوي 0 وبالتالي خرج $NAND\ Z_1$ يساوي 1 أي أن K ، J للقلاب B بـ 1 وبالتالي تتغير قيمة B .

في حالة العد التنازلي يغير من حالته عندما تنتقل A من 0 إلى 1 - كما بالجدول - (أي A من 1 إلى 0) أي أن $Count\ down = A = 1$ فإن خرج $NAND\ Y_1$ يساوي 0 وبالتالي خرج $NAND\ Z_1$ يساوي 1 وبالتالي $J = K = 1$.

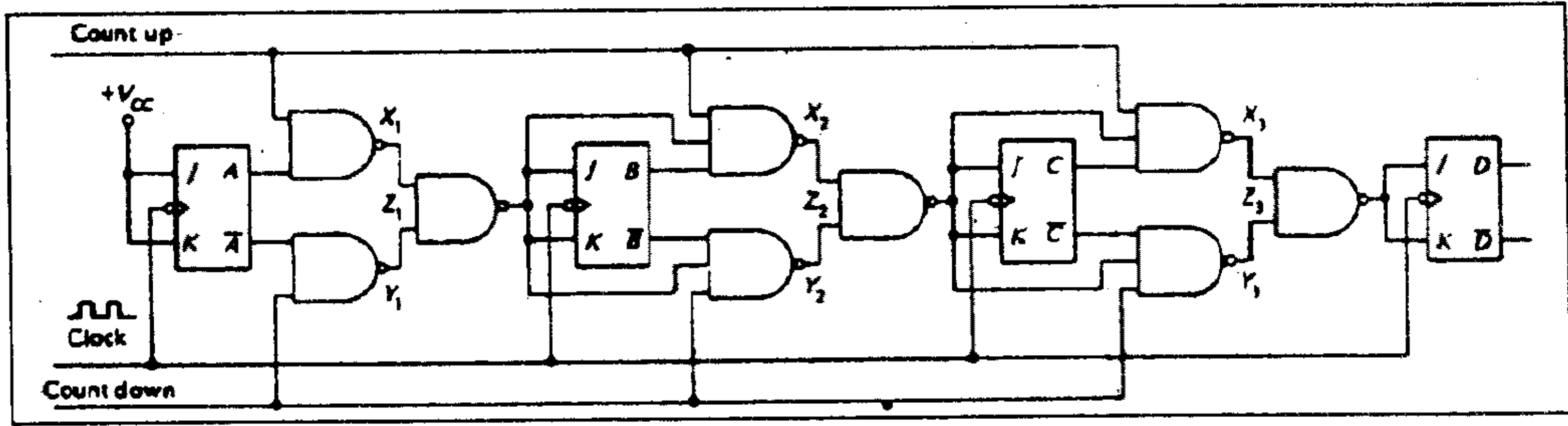
C في حالة العد التنازلي يغير من حالتها عندما تنتقل كل من A ، B من 1 إلى 0 (أي من 3 إلى 4، ومن 7 إلى 8، ومن 11 إلى 12، ومن 15 إلى 0) أي أن خرج $NAND\ X_2$ يساوي 0 عندما $A = B = Count\ up = 1$ ، وبالتالي $NAND\ Z_2$ يساوي 1، وبالتالي K ، J للقلاب C بـ 1.

في حالة العد التنازلي، يغير من حالتها عندما تنتقل كل من A ، B من 0 إلى 1 (أي \bar{A} ، \bar{B} من 1 إلى 0) أي أن خرج $NAND\ Y_2$ يساوي 0 عندما $\bar{A} = \bar{B} = Count\ down = 1$.

D في حالة العد التصاعدي يغير من حالته عندما ينتقل كل من A ، B ، C من 0 إلى 1 أي أن خرج $NAND\ X_3$ يساوي 0 عندما $A = B = C = Count\ up = 1$ ، وبالتالي $NAND\ Z_3$ يساوي 1، وبالتالي J ، K للقلاب D بـ 1.

في حالة العد التنازلي يغير من حالته عندما ينتقل كل من A، B، C من 1 إلى 0 (أي A، \bar{B} ، \bar{C} من 0 إلى 1)، وبالتالي Y_3 NAND يساوي 0 عندما $\bar{A} = \bar{B} = \bar{C} = \text{Count down} = 1$ ، وبالتالي Z_3 NAND يساوي 1، وبالتالي J، K للقلاب D بـ 1.

وهكذا يمكننا الاستمرار مع عدد أكبر من القلابات بنفس الطريقة، ويمكننا تبسيط الدائرة بالشكل (٢٥-٦) إلى الدائرة بالشكل (٢٦-٦) كما يلي:



شكل (٢٦-٦)

- البداية X_2 NAND تشترط أن يكون $A = 1$ ، وهذا متحقق في خرج X_1 NAND.
- البداية X_3 NAND تشترط أن يكون $A = B = 1$ ، وهذا متحقق في خرج X_2 NAND.

مثال ٢١-٦: صمم عدد متزامن ٤ خانات باستخدام قلابات JK.

الحل

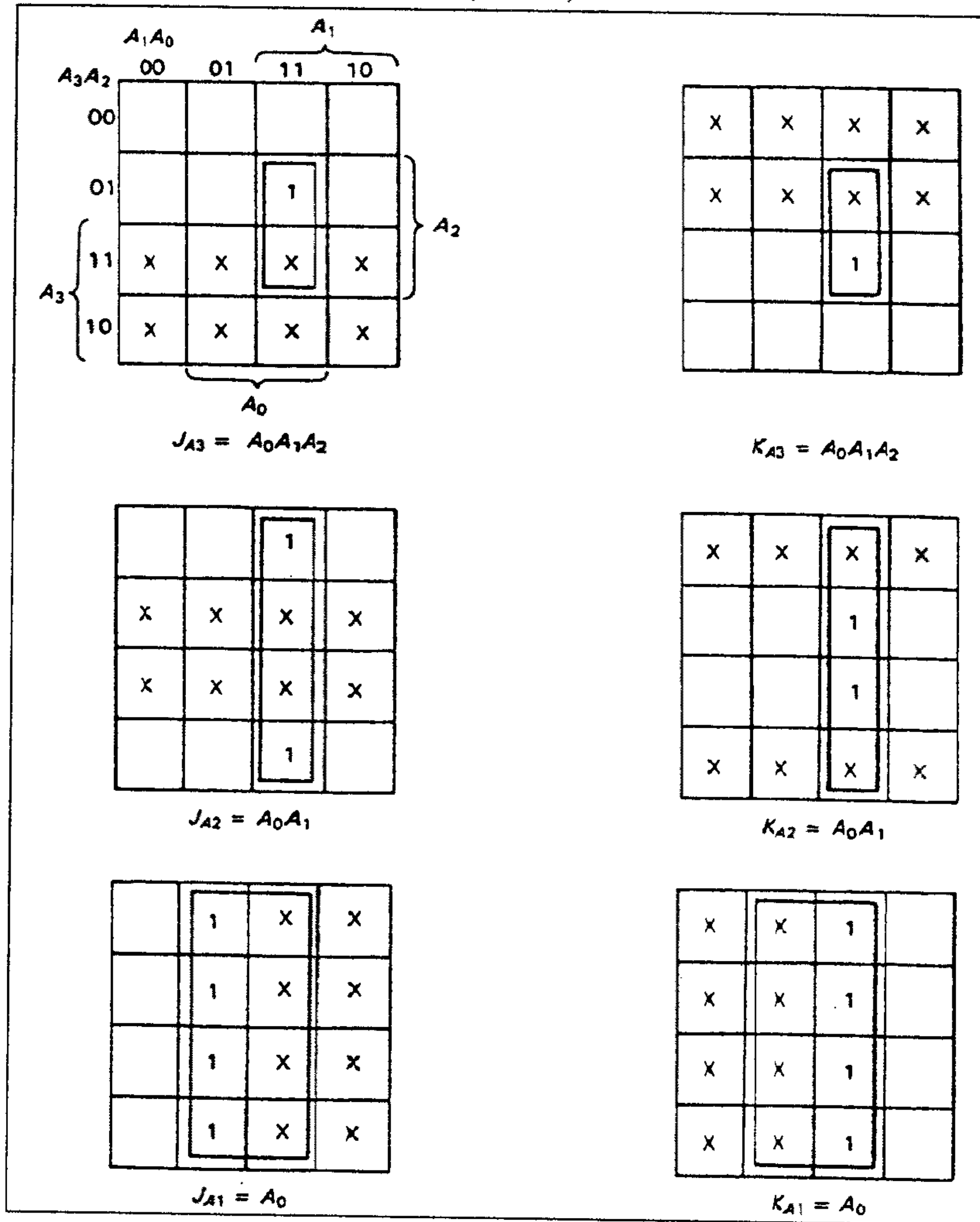
إنشاء جدول حالة العداد التالي:

فن تصميم الدوائر الرقمية

Present State				Next State				Flip-Flop Inputs							
A_3	A_2	A_1	A_0	A_3	A_2	A_1	A_0	J_{A3}	K_{A3}	J_{A2}	K_{A2}	J_{A1}	K_{A1}	J_{A0}	K_{A0}
0	0	0	0	0	0	0	1	0	x	0	x	0	x	1	x
0	0	0	1	0	0	1	0	0	x	0	x	1	x	x	1
0	0	1	0	0	0	1	1	0	x	0	x	x	0	1	x
0	0	1	1	0	1	0	0	0	x	1	x	x	1	x	1
0	1	0	0	0	1	0	1	0	x	x	0	0	x	1	x
0	1	0	1	0	1	1	0	0	x	x	0	1	x	x	1
0	1	1	0	0	1	1	1	0	x	x	0	x	0	1	x
0	1	1	1	1	0	0	0	1	x	x	1	x	1	x	1
1	0	0	0	1	0	0	1	x	0	0	x	0	x	1	x
1	0	0	1	1	0	1	0	x	0	0	x	1	x	x	1
1	0	1	0	1	0	1	1	x	0	0	x	x	0	1	x
1	0	1	1	1	1	0	0	x	0	1	x	x	1	x	1
1	1	0	0	1	1	0	1	x	0	x	0	0	x	1	x
1	1	0	1	1	1	1	0	x	0	x	0	1	x	x	1
1	1	1	0	1	1	1	1	x	0	x	0	x	0	1	x
1	1	1	1	0	0	0	0	x	1	x	1	x	1	x	1

الحالة الحاضرة Present State، والحالة التالية Next State لمخارج القلابات وقيم
مداخل القلابات المطلوب للانتقال من الحالة الحاضرة للحالة التالية (القادمة)، ويمكن
استنتاجها مباشرة من جدول إثارة القلاب JK.

وبعد ذلك نوقع قيم كل مدخل من مداخل القلايات في خريطة كارنو لاستنتاج الدائرة المنطقية عند هذا المدخل كما بالشكل (٢٧-٦).



شكل (٢٧-٦)

لم يتم تمثيل J_{A0} ، K_{A0} لأنهما يأخذان القيمة 1 دائماً، فيتم توصيلهما بالخط E الذي يعطي إشارة بدء العد. أي أن:

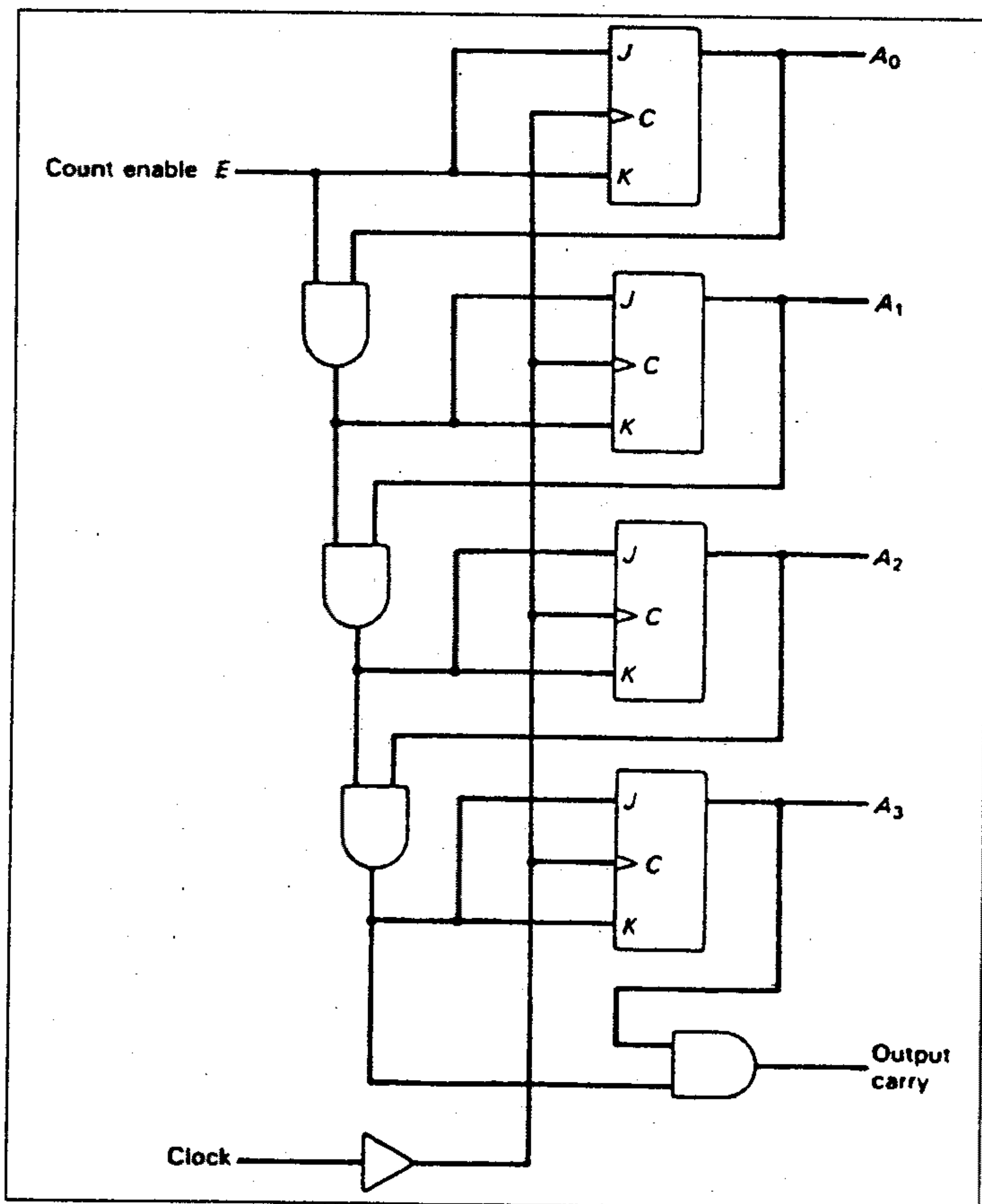
$$J_{A0} = K_{A0} = E$$

$$J_{A1} = K_{A1} = A_0 E$$

$$J_{A2} = K_{A2} = A_0 A_1 E$$

$$J_{A3} = K_{A3} = A_0 A_1 A_2 E$$

أي أن $J_{Ai} = K_{Ai} = A_0 A_1 A_2 \dots A_i E$ وبناء عليه تكون دائرة العداد - كما بالشكل (٢٨-٦) - عند $E = 0$ جميع مداخل القلايات بصفر، ولذلك تثبت على حالها عند $E = 1$ يبدأ القلاب A_0 في التبدل ويبدأ العداد في العمل وفق المعادلات.



شكل (٢٨-٦)

مثال ٦-٢٢: صمم عدد متزامن ؛ خانات باستخدام قلابات D.

الحل

في القلاب D الدخل يساوي الحالة التالية.

إذن يمكننا التعبير عن مداخل القلابات في صورة مجموع المضروبات للحالة التالية:

$$D_{A0} = \sum m(0, 2, 4, 6, 8, 10, 12, 14) = A_0 \oplus E$$

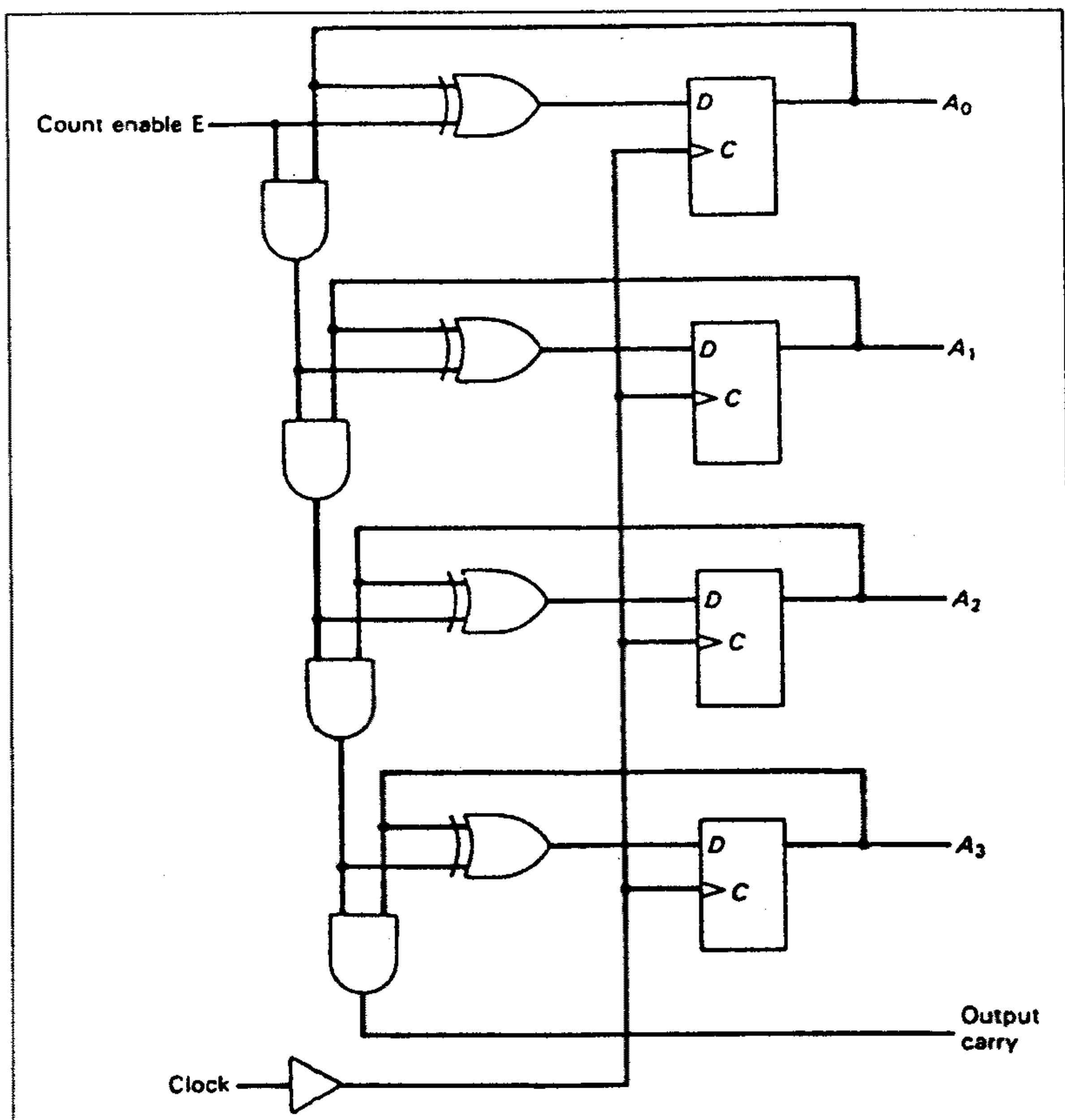
$$D_{A1} = \sum m(1, 2, 5, 6, 9, 10, 13, 14) = A_1 \oplus (A_0 E)$$

$$D_{A2} = \sum m(3, 4, 5, 6, 11, 12, 13, 14) = A_2 \oplus (A_0 A_1 E)$$

$$D_{A3} = \sum m(7, 8, 9, 10, 11, 12, 13, 14) = A_3 \oplus (A_0 A_1 A_2 E)$$

$$D_{Ai} = A_i = A_i \oplus (A_0 A_1 A_2 \dots A_{i-1} E)$$

بالتالي تصبح الدائرة كما بالشكل (٦-٢٩).



شكل (٦-٢٩)

اختبر نفسك

١. أذكر أنواع العدادات.
٢. ما هي خطوات تصميم العدادات التالية:
 - (أ) عداد تموجي.
 - (ب) عداد توافقي.
 - (ج) عداد متزامن.
 - (د) عداد بحلال شفرة.
٣. استنتج جداول الإنارة للقلابات التالية:
 - (أ) SR
 - (ب) JK
 - (ج) T
 - (د) D
٤. صمم عداد متزامن ٣ خانات بالقلابات JK.
٥. صمم عدد متزامن ٣ خانات بالقلابات D.
٦. صمم عدد توافقي Mod-12.
٧. صمم عدد توافقي Mod-14.
٨. صمم عدد توازي ٥ خانات تصاعدي تنازلي.
٩. صمم عدد تموجي تصاعدي تنازلي ٦ خانات.
١٠. صمم عدد متزامن وفق حالات الترتيب التالي: 0، 2، 4، 6، 7، 9، 10، 12، 13.

الملحق

من الضروري تحديد العديد من المغاملات كي تستطيع اختيار نوع الدائرة المتكاملة التي تناسب تصميمك مثل جهد التغذية-عدد المخارج المسموح به-التردد الأقصى-زمن التأخير-الطاقة المستهلكة-

Logic family	Noise immunity volts	Prop delay ns	Fan out	Max. toggle speed MHz
DTL ²	0.3	30	8	4
RTL ²	0.3	12	5	1.5
74 series	0.04	9	10	15
74H series	0.4	6	10	40
74S series	0.3	3	10	125
74LS series	0.3	9	10	25
74C series		30	>50	10
4000 series	4.5	30	>50	10

Power supply requirements

Supply voltage

Logic family	Nominal V	Min. V	Max. V	Power diss. per package mW (typ)	Decoupling and other requirements
RTL	3.6	3.24	3.96	20	No special precautions
DTL	5.0	4.5	5.5	30	No special precautions
74 series	5.0	4.75	5.25	40	0.1 μ F decoupling capacitor for every 8 packages
74H series	5.0	4.75	5.25	60	
74S series	5.0	4.75	5.25	40	
74LS series	5.0	4.75	5.25	8	
74C series	5.0	4.75	5.25	2	No special precautions
4000 series	-	3.0	18.0	0.01	

TTL data**Selection by device number**

Device	Description
7400	Quad 2-input Positive NAND Gate
7401	Quad 2-input Positive NAND Gate (open collector o/p)
7401A	Quad 2-input Positive NAND Gate (open collector o/p)
7402	Quad 2-input Positive NOR Gate (open collector o/p)
7403	Quad 2-input Positive NAND Gate (open collector o/p)
7404	Hex Inverter
7405A	Hex Inverter (open collector o/p)
7406	Hex Inverter/Buffer 30V o/p
7407	Hex Buffer 30V o/p
7408	Quad 2-input Positive AND Gate
7409	Quad 2-input Positive AND Gate
7410	Triple 3-input Positive NAND Gate
7411	Triple 3-input AND Gate
7412	Triple 3-input NAND Gate (open collector o/p)
7413	Dual 4-input Schmitt Trigger
7414	Schmitt Hex Inverter Buffer
7415	Triple 3-input AND Gate with Open Collector Output
7416	Hex Inverter /Buffer 15V o/p
7417	Hex Buffer 15V o/p
7420	Dual 4-input Positive NAND Gate
7421	Dual 4-input AND Gate
7422	Dual 4-input NAND Gate with Open Collector Output
7425	Dual 4-input NOR Gate with Strobe
7426	Quad 2-input High Voltage Interface NAND Gate
7427	Triple 3-input NOR Gate
7428	Quad 2-input NOR Buffer (Fan Out 30)
7430	8-input Positive NAND Gate
7432	Quad 2-input OR Gate
7433A	Quad 2-input NOR Buffer 15V
7437	Quad 2-input NAND Buffer
7438A	Quad 2-input NAND Buffer 15V
7440	Dual 4-input Buffer NAND Gate
7441A	BCD-to-Decimal Decoder/Nixie Driver
7442	BCD-to-Decimal Decoder
7445	BCD-to-Decimal Decoder/Driver 30V output o/c
7446A	BCD-to-Seven Segment Decoder/Driver 30V/40mA
7447	BCD-to-Seven Segment Decoder/Driver 15 V/20mA
7447A	BCD-to-Seven Segment Decoder/Driver 15V/40mA
7448	BCD-to-Seven Segment Decoder/Driver

Device	Description
7449	BCD-to-7-segment driver with Open Collector Output
7450	Expandable Dual 2 wide, 2 i/p AND-OR-INVERT Gate
7451	Dual 2 wide, 2 i/p AND-OR-INVERT Gate
7453	Expandable 4 wide, 2 i/p AND-OR-INVERT Gate
7454	4 wide, 2i/p AND-OR-INVERT Gate
7455	2 wide, 4 i/p AND-OR-INVERT Gate
7460	Dual 4-input Expander
7464	4-2-3-2-input AND-OR-invert Gate
7470	Positive Edge-triggered J-K Flip Flops
7472	J-K Master-Slave Flip Flops (AND inputs)
7473	Dual J-K Master-Slave Flip Flops
7474	Dual D-Type Edge Triggered Flip Flops
7475	4-bit bistable latch = Quad bistable latch
7476	Dual J-K Master-Slave Flip Flops + preset and clear
7478	Dual J-K Flip-Flop with Preset, Common Clear and CI
7481	16-bit Active Element Memory
7482	2-bit Binary Full Adder
7483A	4-bit Full Adder with Carry
7484	16-bit Active Element Memory
7485	4-bit Comparator
7486	Quad 2-input Exclusive OR Gate
7489	64-bit RAM (16 × 4W)
7490	Decade Counter
7491	8-bit Shift Registers
7492	Divide-by-twelve Counter
7493	4-bit Binary Counter
7494	4-bit Shift Registers (Parallel-In. Serial-Out)
7495	4-bit Right Shift. Left Shift Register
7496	5-bit Shift Registers (Dual Para-In. Para-Out)
74100	8-bit Bistable Latch
74107	Dual J-K Master Slave Flip Flop
74109	Dual Positive Edge Triggered Flip-Flop with Preset and Clear
74112	Dual Negative Edge Triggered J-K Flip-flop with Preset and Clear
74113	Dual Negative Edge Triggered J-K Flip-flop with Preset
74114	Dual Negative edge Triggered J-K Flip-flop with Preset and Clear
74121	Monostable Multivibrator
74122	Monostable Multivibrator with reset
74123	Dual Monostable Multivibrator with reset
74124	Universal Pulse Generator
74125	Quad Buffer with 3-state Active Low Enable Output
74126	Quad Buffer with 3-state Active High Enable Output
74128	Quad Line Driver

Device	Description
74132	Quad 2-input Schmitt NAND -
74133	13-input NAND
74137	Demultiplexer
74138	3 line to 8 line Decoder Demultiplexer
74139	Dual 2-to-4 Line Multiplexer
74141	BCD-to-Decimal Decoder Driver
74145	BCD-to-Seven Segment Decoder Driver 15V output
74147	10-line Priority Decimal to 4-line BCD Priority Encoder
74148	8-10-3 Octal Priority Encoder
74150	16-bit Data Selector
74151	8-bit Data Selector (with strobe)
74153	Dual 410 1 line Data Selector 1 MPX
74154	4 line to 16 line Decoder
74155	Dual 2-10-4 line Decoder DeMPX (totem pole output)
74156	Dual 2-10-4 line Decoder DeMPX (open collector output)
74157	Quad 2 line to 1 line Selector
74158	Quad 2-input Inverting Multiplexer
74150	Synchronous Decade Counter
74151	Asynchronous Binary Counter with Reset
74162	Synchronous Decade Counter
74163	Synchronous Binary Counter
74164	8-bit Shift Register, Serial In-Parallel Out
74165	8-bit Shift Register, Parallel In-Serial Out
74169	4-stage Synchronous Bidirectional Counter
74173	4-bit D-Type Register
74174	Hex Type D' Flip Flop
74175	Quad D Flip Flop with common reset
74180	8-bit Odd Even Parity Generator Checkers
74181	4-bit Arithmetic Logic Out
74182	Carry-Look-Ahead Unit
74190	Synchronous Up/Down Decade Counter (Single Clock Unit)
74191	Synchronous Up/Down 4-bit Binary Counter (Single Clock Unit)
74192	Synchronous 4-bit Up/Down Counter
74193	Synchronous 4-bit Up/Down Counter
74194	4-bit Universal Shift Register
74195	Synchronous 4-bit Parallel Shift Register with J-K inputs
74196	50Mhz Presettable Decade Counter Latch (Bi-Quinary)
74197	4-bit Presettable Ripple Counter
74200	256-bit Random Access Memory (RAM)
74221	Dual Monostable Multivibrator
74240	Octal Inverting Buffer with 3-state Outputs
74241	Octal Buffer with 3-state Outputs

Device	Description
74242	Octal Bus Inverting Transceiver
74243	Octal Bus Transceiver
74244	Octal Buffer with 3-state Outputs
74245	Octal Bus Transceiver with 3-state Outputs
74251	Selector Multiplexer with 3-state Outputs
74253	Dual 4- input with 3-state Output
74256	Dual 4- input addressable Latch
74257	Quad 2-input/Multiplexer with 3-state Output
74258	Quad 2-input Multiplexer with Inverting 3-state Output
74259	8-bit Addressable Latch
74273	8-bit Register with Clear
74280	9-bit Parity Generator/Checker
74283	4-bit Full Adder with Carry
74298	Quad 2-port Register
74299	8-bit Universal Storage Shift Register with 3-state Output
74321	Crystal Oscillator
74323	8-bit Universal Storage Shift Register with 3-state Output
74352	Dual 4-bit Inverting Multiplexer
74353	Dual 4-bit Multiplexer with 3-state Inverting Output
74354	Transparent Data Selector Multiplexer
74356	Data Selector Multiplexer
74365	Hex Butler with 2-input NOR Enable
74366	Hex Inverting Buffer with 2-input NOR Enable
74367	Hex Buffer with 3-state Output
74368	Hex Inverting Buffer with 3-state Output
74373	Octal Latch with 3-state Output
74374	Octal D-type Flip-flop with 3-state Output
74378	Hex D-type Flip-flop
74381	4-bit Arithmetic Logic Unit
74390	Dual Decade Counter
74393	Dual 4-bit Binary Counter
74395	4-bit Cascadable Shift Register
74399	Quad. 2-part Register
74423	Retriggerable Monostable Multivibrator
74442	Quad Tridirectional Transceiver
74443	Quad Tridirectional Inverting Transceiver
74444	Quad Tridirectional Transceiver
74533	Inverting Octal D-Type Latch
74534	Inverting Octal 0-type Flip Flop
74563	Octal Transparent Latch with Inverted Outputs
74564	Octal Edge-Triggered Flip Flop with Inverted Outputs
74620	Octal Bus Transceiver

Device	Description
74625	Voltage Controlled Oscillator
74655	Inverting Octal Buffer/Line Driver with 3-state Outputs
74657	Octal Si-directional Transceiver with Parity
74669	4-bit Binary Counter
74670	4 × 4 Register File with 3-state Output
74673	16-bit Serial to Parallel Shift Register
74674	16-bit Parallel to Serial Shift Register
74682	8-bit Magnitude Comparator
74688	8-bit Magnitude Comparator with Totem Pole Output
741242	Quad Bus Transceiver - Inverting
741243	Quad Bus Transceiver - Non-inverting
744002	Dual 4-input NOR gates
744017	Decade Counter Divider
744020	14-bit Binary Counter
744040	12-bit Binary Counter
744049	Hex-Inverter Buffer
744050	Hex Buffer
744060	14-bit Binary Counter
744075	Triple 3-Input OR Gate
744078	8-input NOR Gate
744511	BCD-Seven Segment Latch/Decoder/Driver
744514	4-bit Latch to 1-of-16 Decoder
744538	Dual Precision Retriggerable/Resettable Monostable Multivibrator
744543	BCD- to-Seven Segment Latch/Decoder/Driver-

Selection by function

Gates

AND

Quad 2-input	7408
Quad 2-input open collector o/p	7409
Triple 3-input	7411
Triple 3-input open collector o/p	7415
Dual 4-input	7421

OR

Triple 3-input	744075
Quad 2-input	7432
Exclusive OR	
Quad 2-input	7486

NAND

Quad 2-input	7400
Quad 2-input open collector o/p	7401
Quad 2-input open collector o/p	7403

	Triple 3-input	7410
	Dual 4-input	7420
	Dual 4-input open collector o/p	7422
	Quad 2-input high voltage	7426
	8-input	7430
	Quad 2-input buffer	7437
	Dual 2-input open collector o/p	7438
	Dual 4-input buffer	7440
	13-input	74133
NOR		
	Quad 2-input	7402
	Dual 4-input	744002
	Dual 4-input with strobe	7425
	Triple 3-input	7427
	Quad 2-input buffer	7426
	Quad 2-input butler	7433
	Quad 2-input exclusive	74266
	8-input	744078
Schmitt		
	Dual 4-input NAND	7413
	Hex inverting	7414
	Quad 2-input NAND	74132
AND-OR-Invert		
	Dual 2-wide, 2-input	7451
	4-wide	7454
	2-wide, 4-input	7455
	4-2-3-2-input	7464
Buffers		
	Hex	744050
	Hex inverting	744049
	Hex inverting	7404
	Hex inverting open collector o/p	7405
	Hex inverting open collector o/p	7406
	Hex open collector o/p	7407
	Hex inverting open collector o/p	7416
	Quad 3-state active low enable	74125
	Quad 3-state active high enable	74126
	Hex 2-input NOR enable	74365
	Hex inverting, 2-input NOR enable	74366
	Hex 3-state	74367
	Hex 3-state inverting	74368

Line/bus, drivers/transceivers

Quad line driver	74128
Octal buffer 3-state inverting	74240
Octal buffer 3-state	74241
Quad bus transceiver inverting	74242
Quad bus transceiver	74243
Quad bus transceiver, inverting	741242
Quad bus transceiver	741243
Octal buffer 3-state	74244
Octal bus transceiver 3-state	74245
Quad tridirectional transceiver true	74442
Quad tridirectional transceiver inverting	74443
Quad tridirectional transceiver	74444
Octal bus transceiver	74620
Octal bus transceiver	74640
Octal bus transceiver	74643
Octal, bi-directional transceiver with parity	74657
Octal buffer/line driver, inverting, 3-state o/p	74655
Octal, buffer/line drive, non-inverting, 3-state o/p	74656

Flip flops (bistables)**D-type**

Dual edge triggered	7474
4-bit	7475
Hex with clear	74174
Inverting octal	74534
Quad with clear	74175
Octal 3-state	74374
Octal common enable	74377
Octal edge-triggered inverted outputs	74564
Hex	74378
Octal transparent latch	74573
Octal transparent latch inverted	74580

J-K

AND gated positive edge triggered	7470
AND gated master slave	7472
Dual with clear	7473
Dual with preset and clear	7476
Dual with preset, common clear and clock	7478
Dual with clear	74107
Dual positive edge triggered preset and clear	74109
Dual negative edge triggered preset and clear	74112
Dual negative edge triggered preset	74113

Dual negative edge triggered preset and clear	74114
Monostable multivibrators	
Single	74121
Dual retriggerable with clear	74123
Dual retriggerable/resettable	744538
Dual retriggerable	74423
Dual	74221
Latches	
Dual 4-bit addressable	74256
Inverting octal D-type	74533
4-bit to 1-of-16 decoder	744514
8-bit addressable	74259
8-bit register with clear	74273
Quad 2-port register	74298
Octal 3-state	74373
Octal transparent, inverted outputs	74563
Arithmetic functions	
4-bit full adder with carry	7483A
4-bit magnitude comparator	7485
4-bit arithmetic logic unit	74181
4-bit arithmetic logic unit	74381
4-bit full adder with carry	74283
4 × 4 register file 3-state	74670
8-bit magnitude comparator	74682
8-bit magnitude comparator. totem-pole outputs	74688
Counters	
Decade up	7490
Divide by 12	7492
4-bit binary	7493
B.C.D asynchronous reset	74160
Binary asynchronous reset	74161
B.C.D synchronous reset	74162
Binary synchronous reset	74163
Binary up down synchronous	74191
Decade up down synchronous	74192
Binary up down synchronous with clear	74193
Decade presettable ripple	74196
4-bit presettable ripple	74197
Dual decade	74390
Dual 4-bit binary	74393
4-bit binary	74669
4-stage synchronous up/down	74169
Decade counter/divider	74417

4-bit binary	744020
12-bit binary	744040
14-bit binary	744060

Shift registers

4-bit	7495
5-bit	7496
8-bit serial in parallel out	74164
8-bit parallel to serial	74165
4-bit universal	74194
4-bit parallel access	74195
4-bit D-type	74173
8-bit universal stage 3-state	74299
8-bit universal stage 3-state	74323
4-bit cascadable	74395
16-bit serial to parallel	74673
16-bit parallel to serial	74674
Quad. 2-part	74399

Encoders, decoders/drivers

Decoders

B.C.D.-decimal	7442
B.C.D.-decimal driver	7445
B.C.D.-7-segment driver open collector o/p	7447
B.C.D.-7-segment driver	7448
B.C.D.-7-segment driver open collector o/p	7449
B.C.D.-to-7-segment latch/decoder/driver	744511
B.C.D.-to-7-segment latch/decoder/driver	744543
De-multiplexer	74137
3-to-8 line multiplexer	74138
Dual 2-to-4 line multiplexer	74139
B.C.D.-decimal driver	74141
BCD-decimal driver	74145
4-to-16 line	74154
Dual 1-of-4	74155
Dual 1 -of-4 open collector o/p	74156

Encoders multiplexers

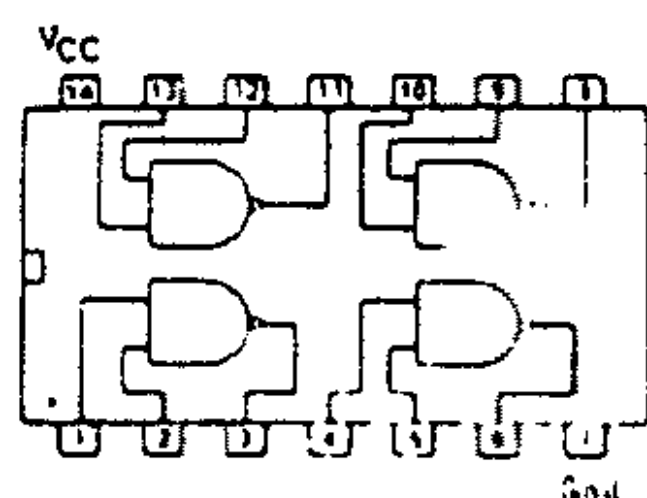
Octal priority encoder 8-to-3	74148
8-input multiplexer	74151
Dual 4-input multiplexer	74153
Quad 2-input multiplexer	74157
Quad 2-input multiplexer inverting	74158
Parity generator checker 9-bit odd/even	74180
Selector multiplexer 3-state	74251
Dual 4-input multiplexer 3-state	74253

Quad 2-input multiplexer 3-state	74257
Quad 2-input multiplexer 3-state inverting	74258
Dual 4-input multiplexer inverting	74352
Dual 4-input multiplexer 3-state inverting	74353
Data selector multiplexer transparent	74354
Data selector multiplexer	74356
10-line decimal to 4-line B.C.D.	74147

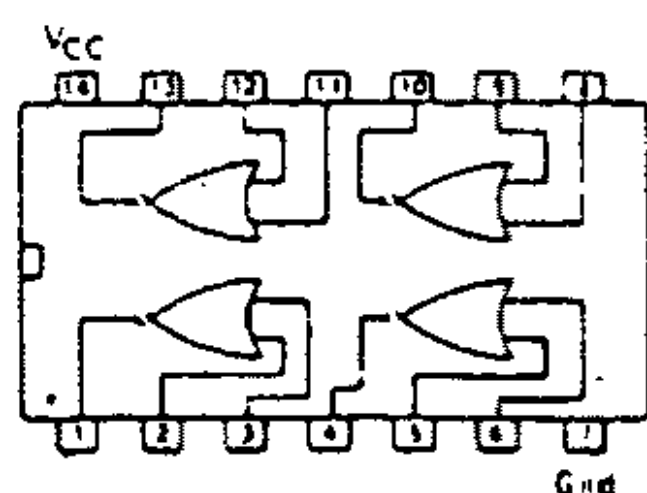
Miscellaneous

Crystal oscillator	74321
Voltage controlled oscillator	74625
9-bit parity generator/checker	74280

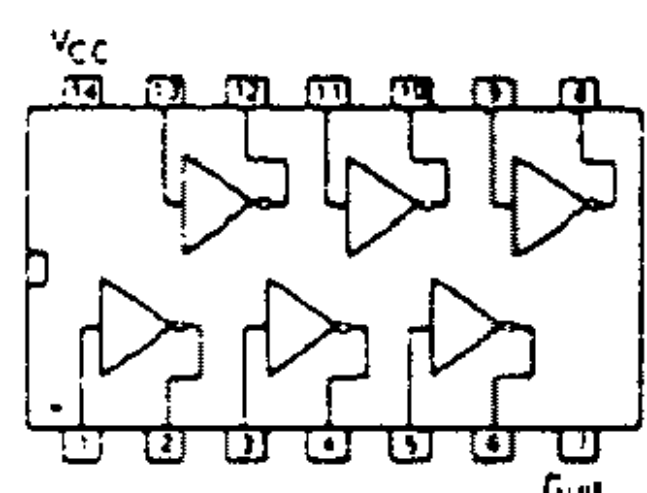
7400



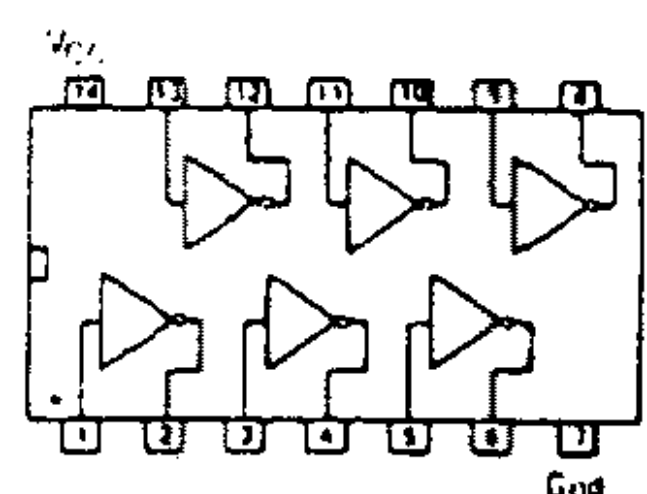
7402



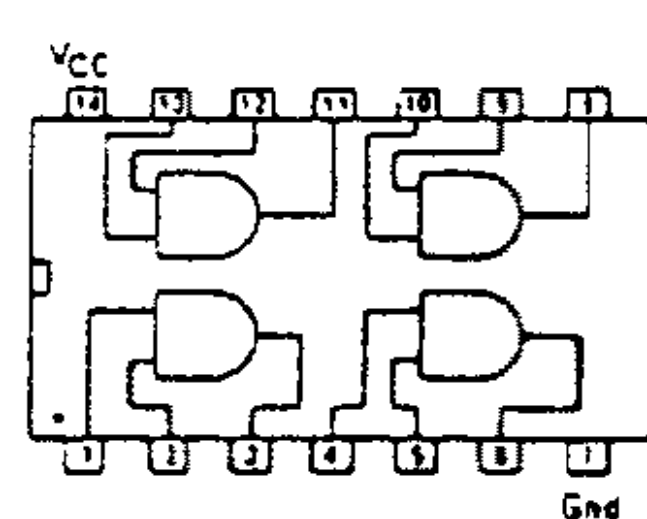
7404



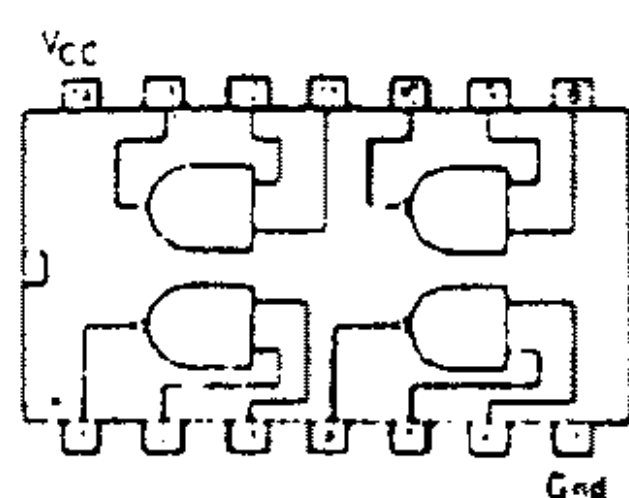
7406



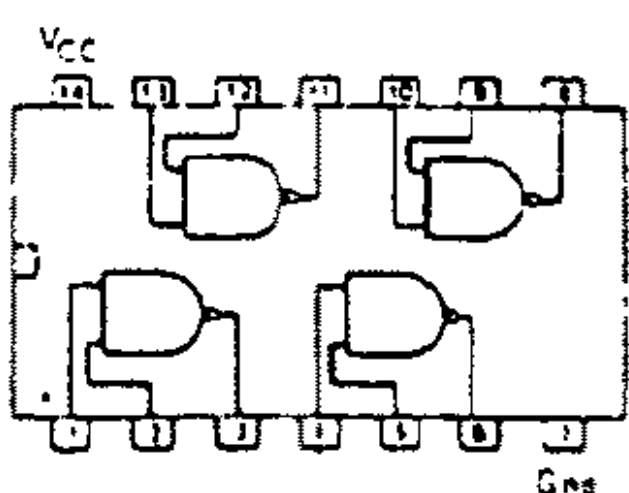
7408



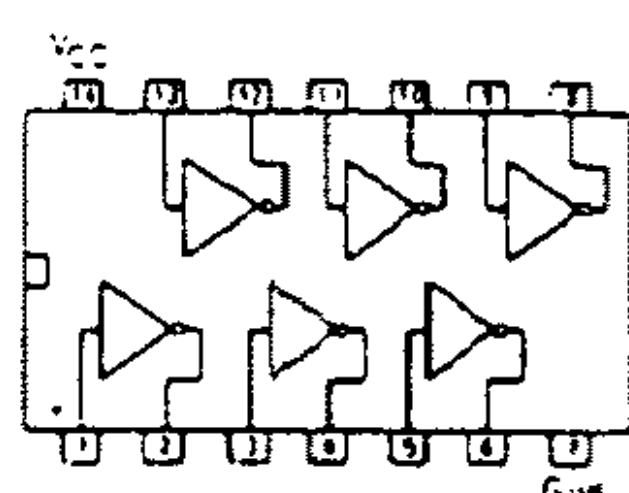
7401



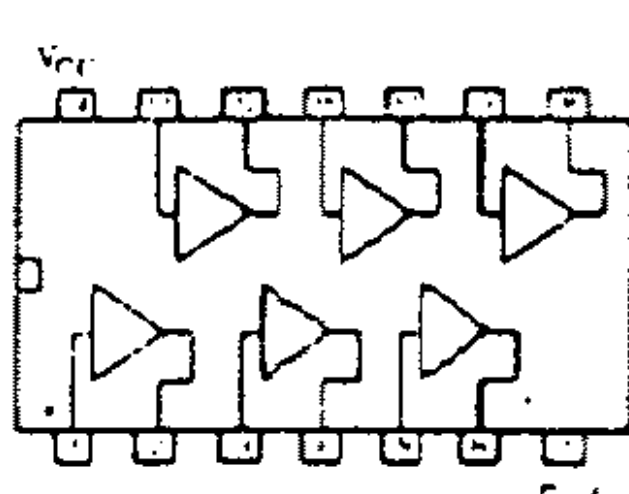
7403



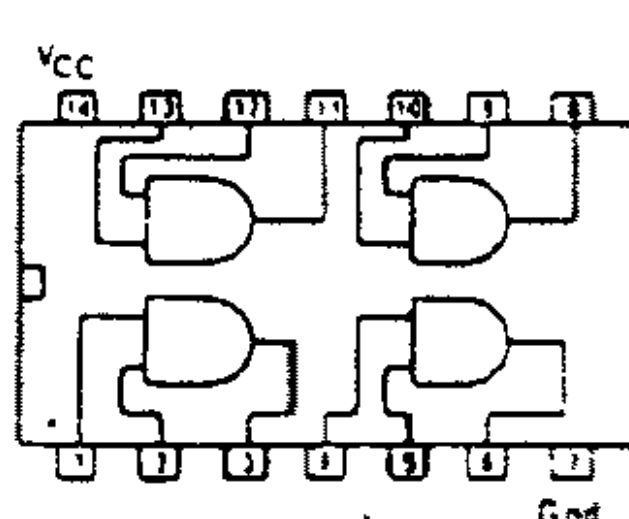
7405



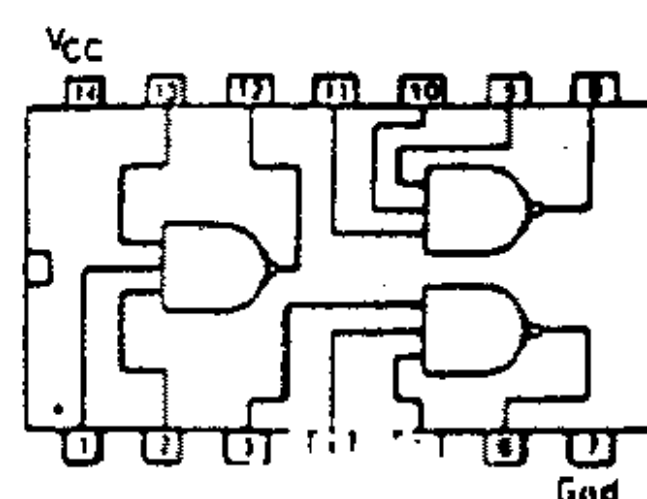
7407



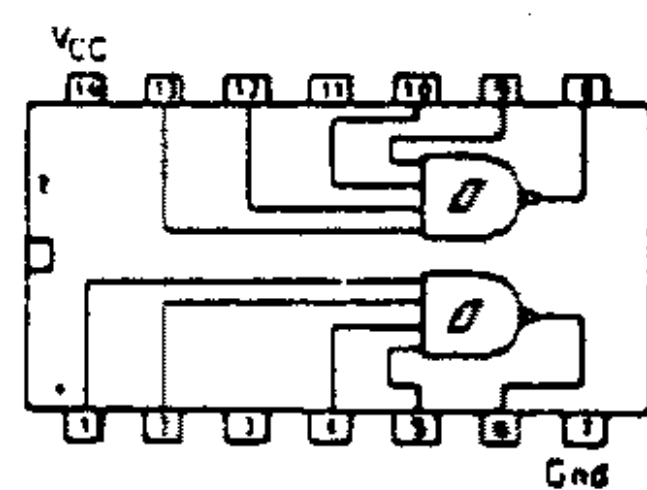
7409



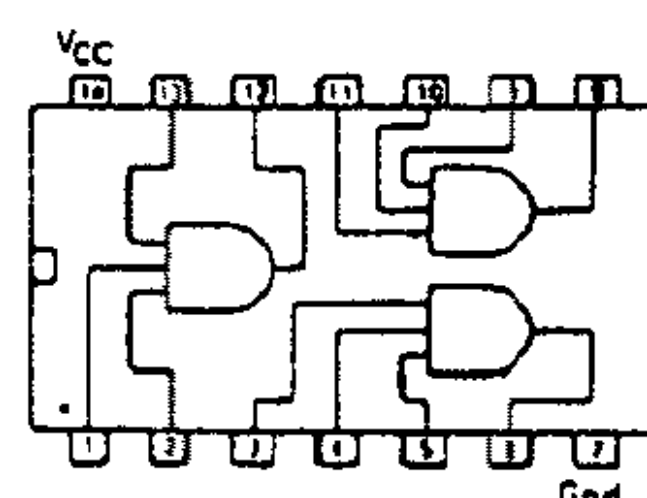
7410



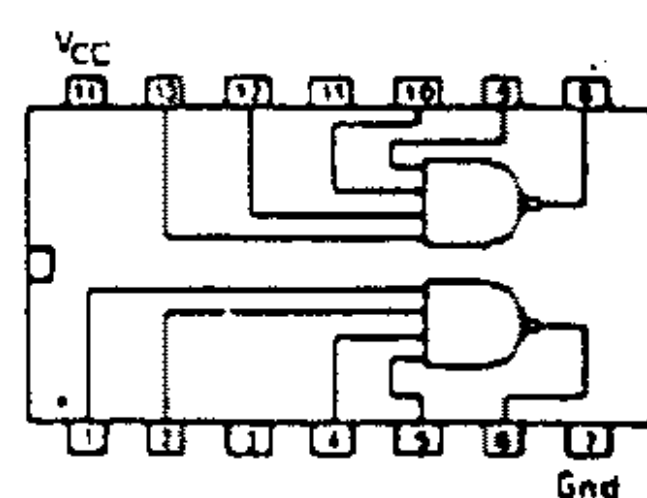
7413



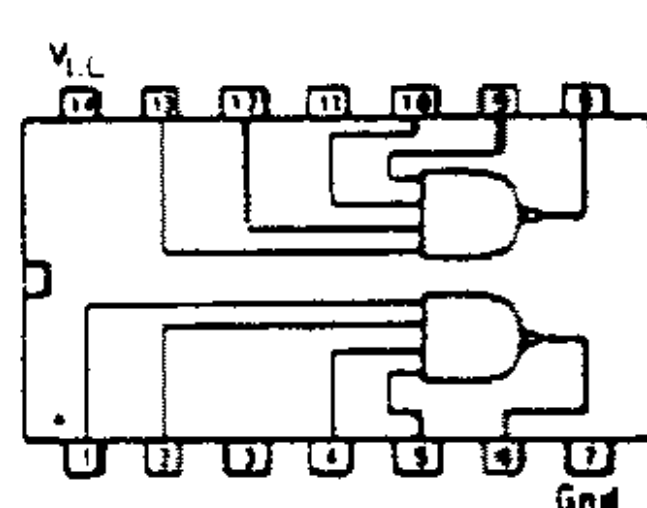
7415



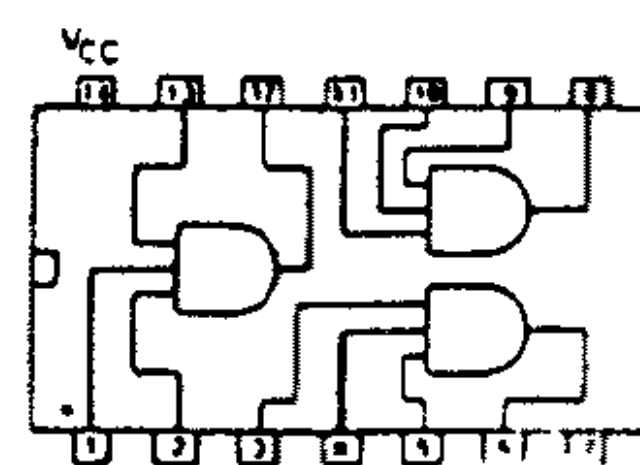
7420



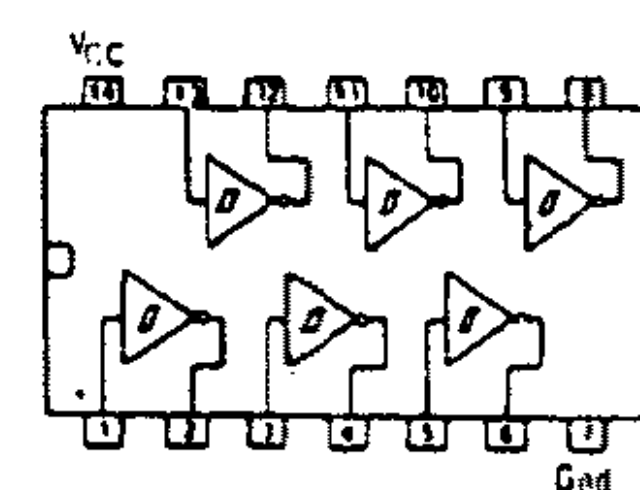
7422



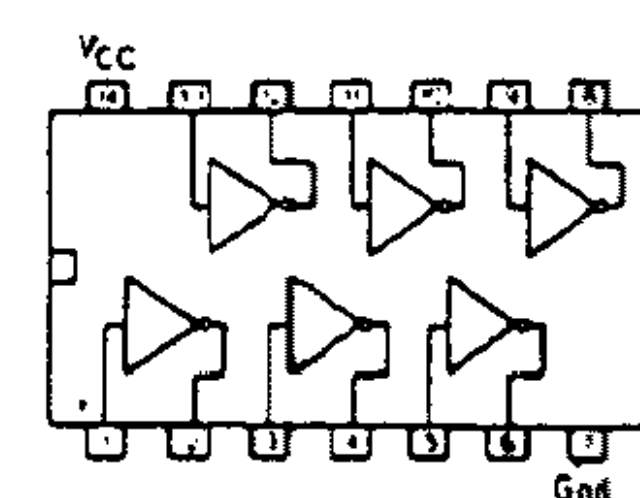
7411



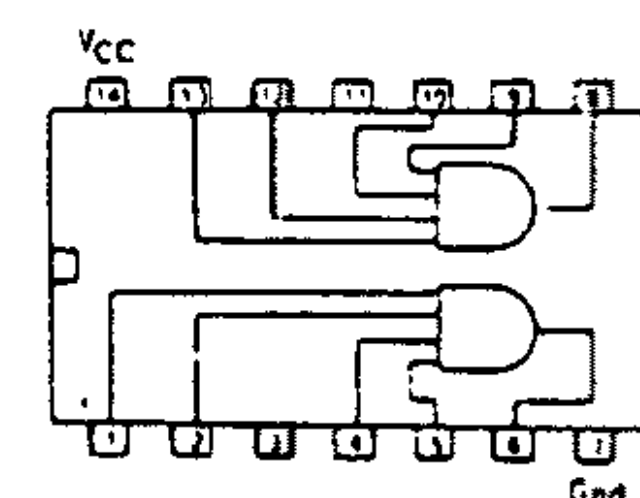
7414



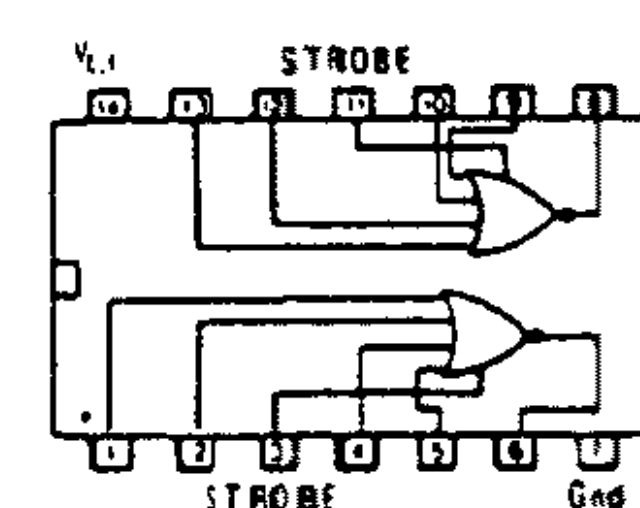
7416



7421

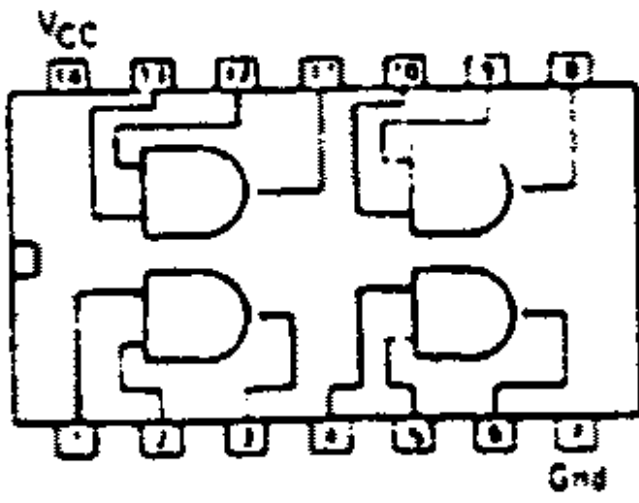


7425

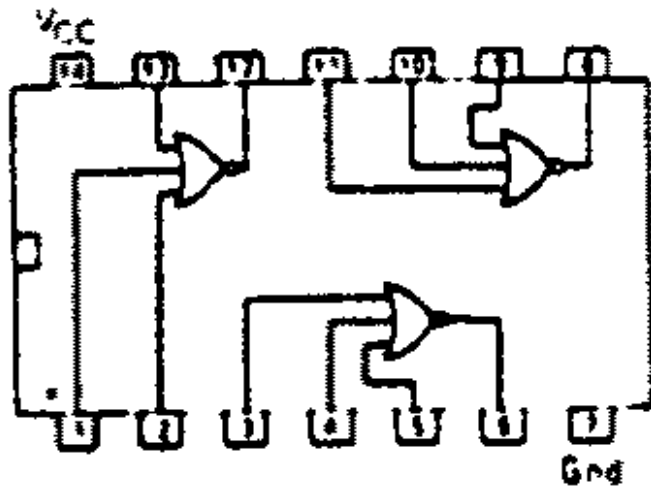


فن تصميم الدوائر الرقمية

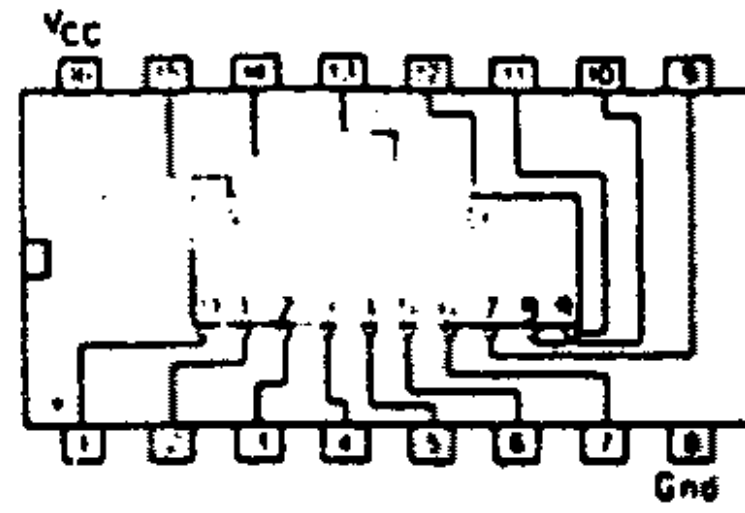
7426



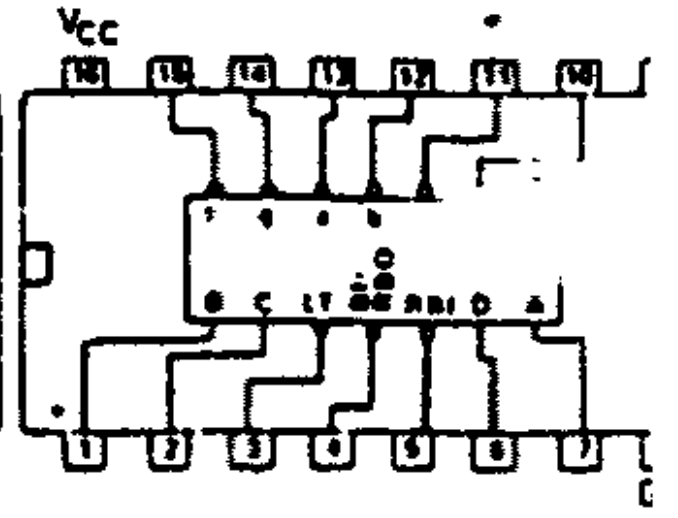
7427



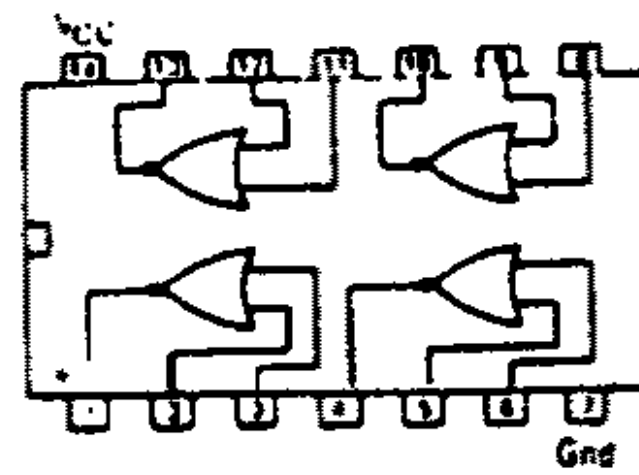
7445



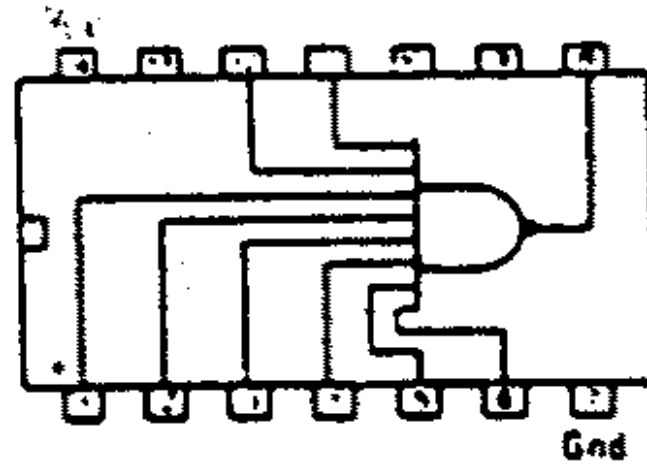
74



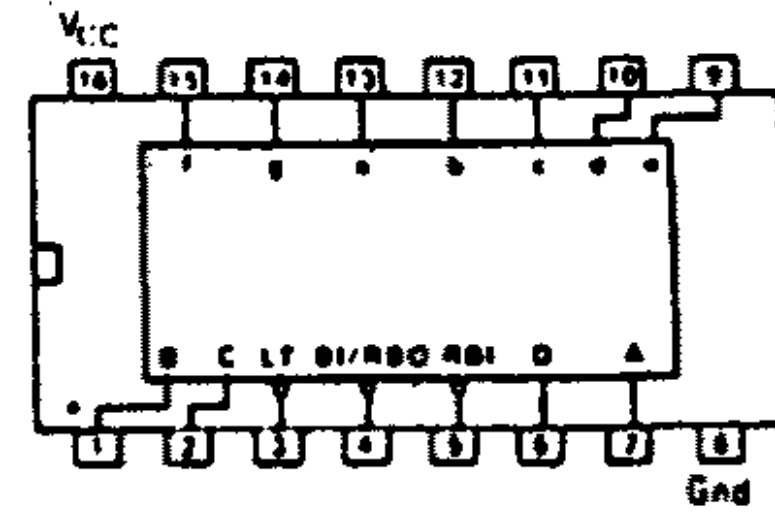
7428



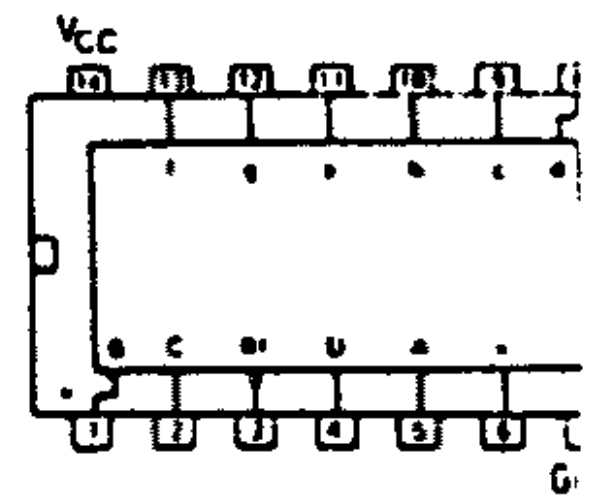
7430



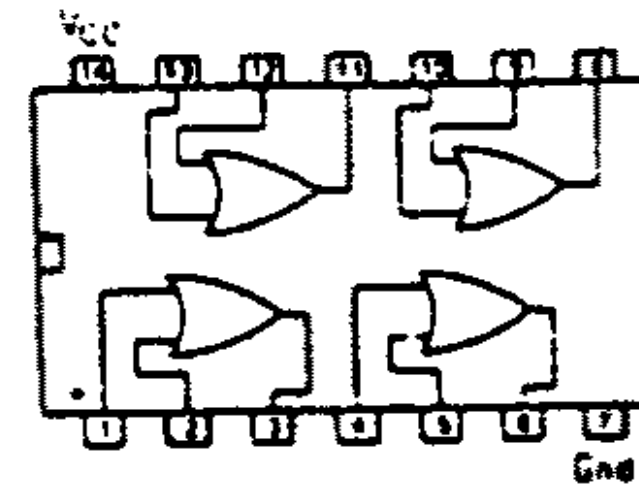
7448



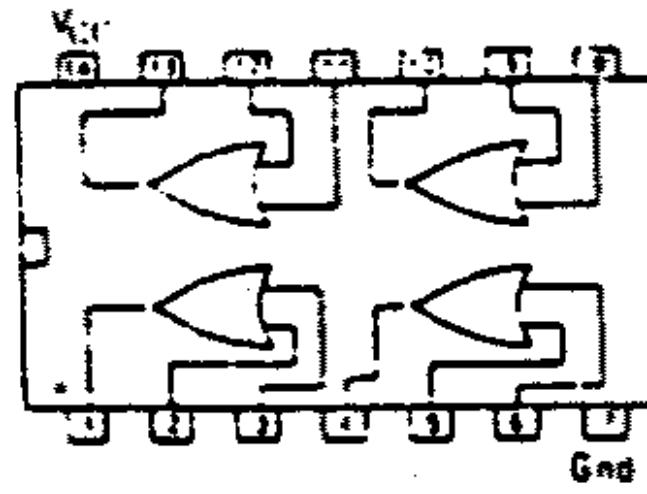
74



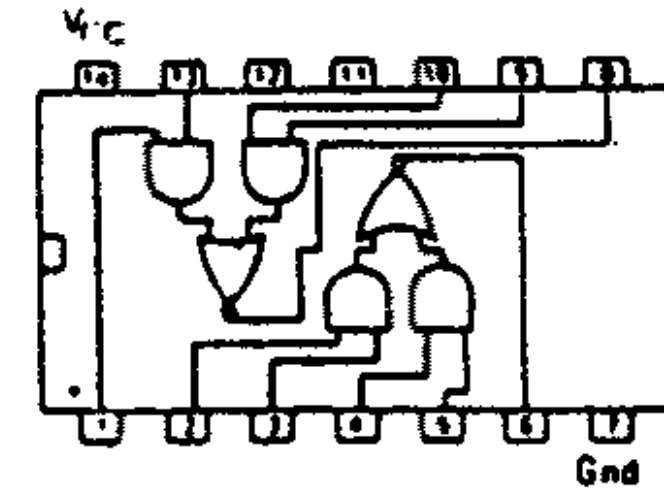
7432



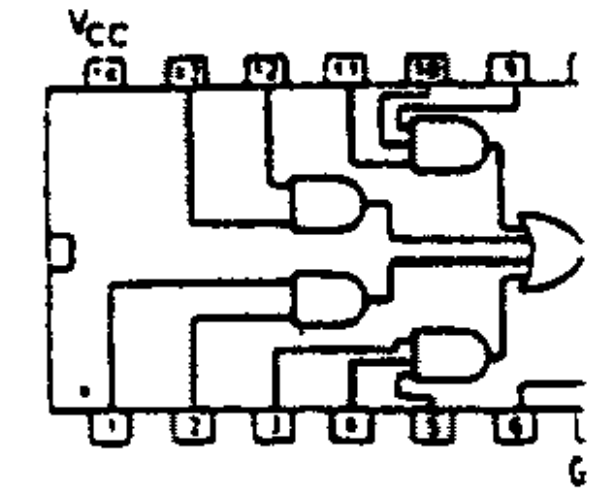
7433



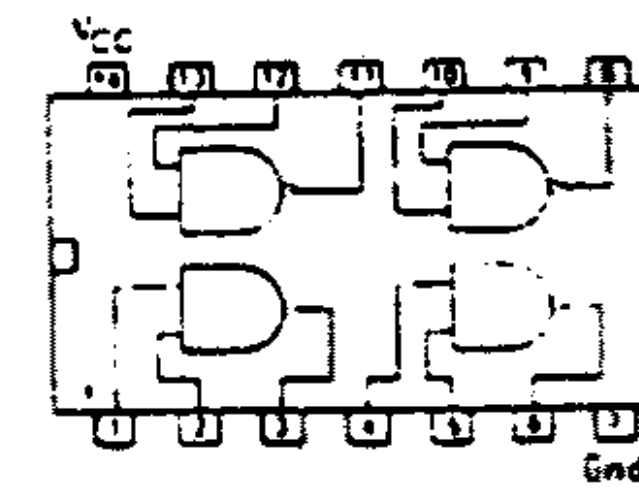
7451



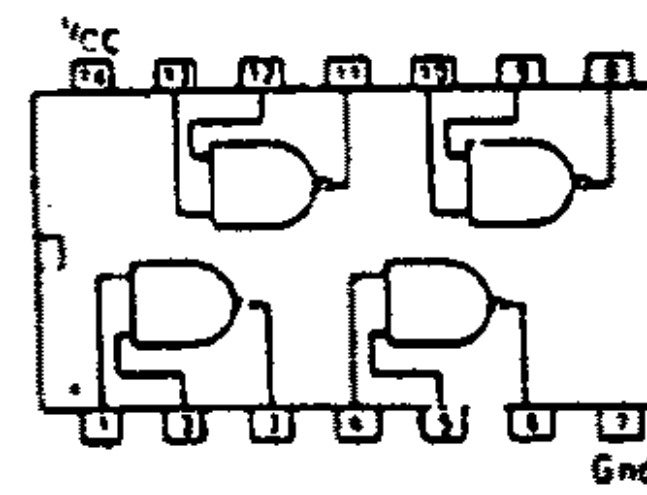
74



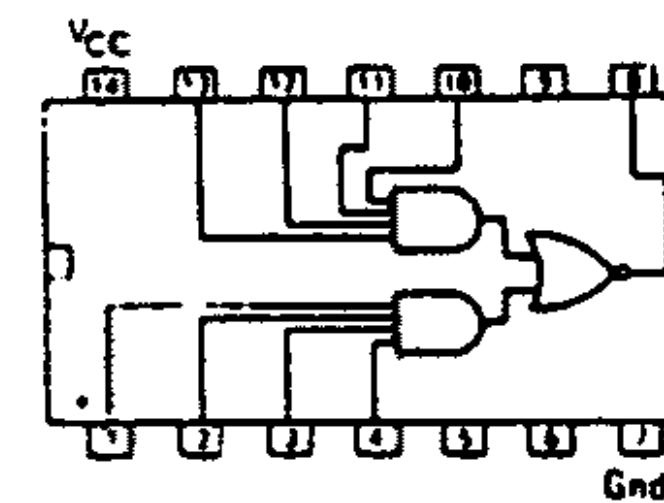
7437



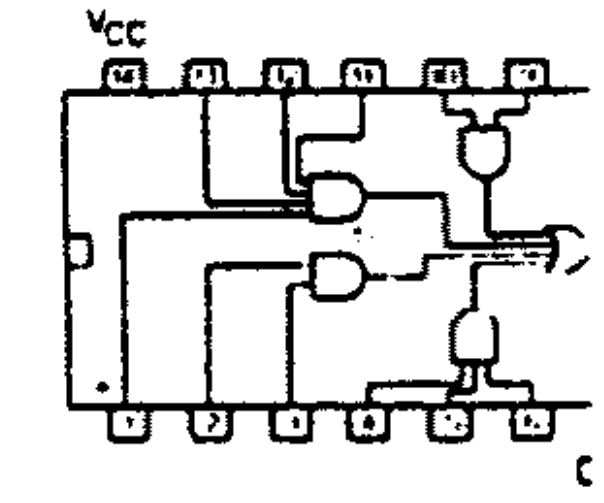
7438



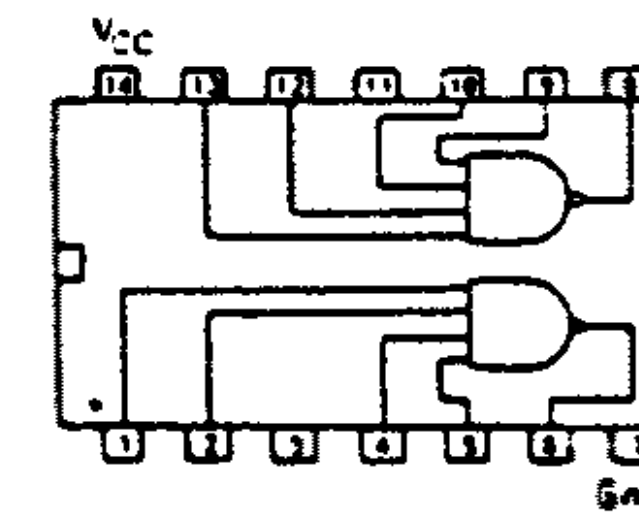
7455



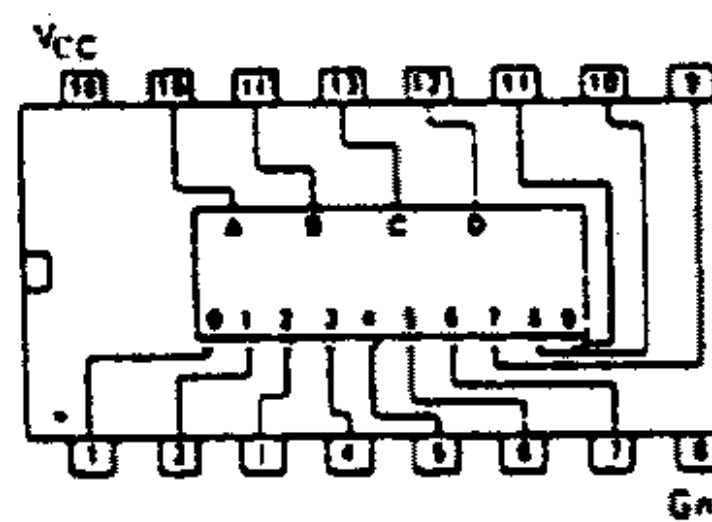
74



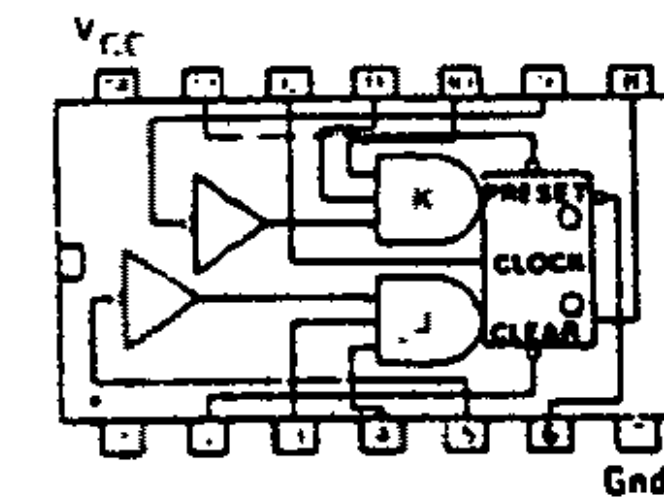
7440



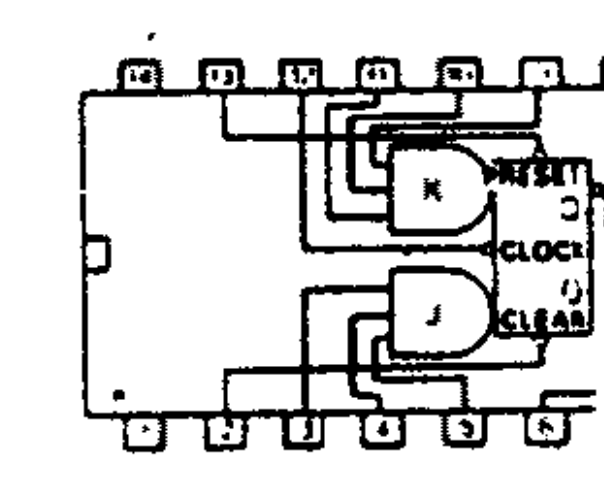
7442



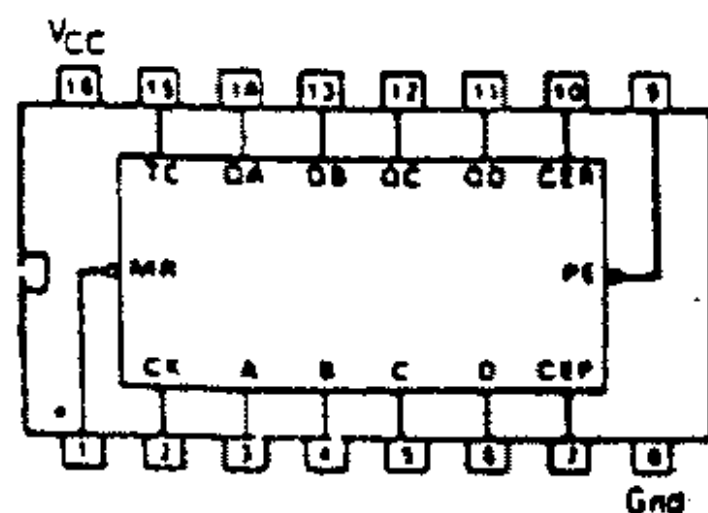
7470



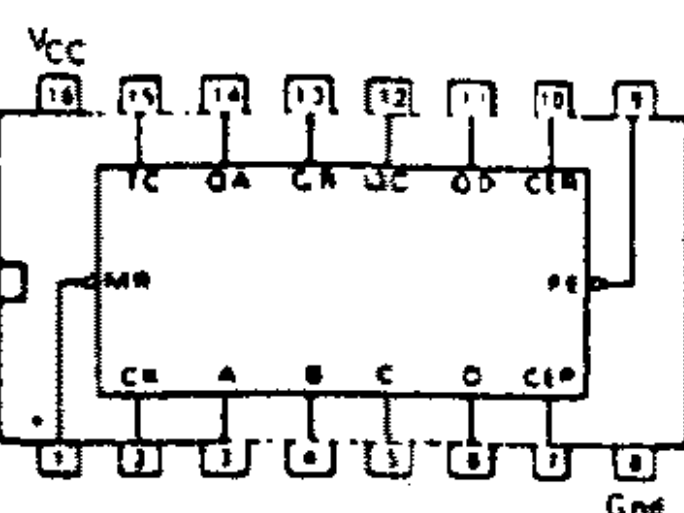
74



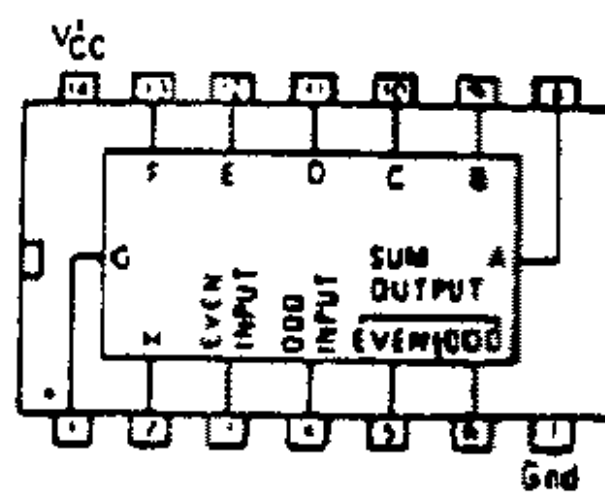
74160



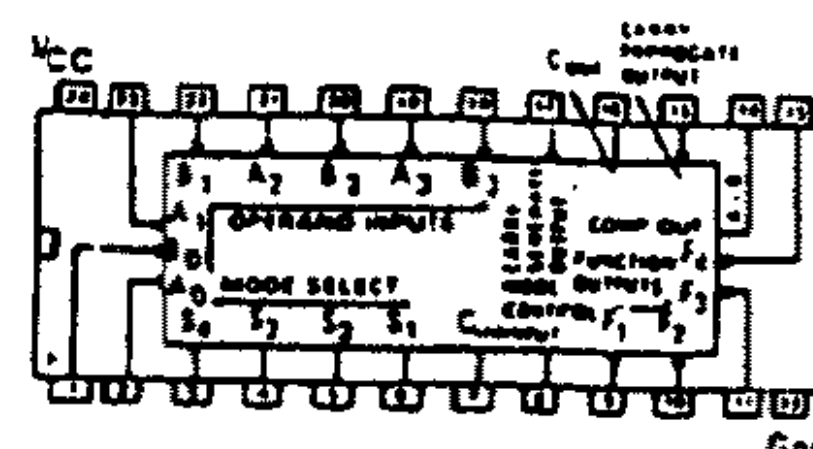
74161



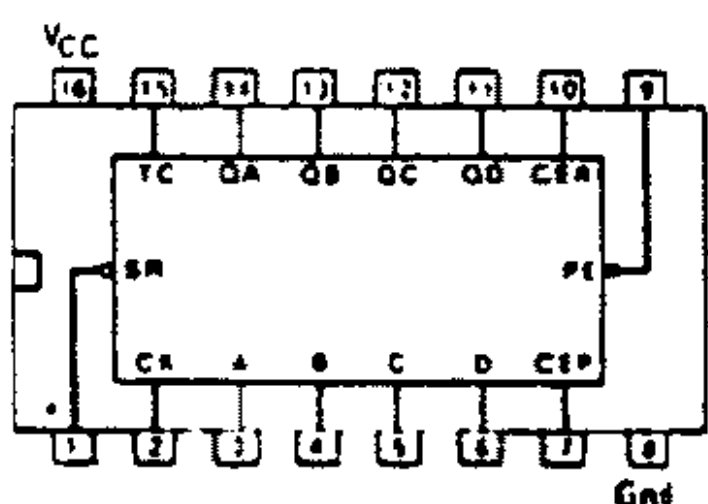
74180



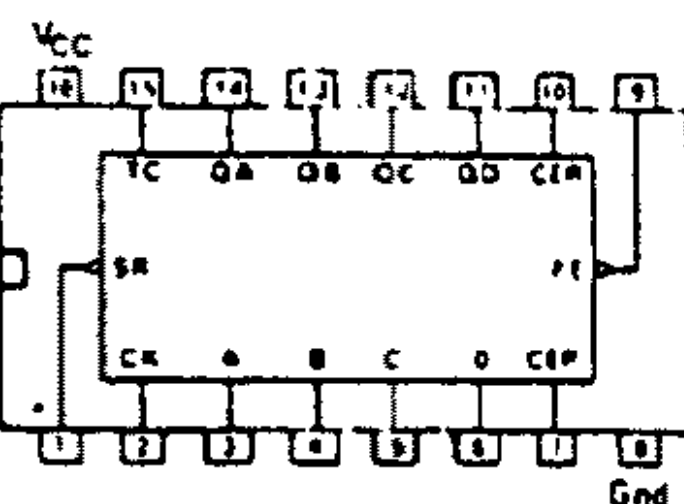
74181



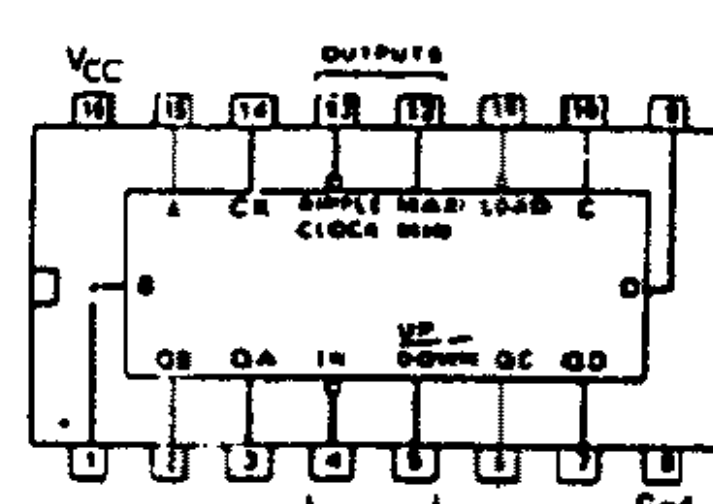
74162



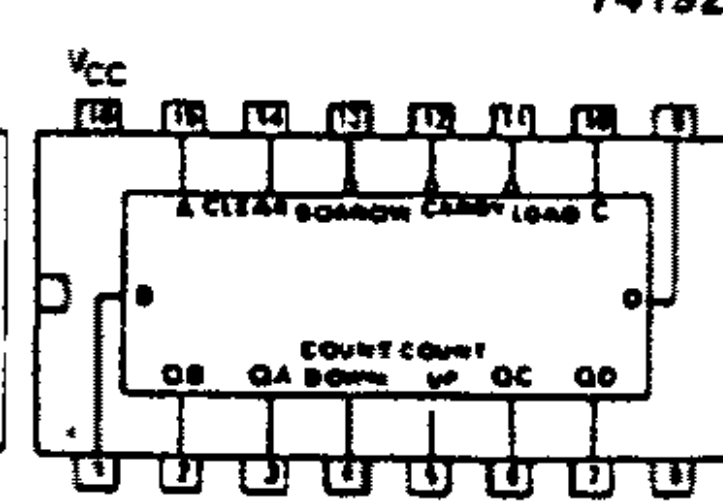
74163



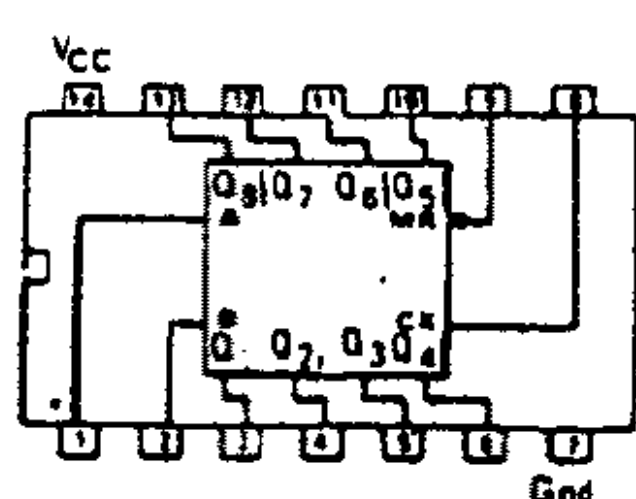
74191



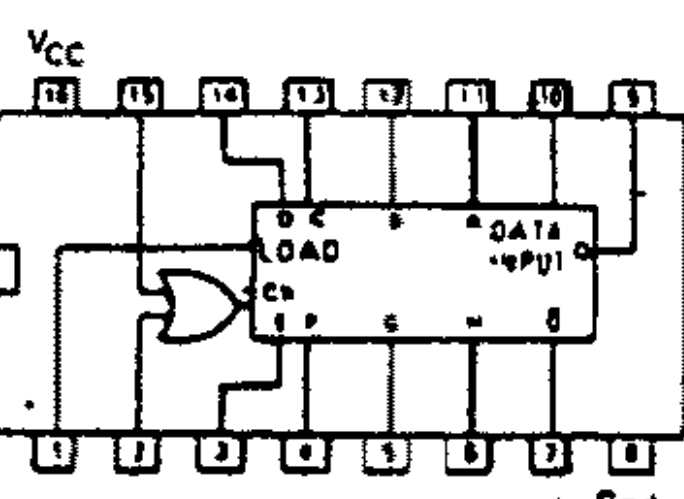
74192



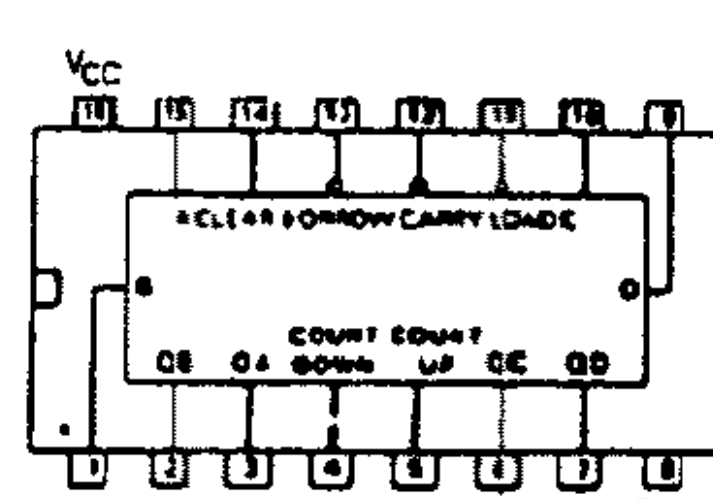
74164



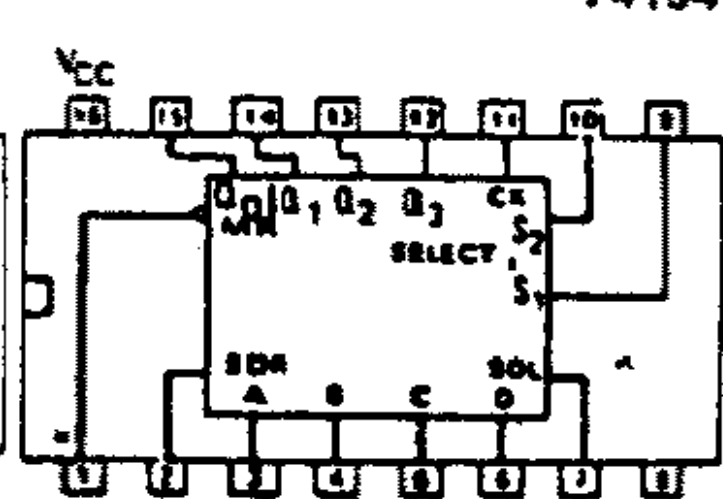
74165



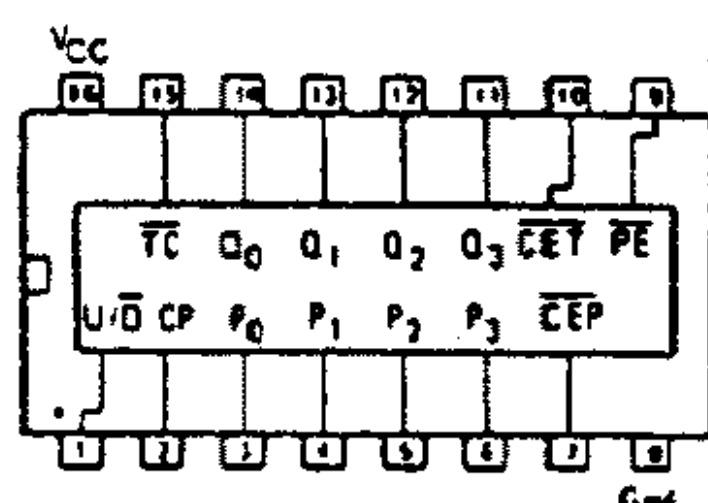
74193



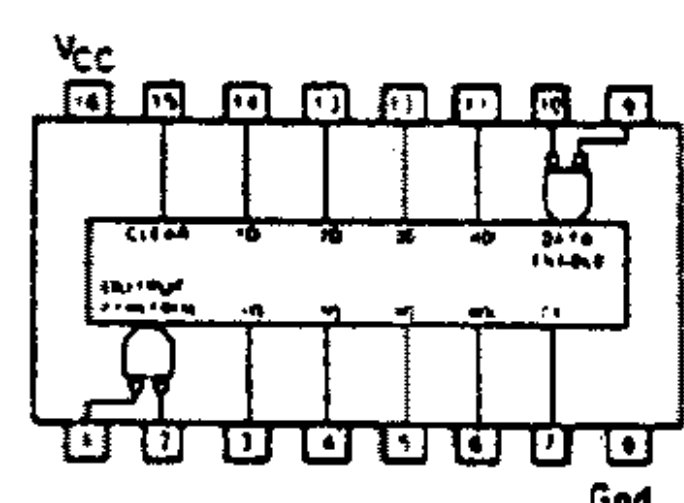
74194



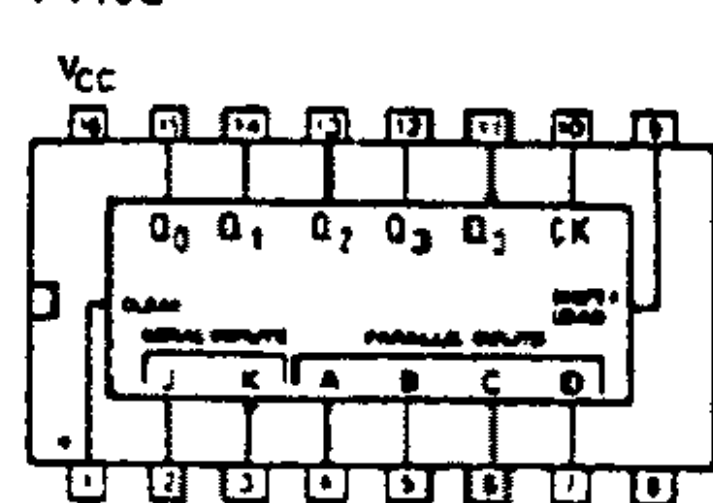
74169



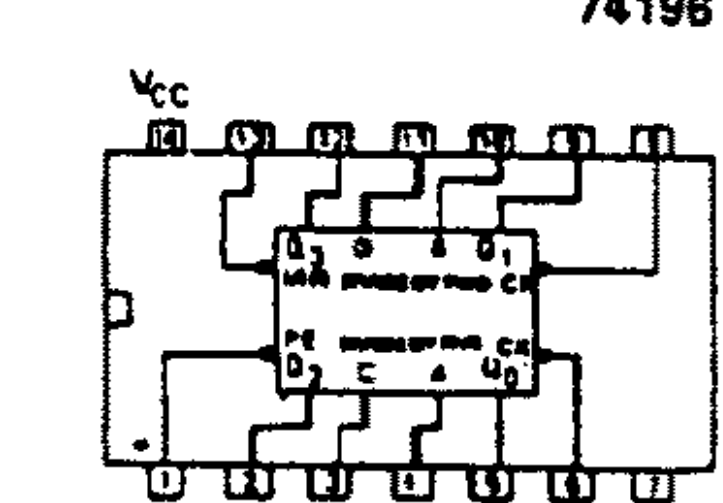
74173



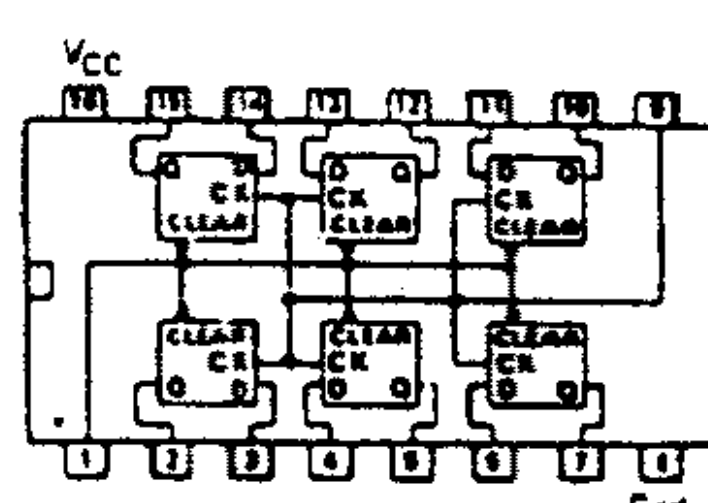
74195



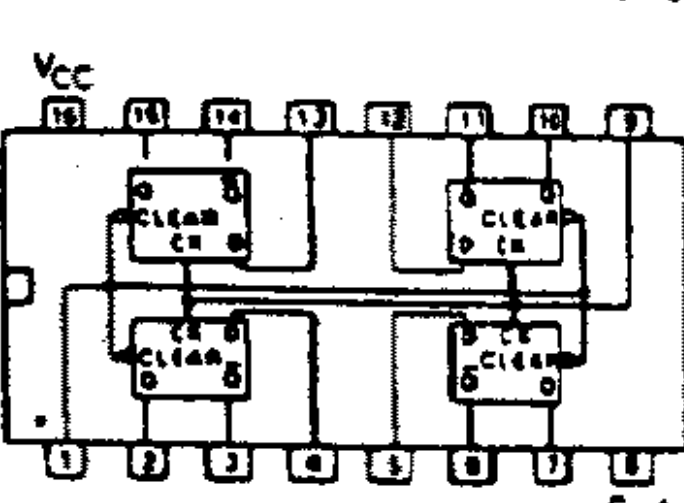
74196



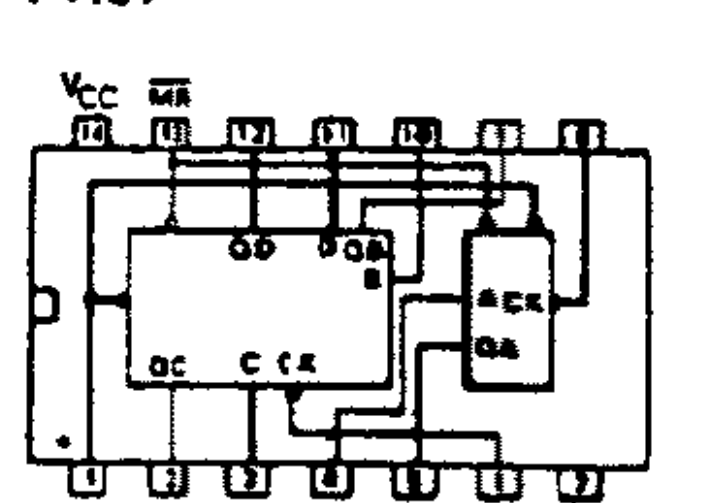
74174



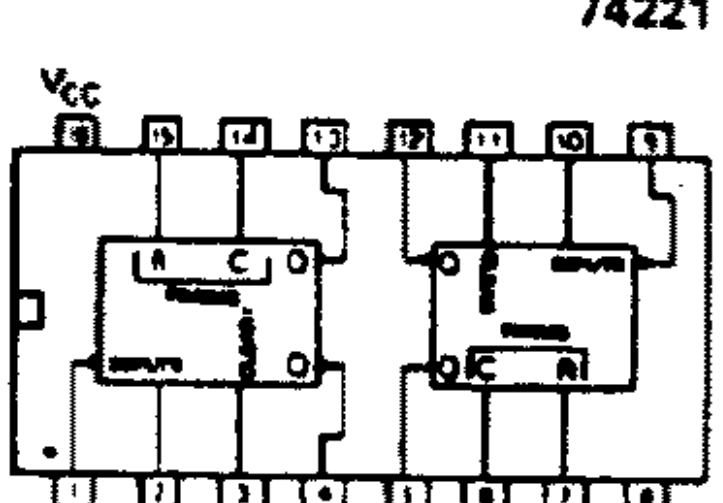
74175



74197

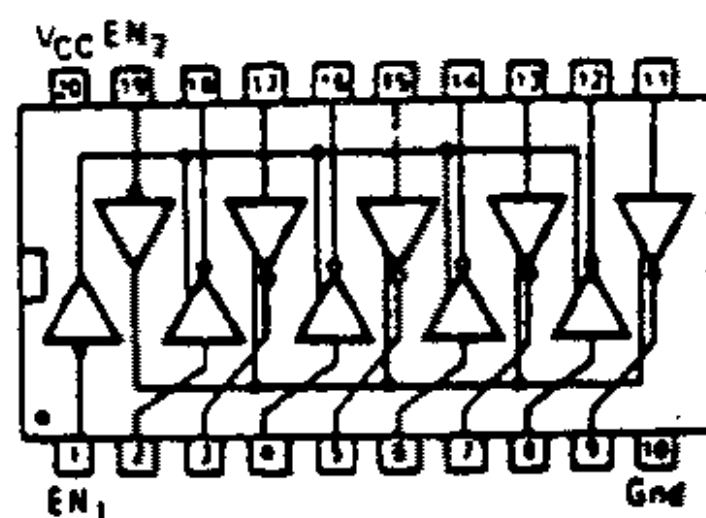


74221

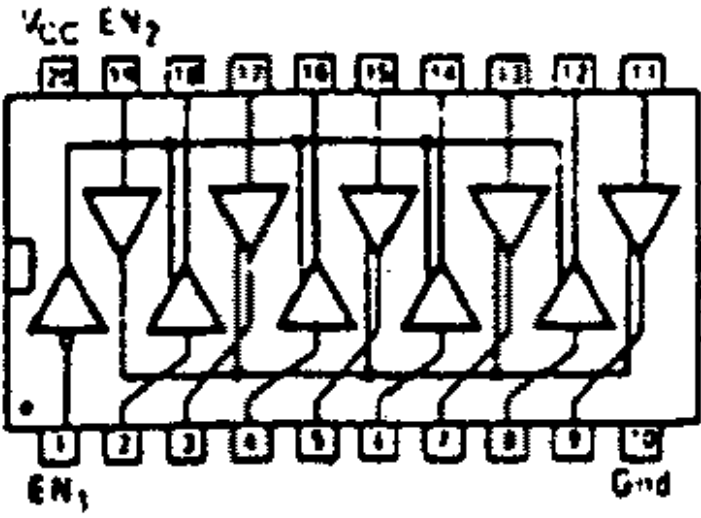


فن تصميم الدوائر الرقمية

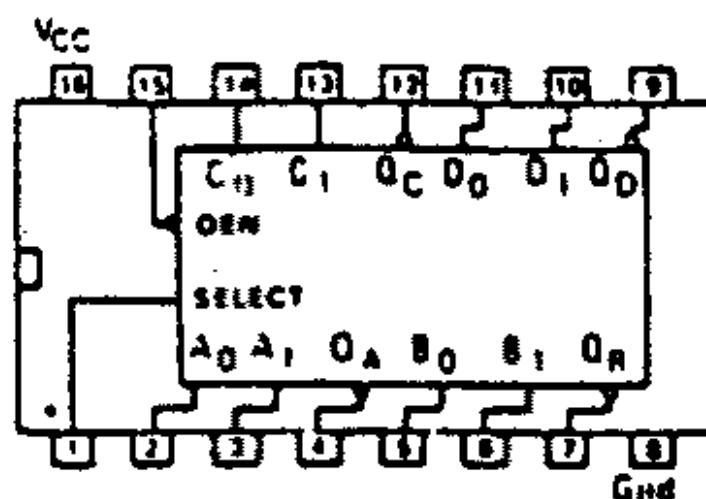
74240



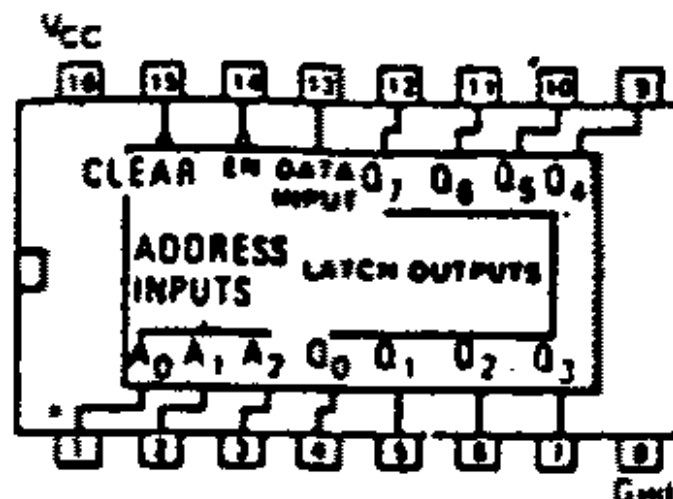
74241



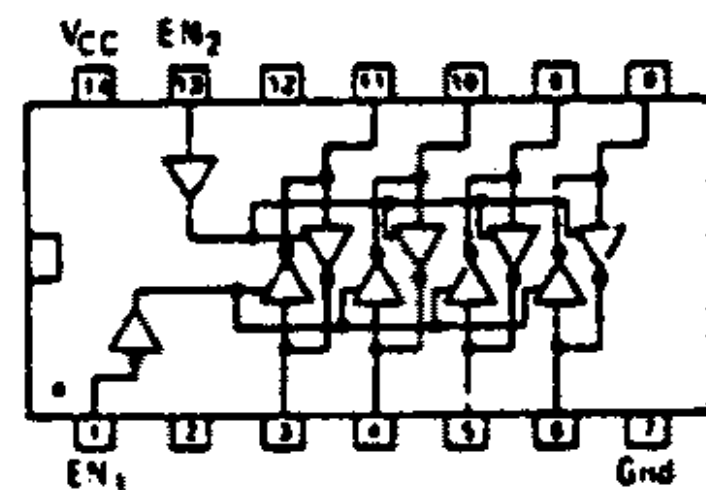
74258



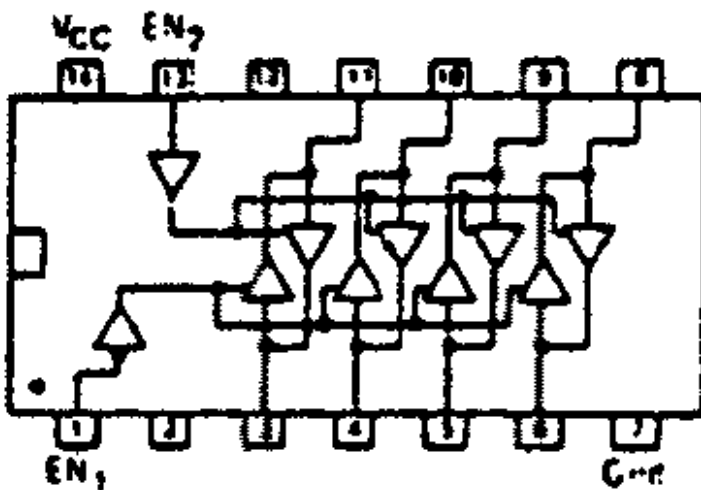
74259



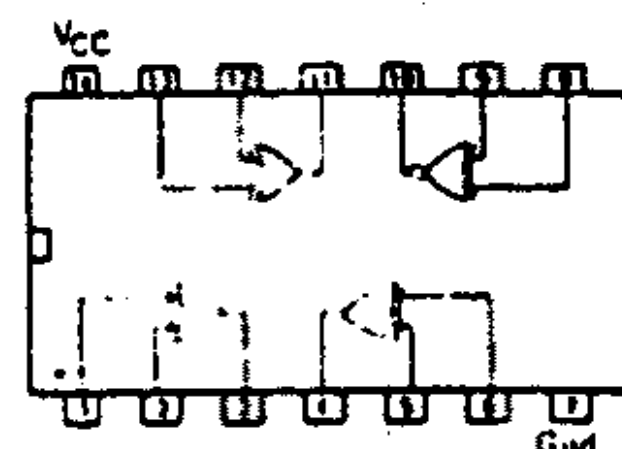
74242



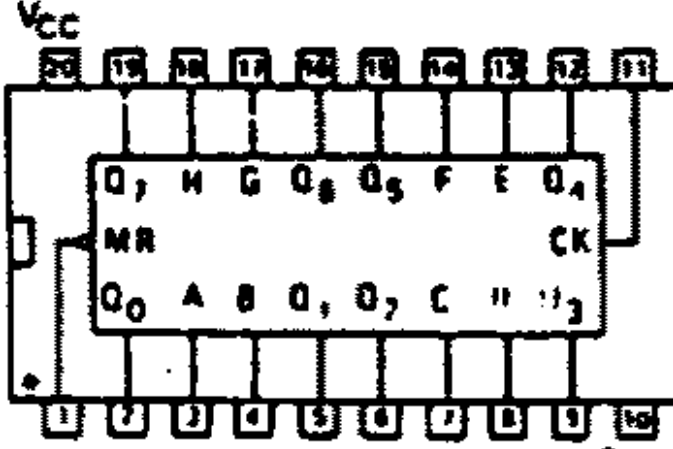
74243



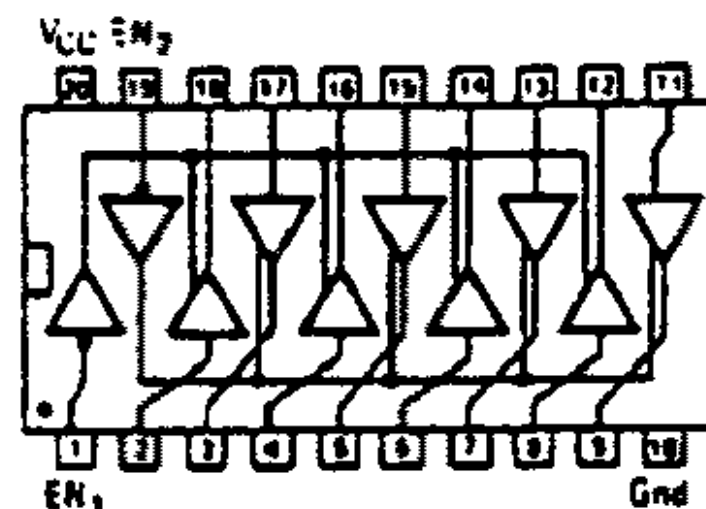
74266



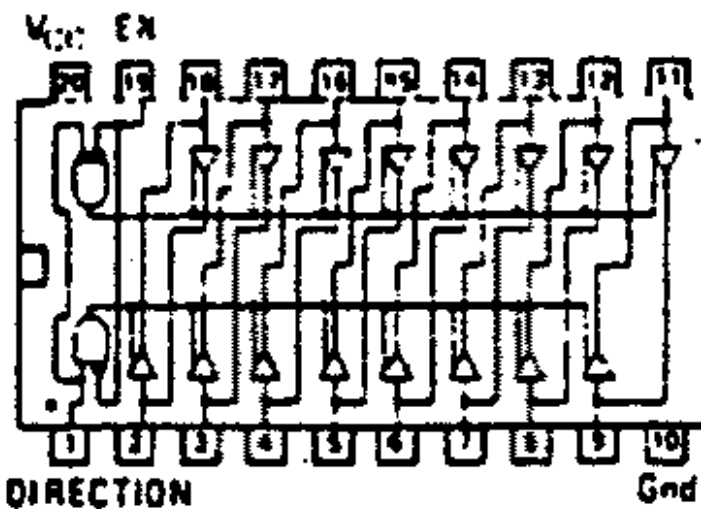
7427



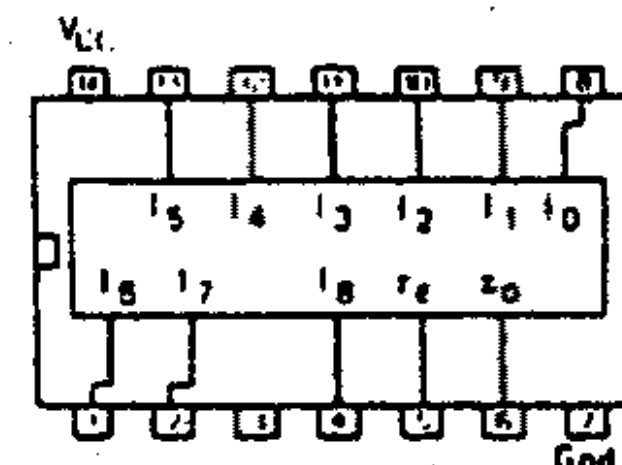
74244



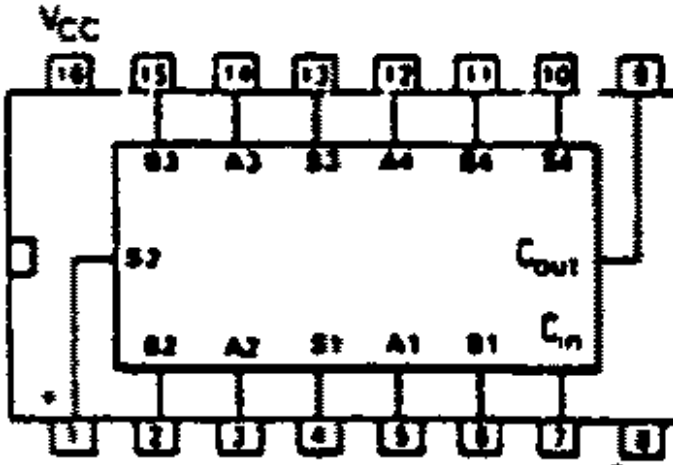
74245



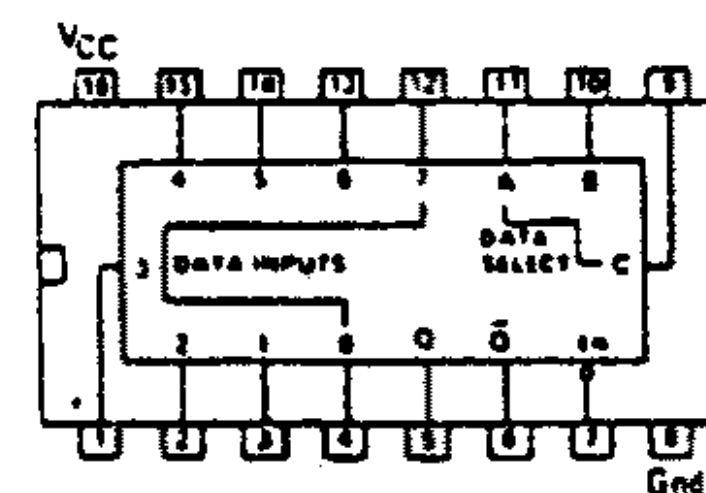
74280



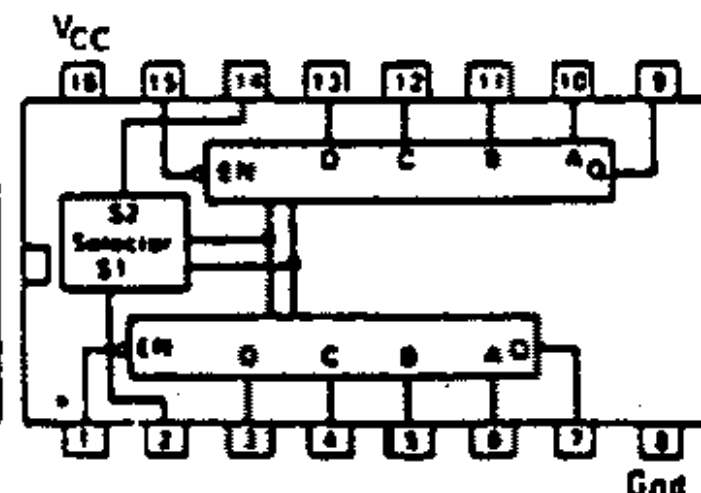
7428



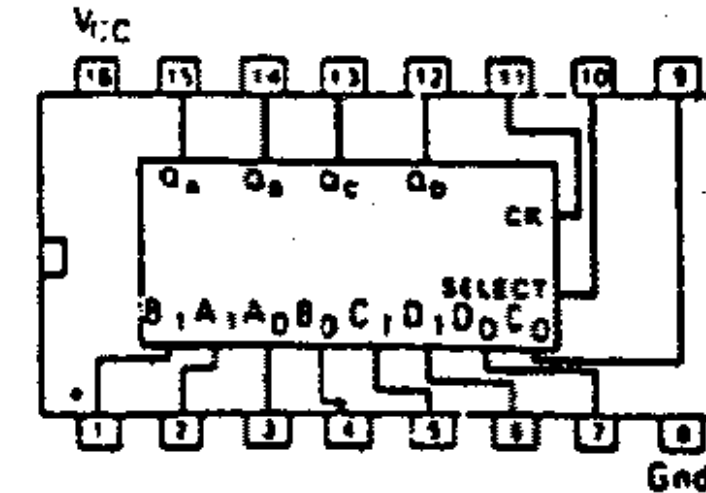
74251



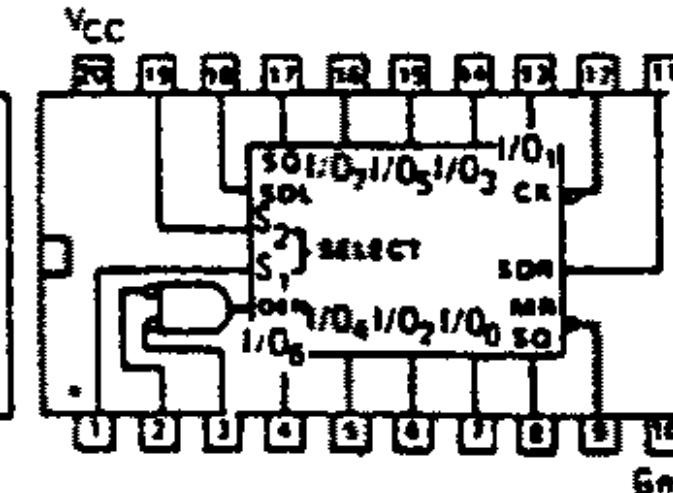
74253



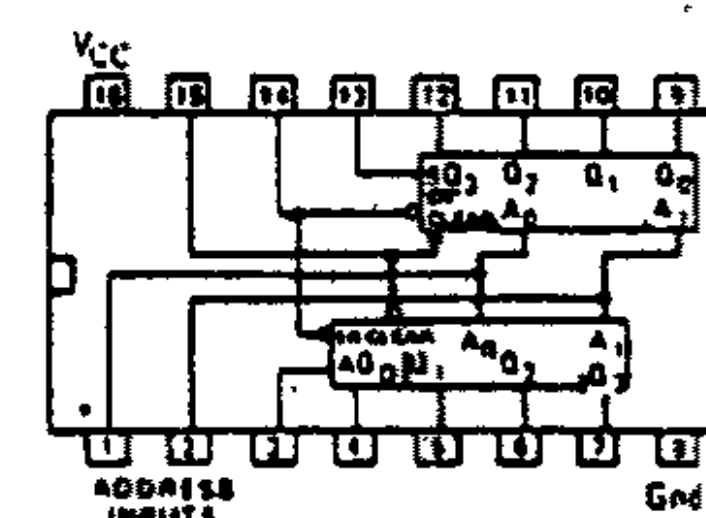
74298



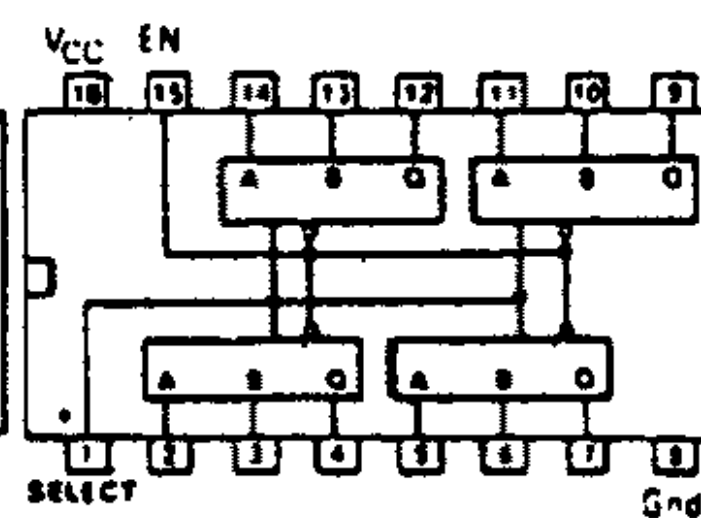
7429



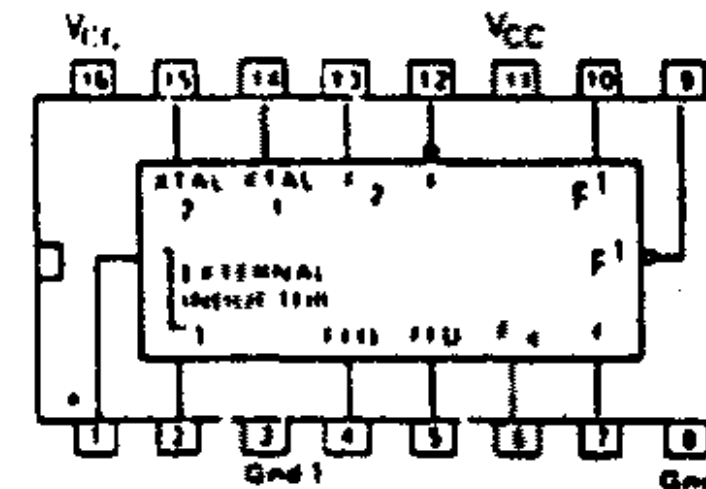
74256



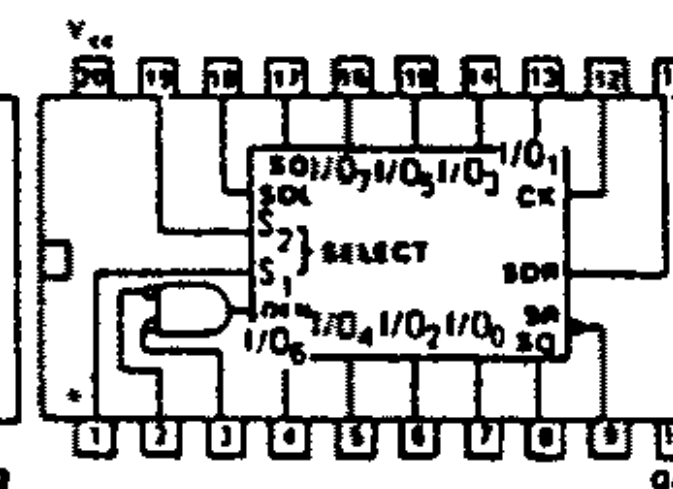
74257



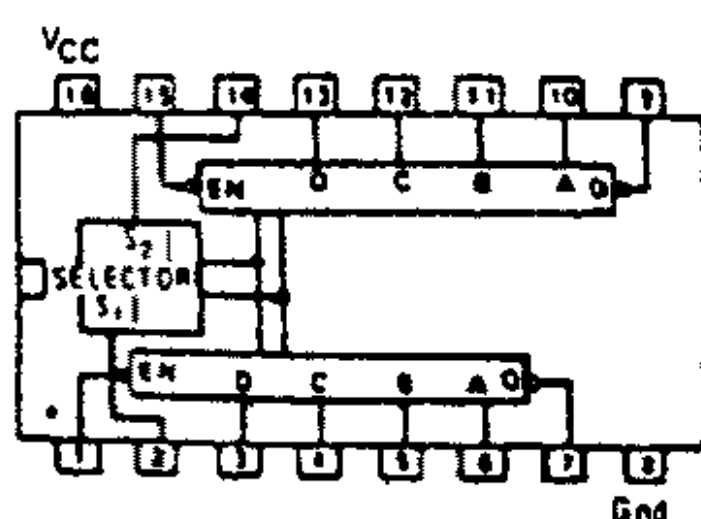
74321



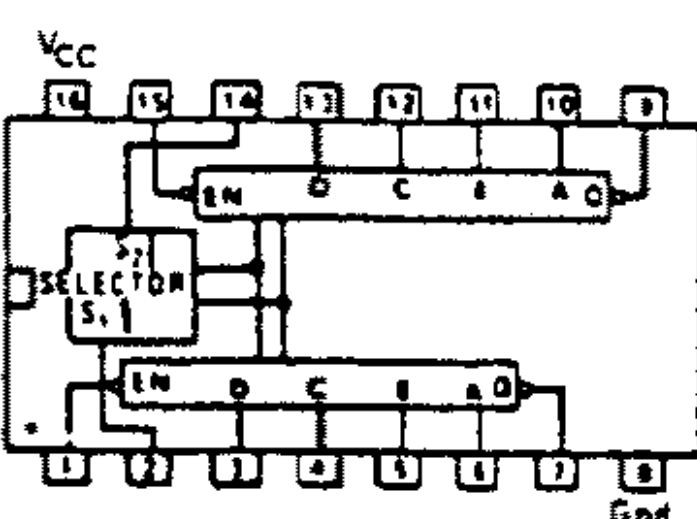
7432



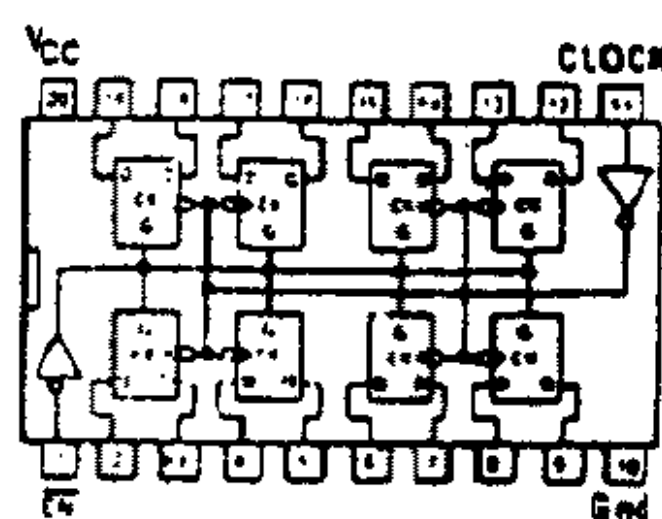
74352



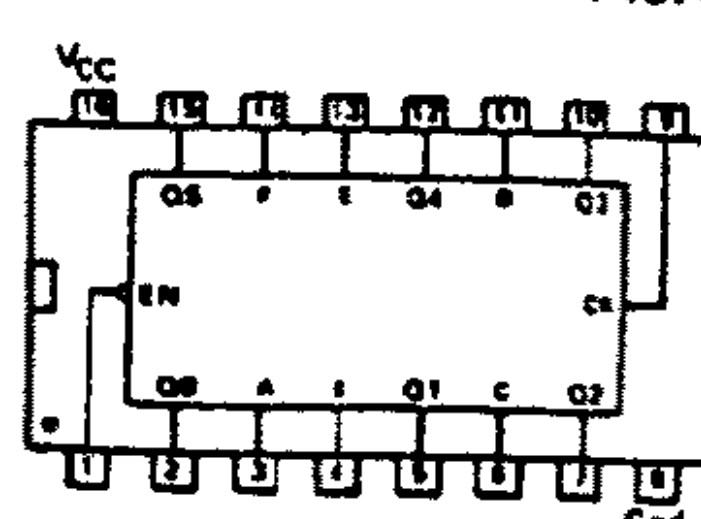
74353



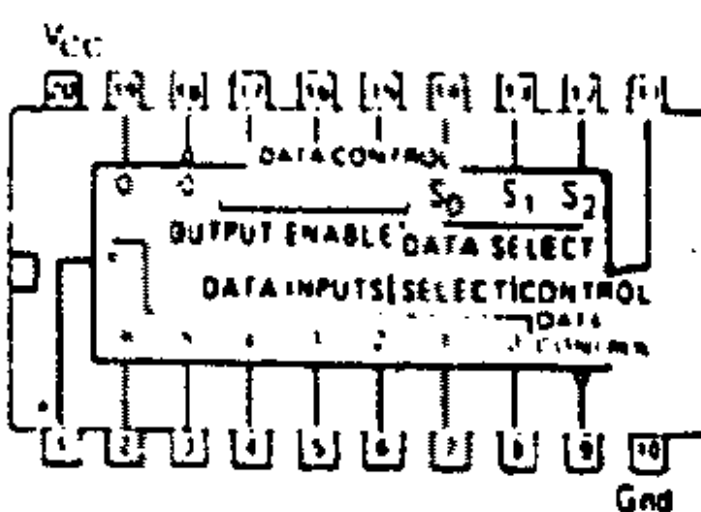
74377



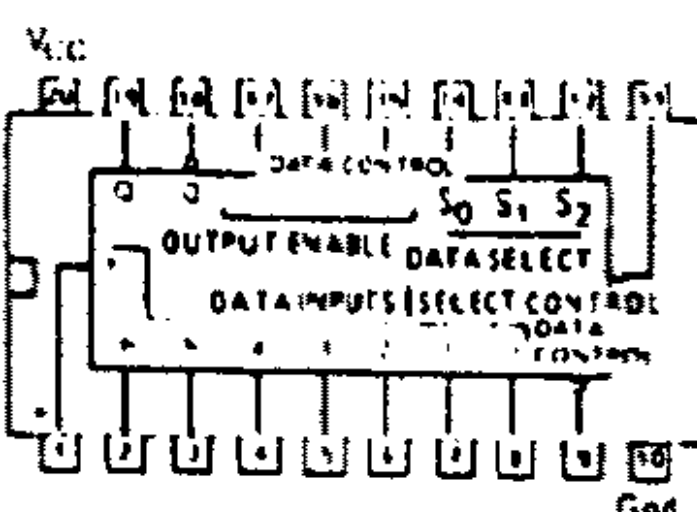
74378



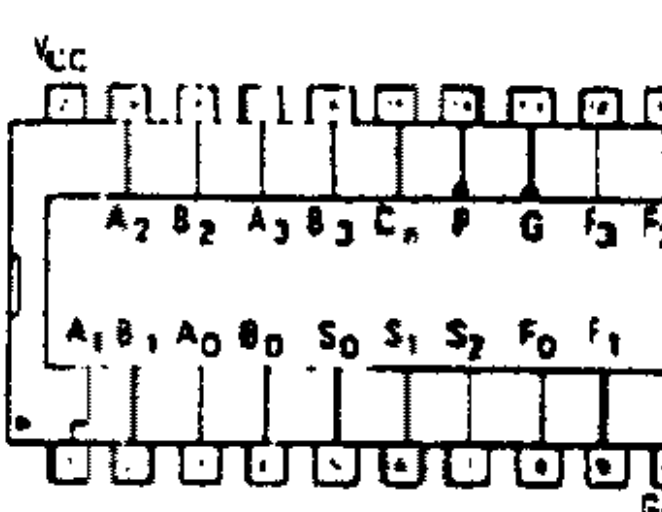
74354



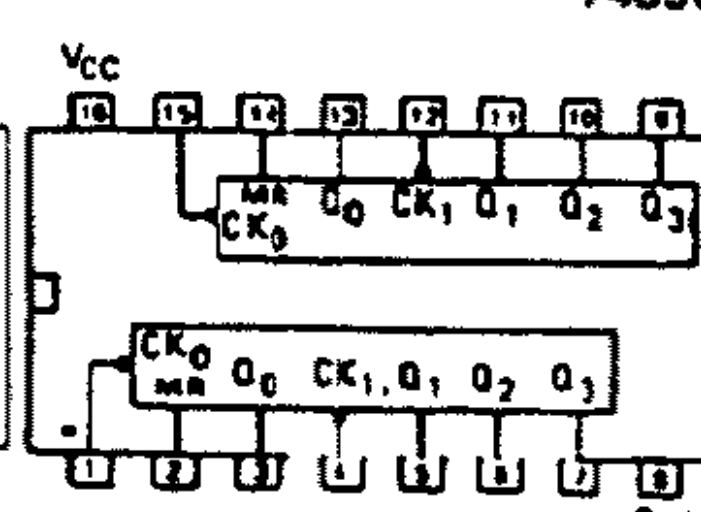
74356



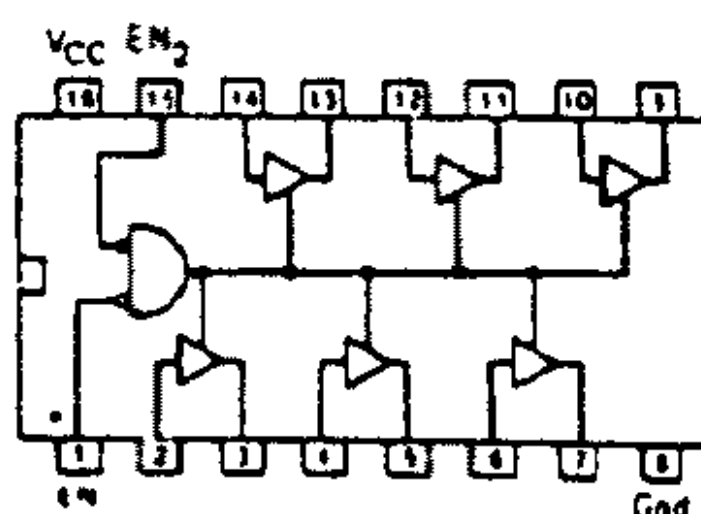
74381



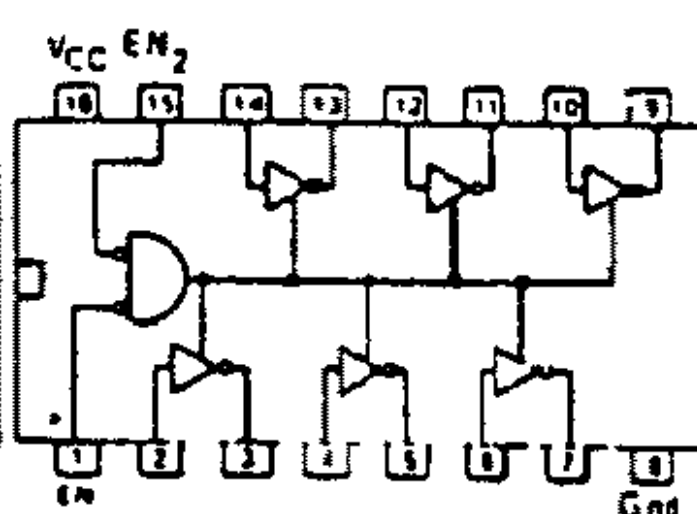
74390



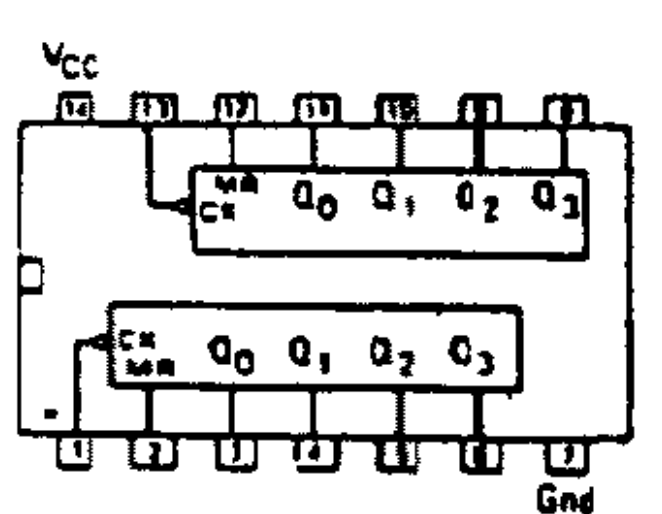
74365



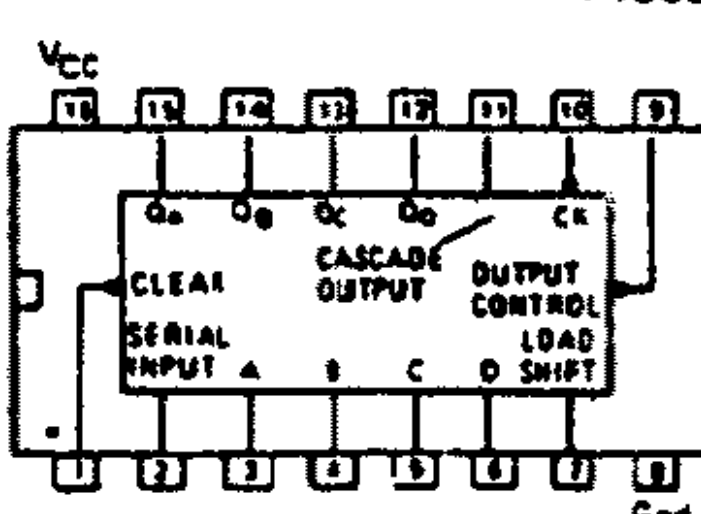
74366



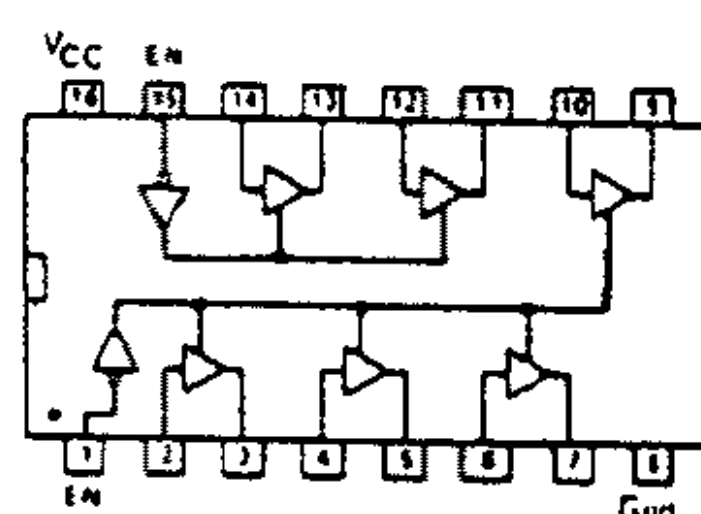
74393



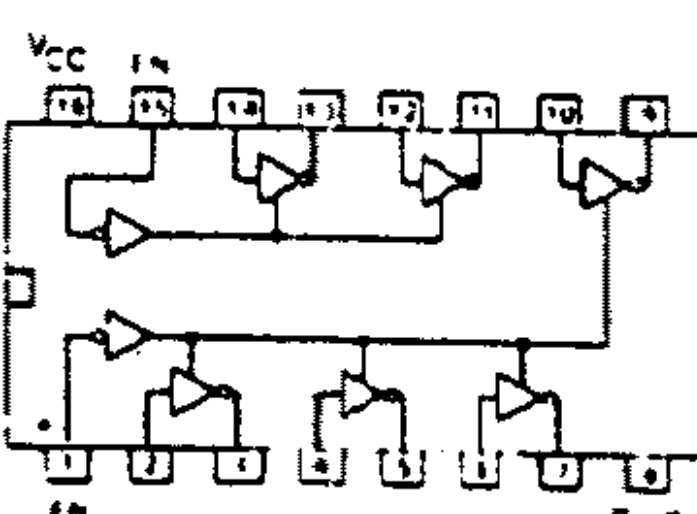
74396



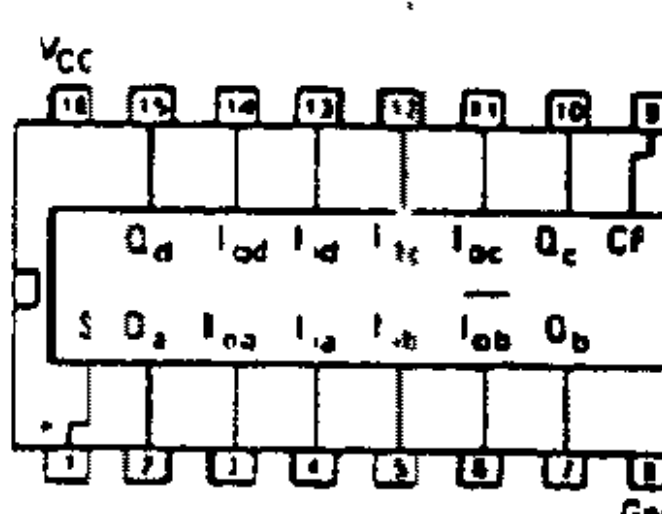
74367



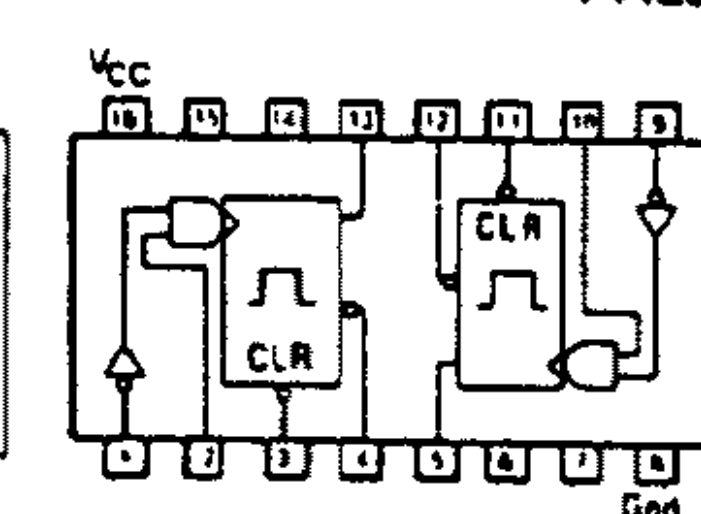
74368



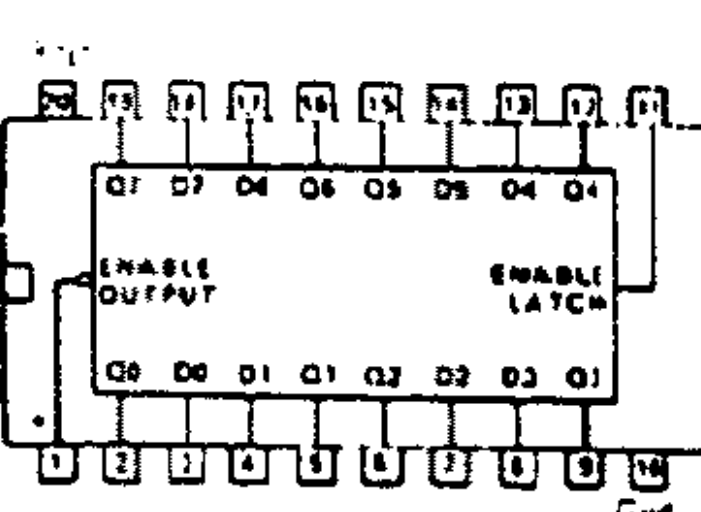
74399



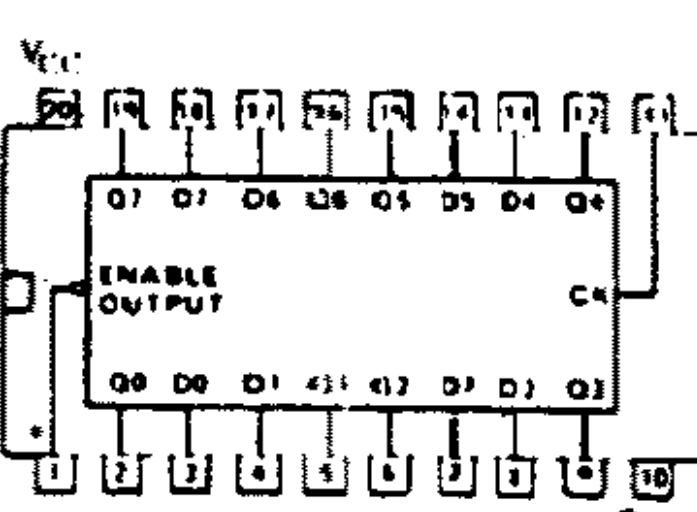
74423



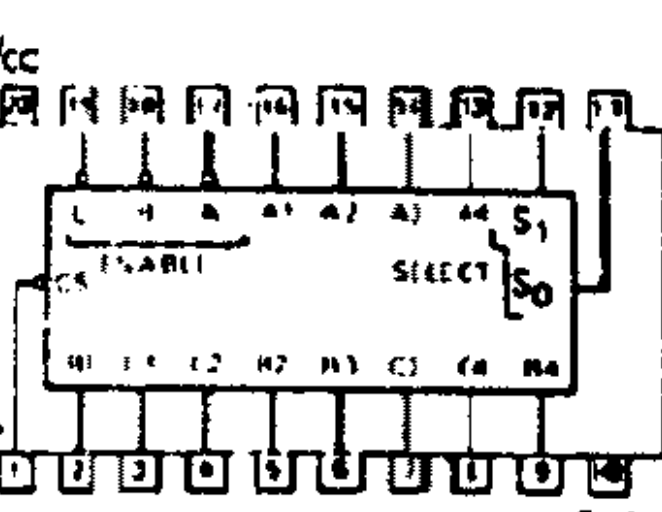
74373



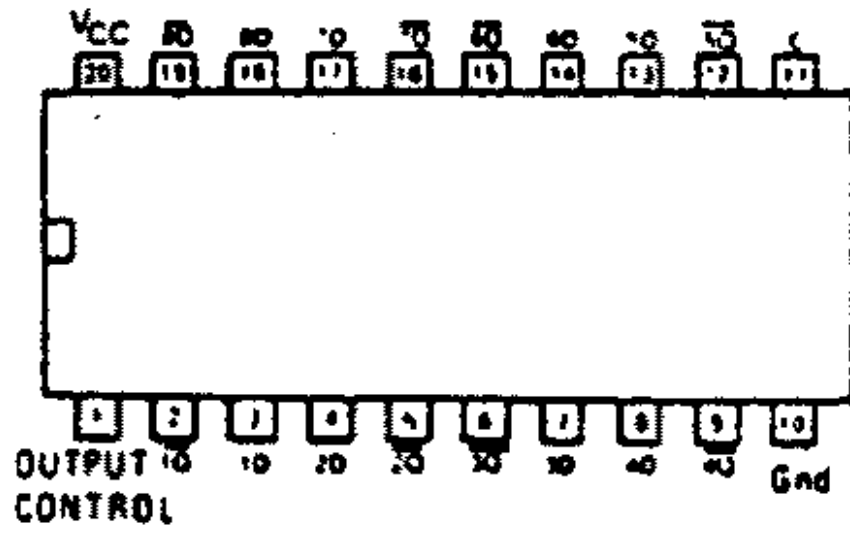
74374



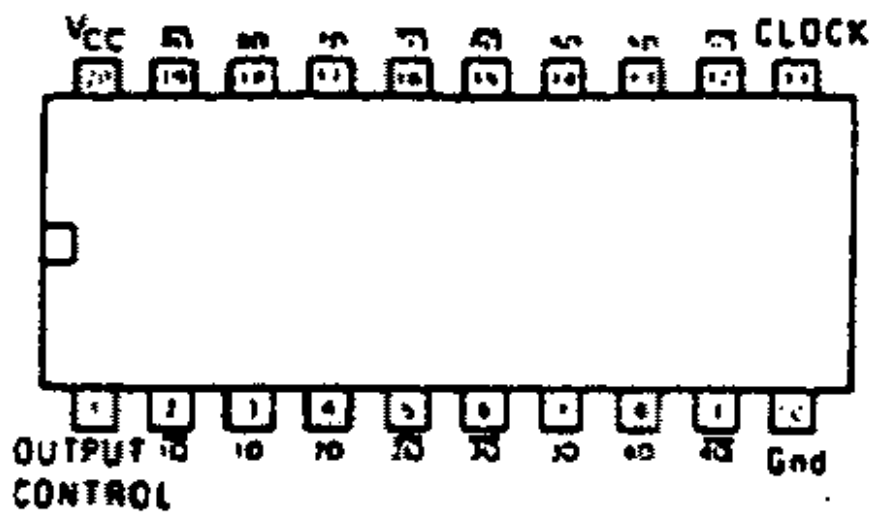
74442, 443, 444



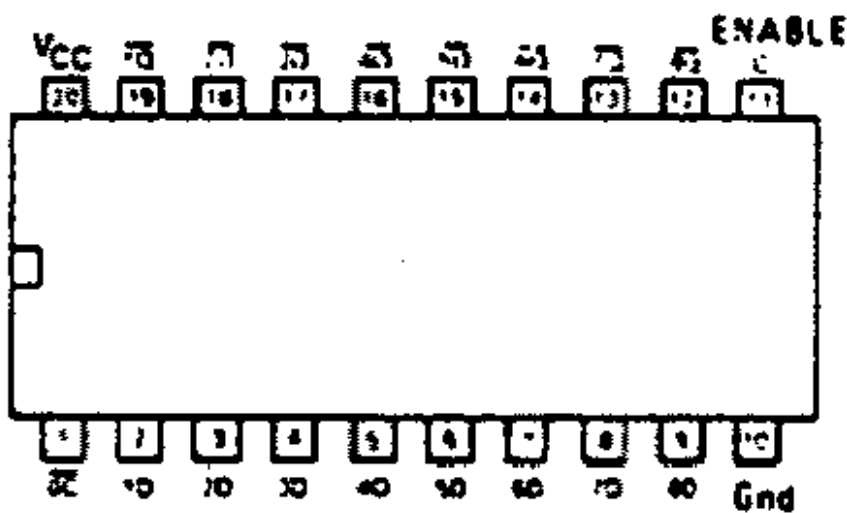
74533



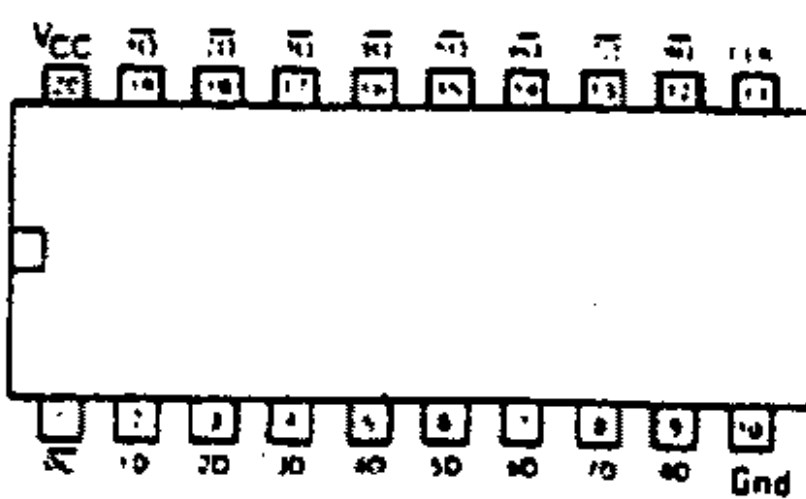
74534



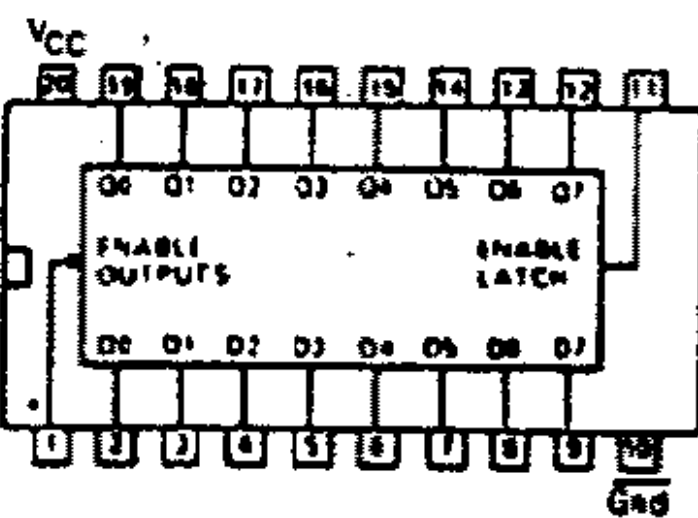
74563



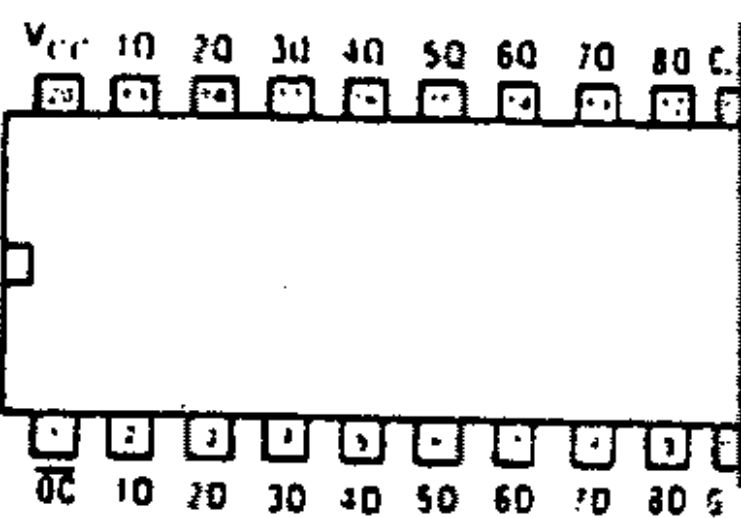
74564



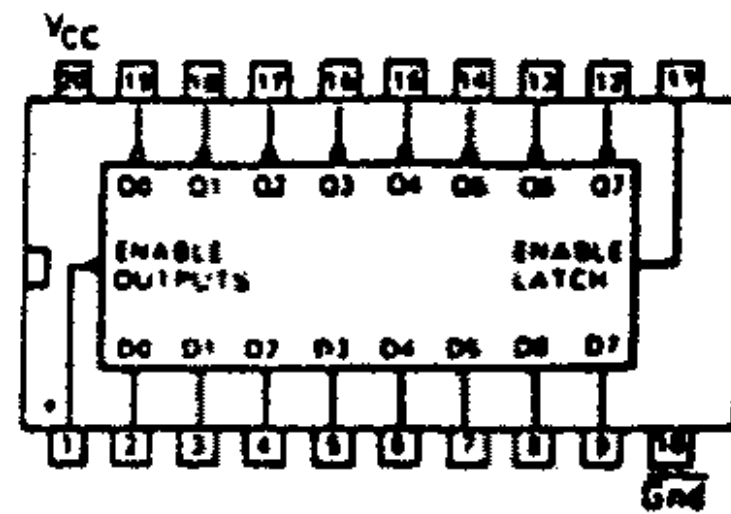
74573



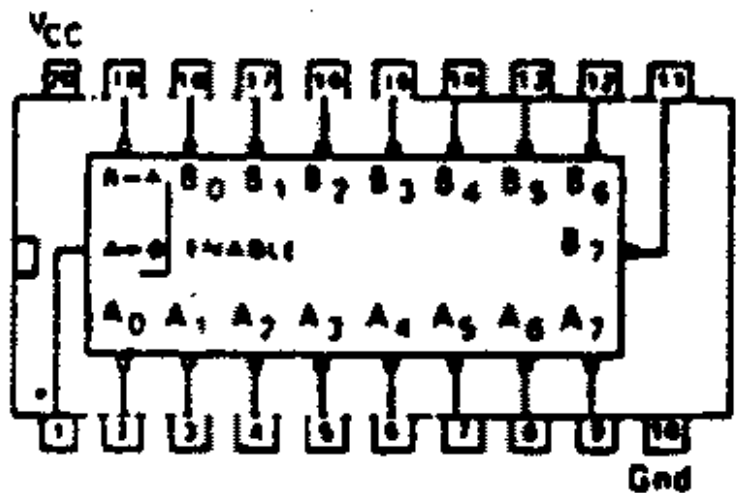
74574



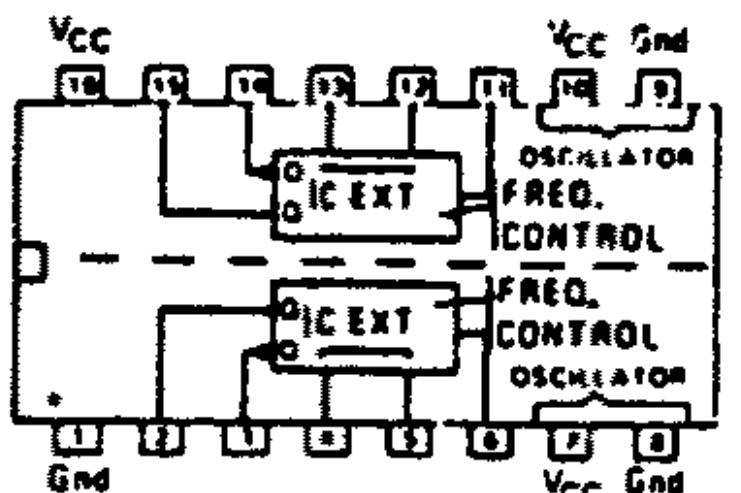
74580



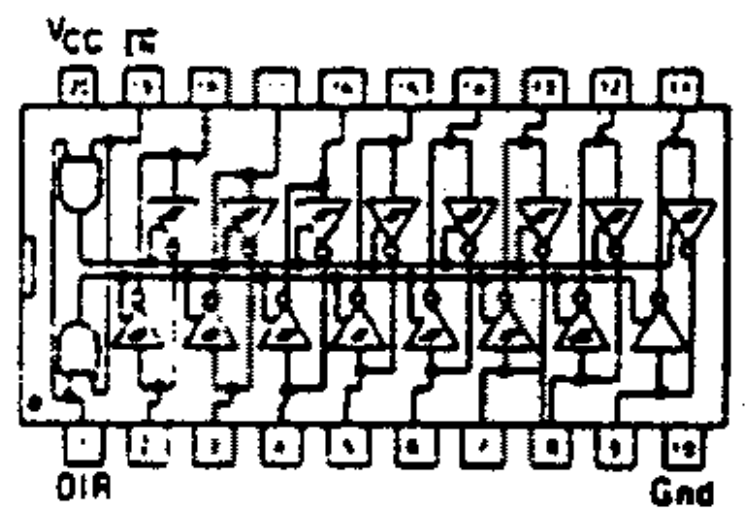
74620



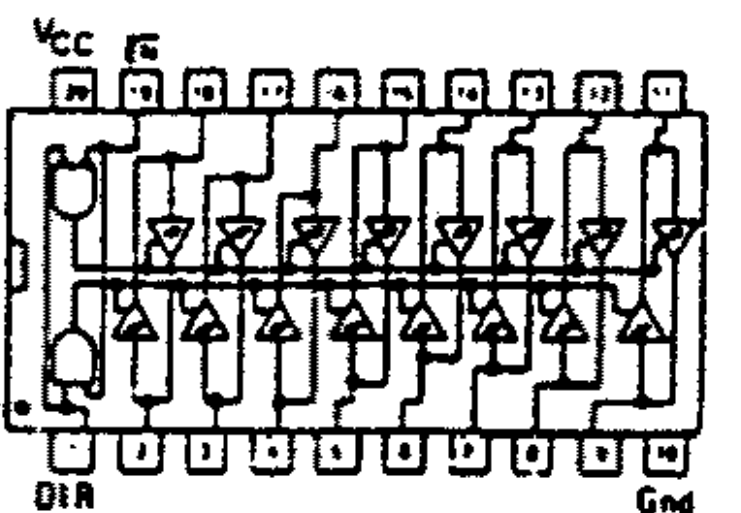
74625



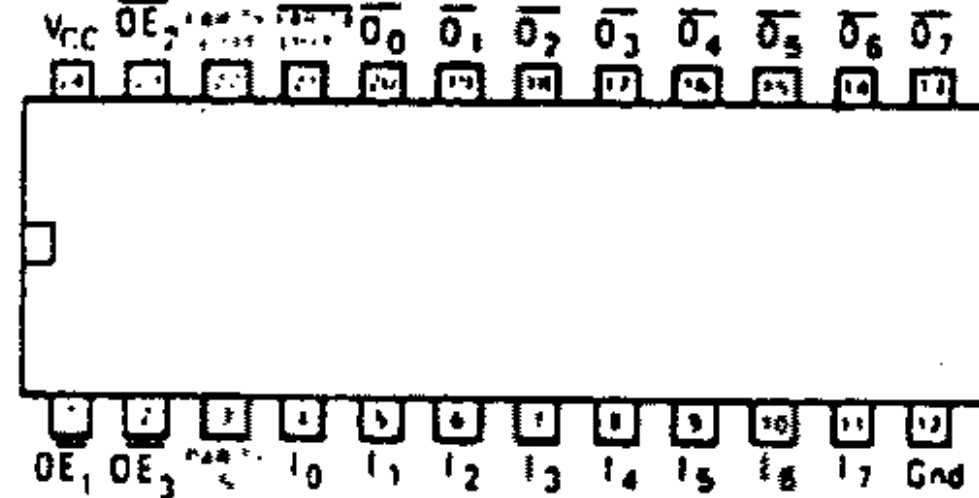
74640



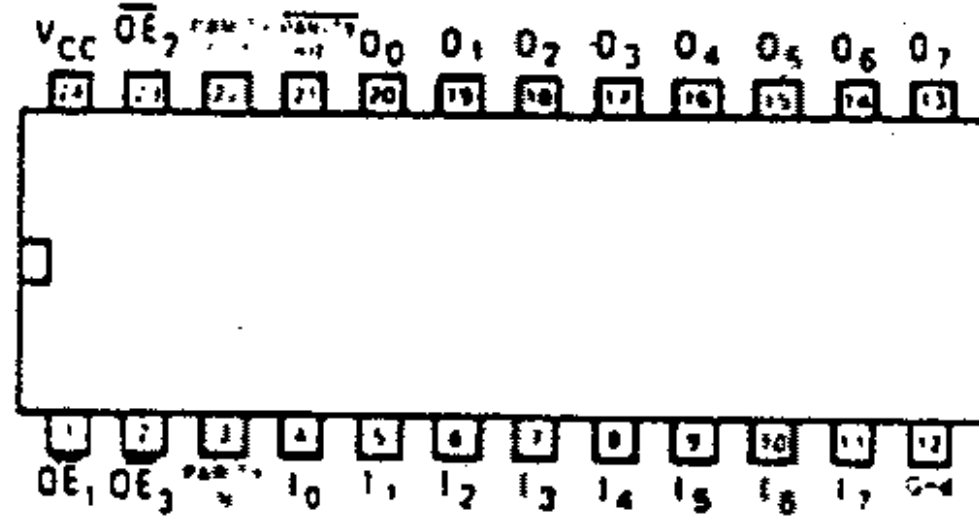
74643



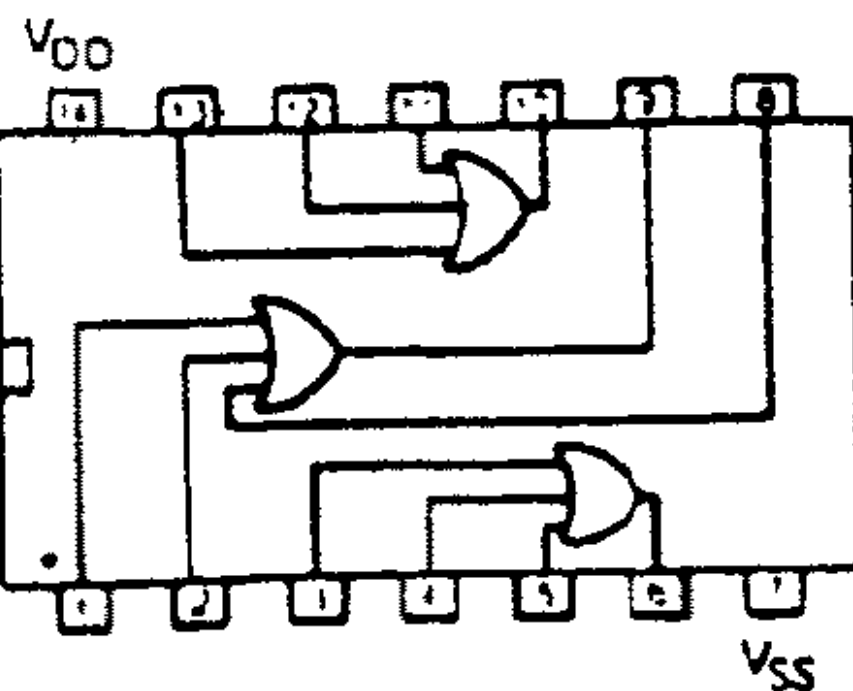
74655



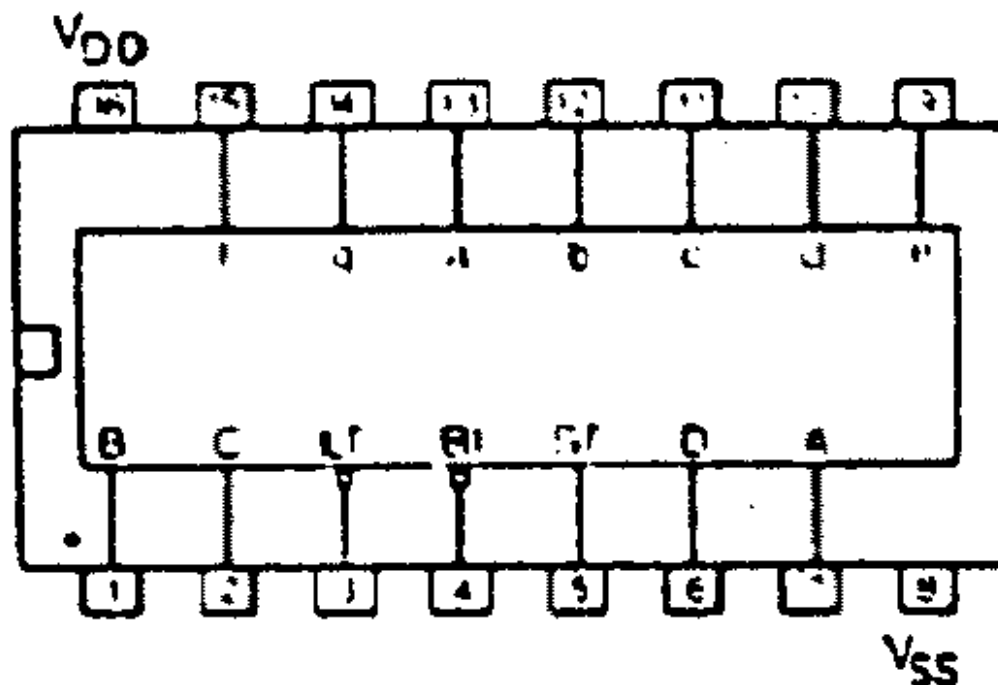
74656



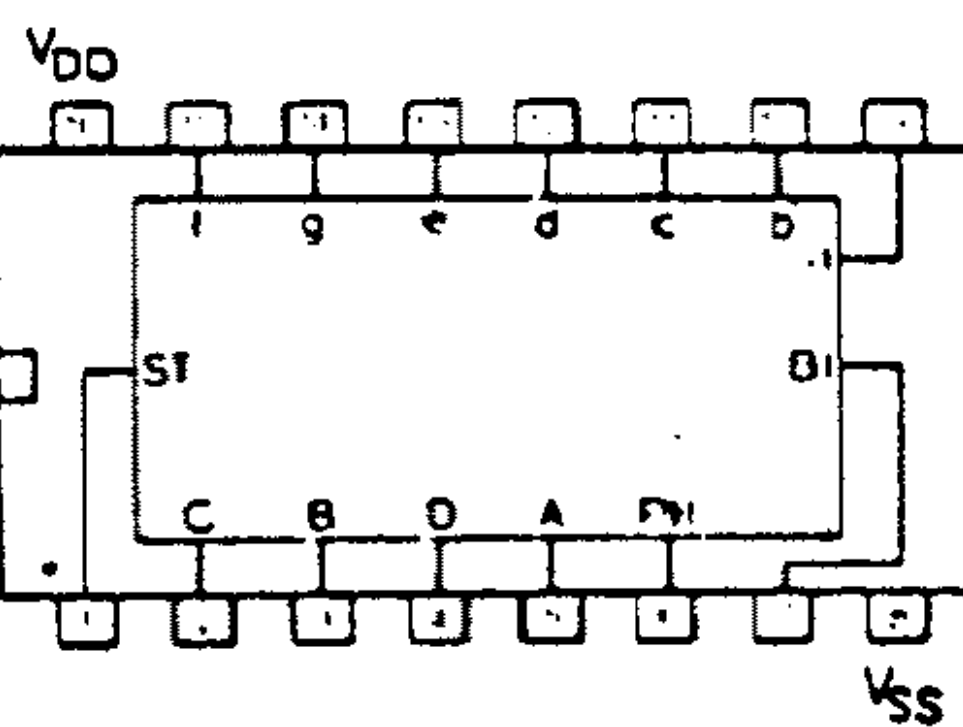
744075



744511



744543



CMOS data

Selection by device number

Device	Description
4000	Dual 3-input NOR gate plus Inverter
4001	Quad 2-input NOR Gate
4002	Dual 4-input NOR Gate
4006	18-Stage Static Shift Register
4007	Dual Complementary Pair Plus Inverter
4008	4-Bit full Adder with Parallel Carry
4009	Hex Butler/Converter (Inverting)
4010	Hex Buffer/Converter (Non-Inverting)
4011	Quad 2-Input NAND Gate
4012	Dual 4-Input NAND Gate
4013	Dual D Flip-Flop with Set/Reset
4014	8-Stage Static Shift Register
4015	Dual 4-Stage Static Shift Register
4016	Quad Bilateral Switch
4017	Decade Counter/Divider
4018	Presettable Divide-By-N Counter
4019	Quad AND-OR Select Gate
4020	14-Stage Binary Ripple Counter
4021	8-Stage Static Shift Register
4022	Divide-by-B Counter/Divider
4023	Triple 3-Input NAND Gate
4024	7-Stage Binary Counter
4025	Triple 3-Input NOR Gate
4026	Decade Counter/Divider
4027	Dual J-K Master Slave Flip-Flop
4028	BCD-to-Decimal Decoder
4029	Presettable Up/Down Counter
4030	Quad Exclusive-OR Gate
4032	Triple Serial Adder
4035	4-Stage Parallel IN/OUT Shift Register
4038	Triple Serial Adder
4040	12/Stage Binary Ripple Counter
4042	Quad Clocked D' Latch
4043	Quad, 3-state R-S Latch
4044	Quad, 3-state R-S Latch
4046	Micropower Phase-Locked Loop
4047	Multivibrator, Astable/Monostable
4049	Hex Butler/Converter (Inverting)
4050	Hex Buffer/Converter (Non-Inverting)

Device	Description
4051	Single 8-Channel Multiplexer
4052	Differential 4-Channel Multiplexer
4053	Triple, 2-input Analogue Multiplexer
4054	4-Line Liquid Crystal Display Driver
4056	BCD-7-Segment Decoder/Driver
4059	Programmable Divide-by-N Counter
4060	14-Stage Counter and Oscillator
4061	256-Word X 1-Bit Static Ram
4066	Quad Bilateral Switch
4068	8-Input NAND Gate
4069	Hex Inverter
4070	Quad Exclusive OR Gate
4071	Quad 2-Input OR Gate
4072	Dual. 4-input OR Gate
4073	Triple. 3-input AND Gate
4075	Triple OR Gate
4076	Quad, 3 D Register
4077	Quad Exclusive NOR Gate
4078	8-input NOR Gate
4081	Quad 2-Input AND Gate
4082	Dual 4-Input AND Gate
4085	Dual 2-Wide 2-Input AOI Gate
4086	Expendable 4-Wide 2-Input AOI Gate
4093	Quad 2-Input NAND Schmitt Trigger
4094	8-stage Shift Register, with Storage
4099	8-Bit Addressable Latch
40106	Hex, Inverting Schmitt Buffers
4160	Asynchronous Decade Counter with Clear
4161	Asynchronous 4-bit Binary Counter with Clear
4162	Synchronous Decade Counter with Clear
4163	Synchronous 4-bit Binary Counter with Clear
4502	Strobed Hex Inverting Buffer
4508	Dual 4-bit Latch
4510	BCD UP DOWN Counter
4511	BCD-to-Segment Decoder Driver
4512	8-channel Data Selector
4513	BCD-to-7-segment Latch Driver
4514	1 to 16 Decoder (Output High)
4515	1 to 16 Decoder (Output Low)
4516	Binary UP DOWN Counter
4518	Dual BCD UP Counter
4519	Quad, 2-input Multiplexer

Device	Description
4520	Dual 4-bit Binary Counter
4521	24-stage Frequency Divider
4522	BCD Programmable Divider
4526	Binary Programmable Divider
4527	BCD Rate Multiplier
4528	Dual Retriggerable Monostable
4529	Dual 4-channel Analogue Selector
4530	Dual 5-bit Majority Gate
4531	12-bit Parity Tree
4532	8-bit Priority Encoder
4536	Programmable Timer
4538	Dual Monostable Multivibrator
4539	Dual 4-bit Multiplexer
4541	Programmable Timer
4543	BCD-to-7-segment Latched LCD Driver
4551	Quad 2-input Analogue Multiplexer
4553	3-digit BCD Counter
4554	2 × 2 Binary Multiplier
4556	Dual Binary to 1 -01-4 Decoder
4560	BCD Adder
4561	9's Complementer
4566	Timebase Generator
4580	4 × 4 Multiport Register
4581	4-bit Arithmetic Logic Unit
4582	Carry Look Ahead 4-bit Magnitude
4583	Dual Schmitt Gates
4585	4-bit Magnitude Comparator
4597	8-bit 3-state Bus Latch
4598	8-bit 3-state Bus Latch
4599	8-bit Addressable Latch
45100	4 × 4 Crosspoint Switch

Selection by function

Gates

AND

Triple 3-input	4073
Quad 2-input	4081

OR

Quad 2-input	4071
Dual 4-input	4072
Triple 3-input	4075

Exclusive OR

	Quad 2-input	4070
NAND		
	Quad 2-input	4011
	Dual 4-input	4012
	Triple 3-input	4023
	8-input	4068
NOR		
	Quad 2-input	4001
	Dual 4-input	4002
	Triple 3-input	4025
	8-input	4078
Exclusive NOR		
	Quad 2-input	4077
Schmitt		
	Quad 2-input NAND	4093
	Hex inverting	40106
	Dual	4583
Majority		
	Dual 5-bit	4530
Buffers		
	Hex inverting	4049
	Hex	4050
	Hex inverting	4069
	Strobed Hex inverting	4502
Flip-flops (bistables)		
	Dual D-type	4013
	Dual-K	4027
	Quad latch	4042
	Quad P-S latch 3-state	4043
	Quad P-S latch 3-state	4044
	Quad D register 3-state	4076
	8-bit addressable latch	4099
	Dual 4-bit latch	4508
	4 × 4 multiport register	4580
	8-bit bus latch 3-state	4597
	8-bit bus latch 3-state	4598
	8-bit addressable latch	4599
Counters		
	decade divider	4017
	divide by n	4018
	14-bit binary	4020
	Octal divider	4022
	7-stage binary	4024

Presettable binary BCD. up/down	4029
12-bit binary	4040
14-bit binary	4060
Decade async.	4160
4-bit binary async. clear	4161
Decade sync. clear	4162
4-bit binary sync. clear	4163
BCD up down	4510
Binary up down	4516
Dual BCD up	4518
Dual 4-bit binary	4520
24-stage frequency divider	4521
BCD programmable divider	4522
Binary programmable divider	4526
3-digit BCD	4553
Shift registers	
8-bit	4014
Dual 4-bit	4015
8-bit	4021
4-bit FIFO	4035
8-stage with storage	4094
Encoders, decoders/drivers	
Decoders	
BCD-decimal. binary-octal	4028
BCD-7-segment latch driver	4511
BCD-7-segment latch driver	4513
4-bit latch, 4-to-16 line	4514
4-bit latch, 4-to-16 line inverted outputs	4515
BCD-7-segment latched LCD driver	4543
Dual binary to 1-of-4	4556
Encoders multiplexers	
8-input analogue multiplexer	4051
Dual 4-input analogue multiplexer	4052
Triple 2-input analogue multiplexer	4053
8-channel data selector	4512
Quad 2-input multiplexer	451
Dual 4-channel analogue selector	4529
8-bit priority encoder	4532
Dual 4-input multiplexer	4539
Quad 2-input analogue multiplexer	4551
Arithmetic functions	
4-bit full adder	4008
Triple serial adder -- logic	4032

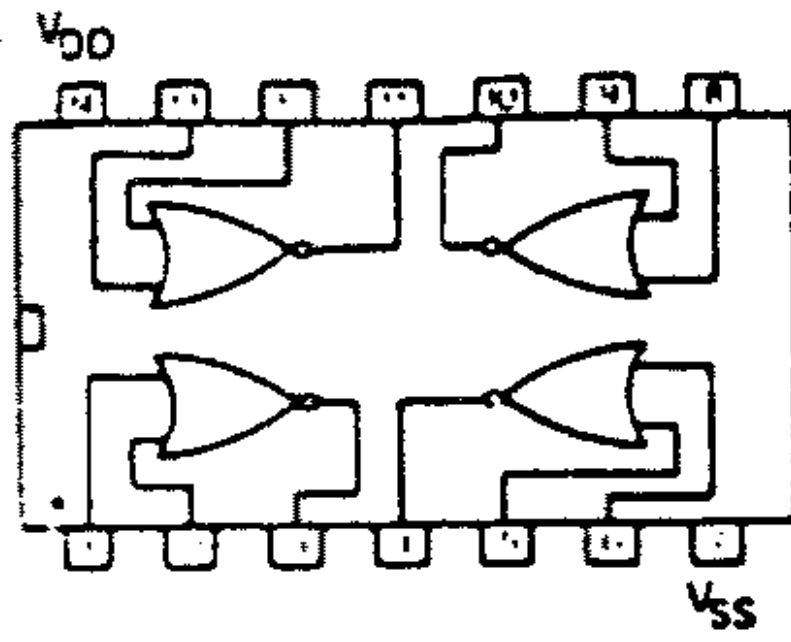
Triple serial adder - logic	4038
BCD rate multiplier	4527
12-bit parity tree	4531
2 × 2 binary multiplier	4554
BCD adder	4560
9's complementer	4561
4-bit arithmetic logic unit	4581
Carry look ahead	4582
4-bit magnitude comparator	4585

Miscellaneous

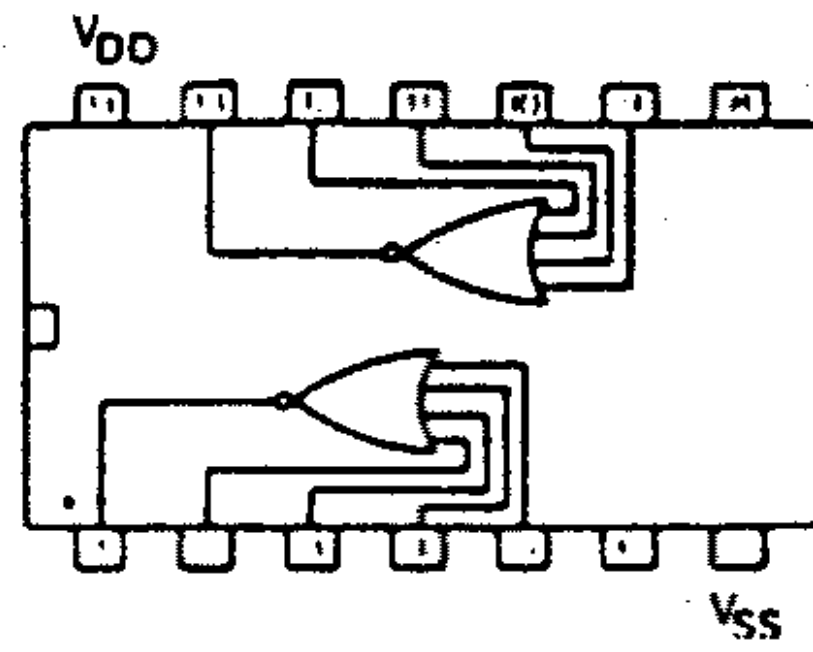
Quad switch	4016
Phase locked loop	4046
Mono/astable multivibrator	4047
Quad switch	4066
Dual resettable monostable	4528
Programmable timer	4536
Dual monostable multivibrator	4538
Programmable timer	4541
Industrial timebase generator	4566
4 × 4 crosspoint switch	45100

CMOS pinouts

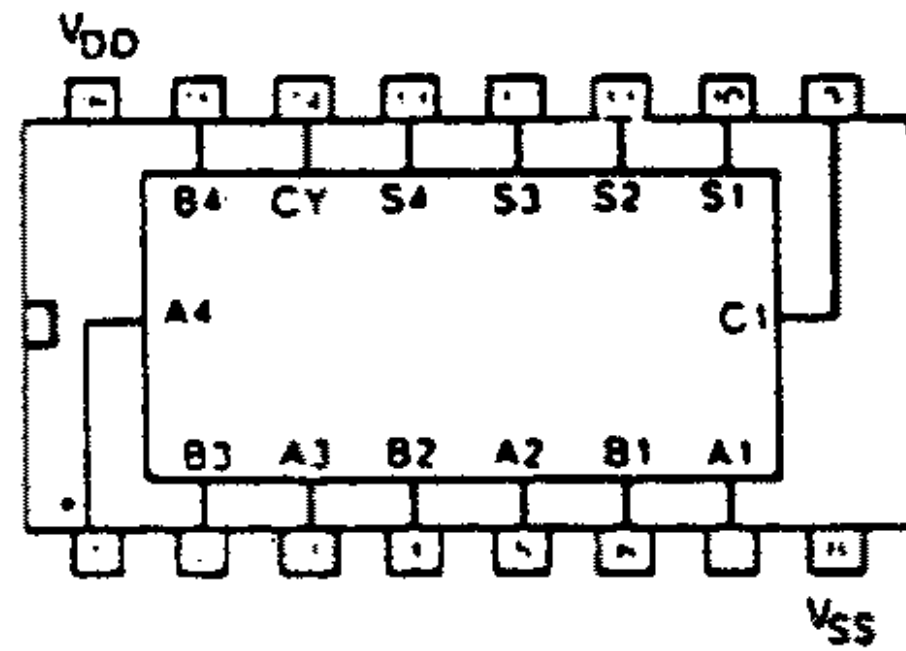
4001



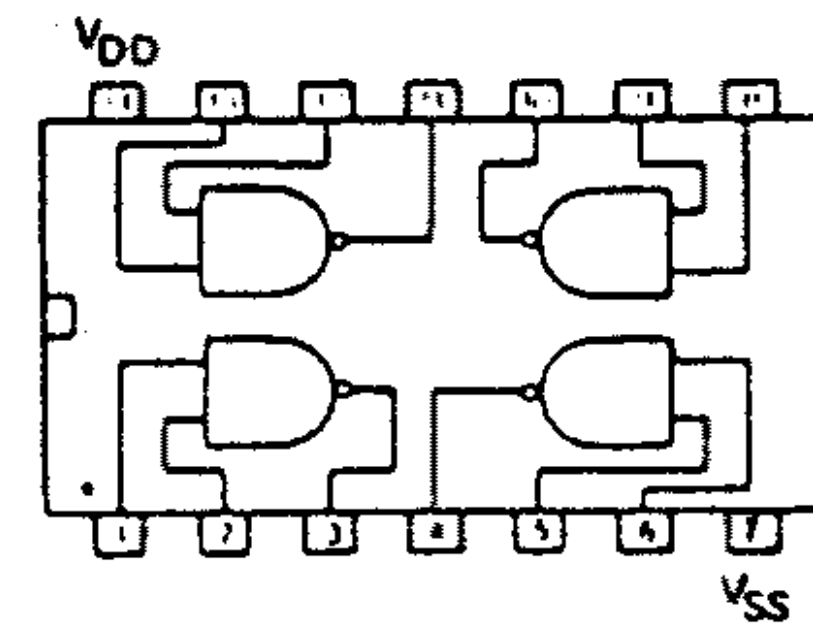
4002



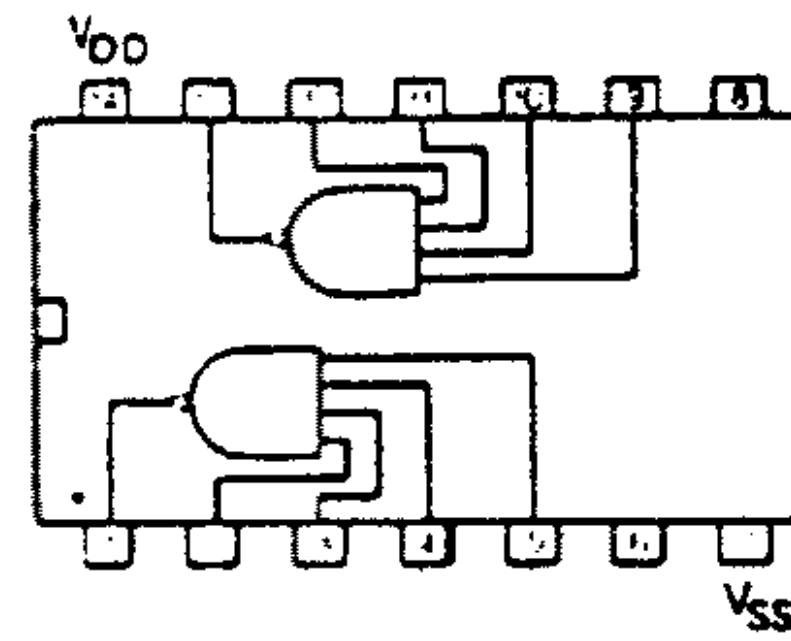
4008



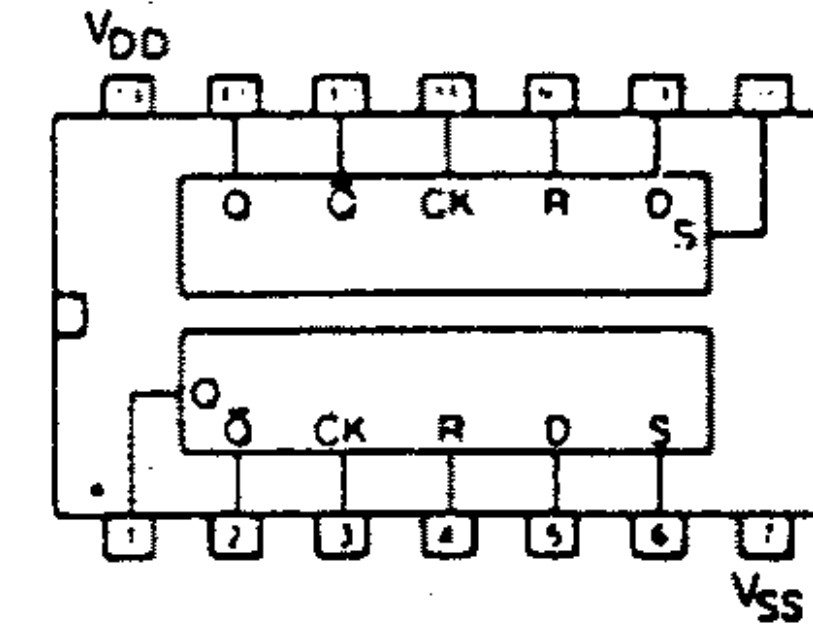
4011



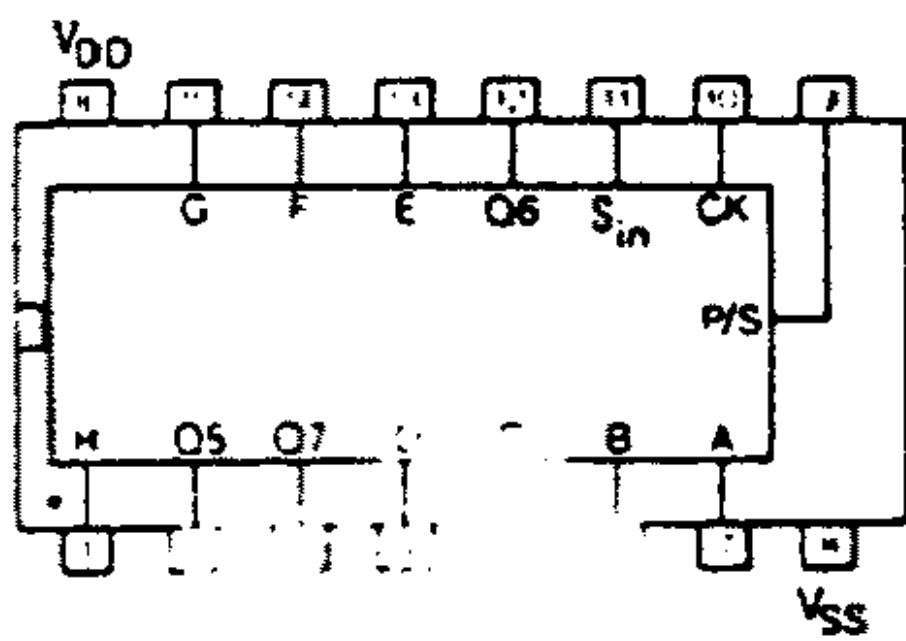
4012



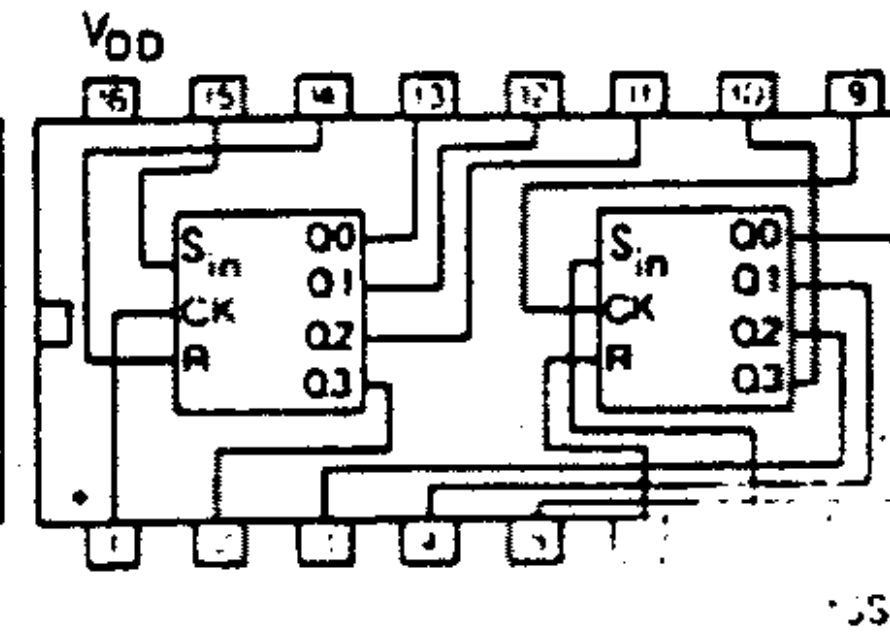
4013



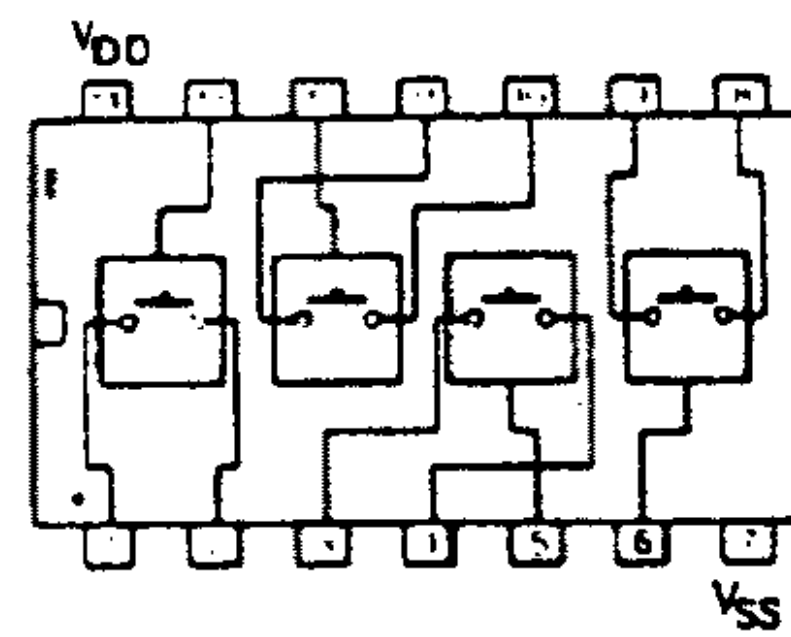
4014



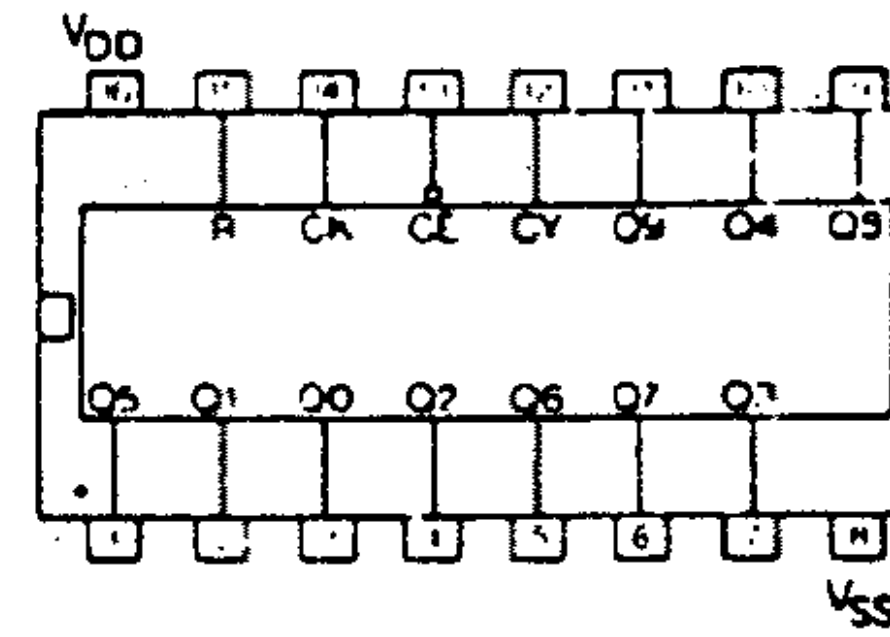
4015



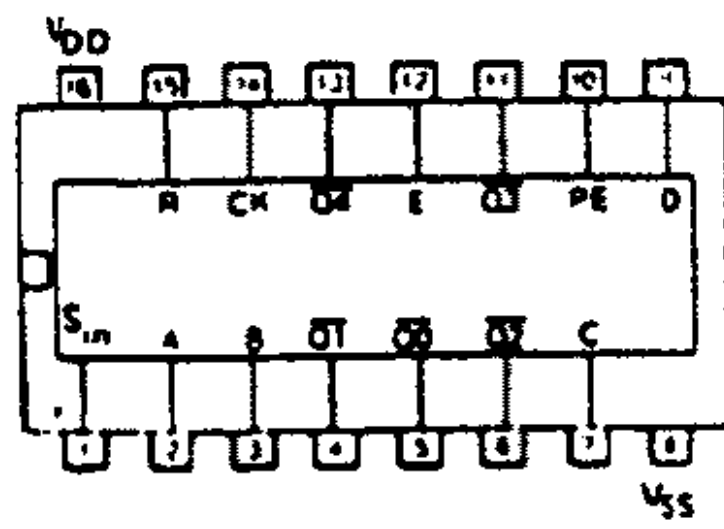
4016



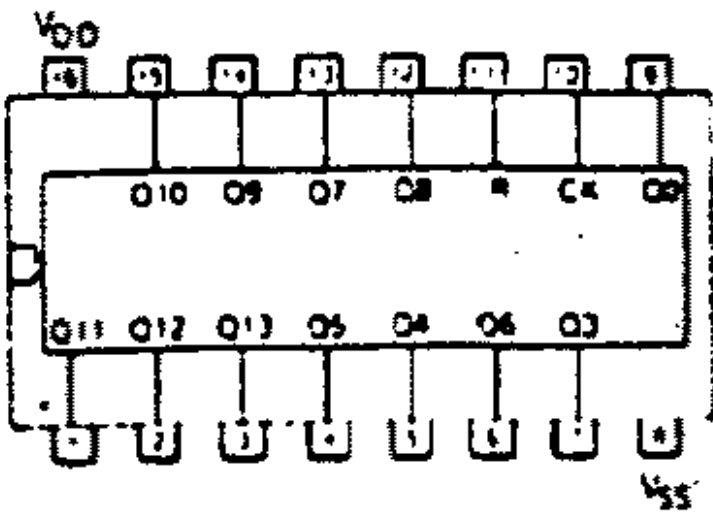
4017



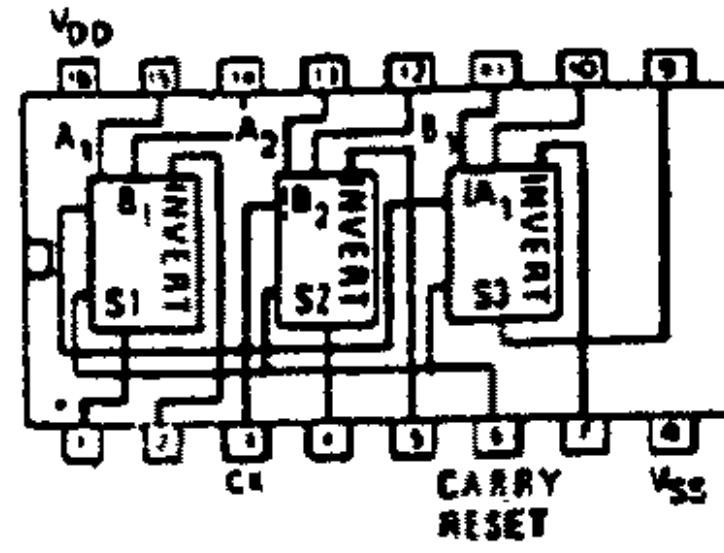
4018



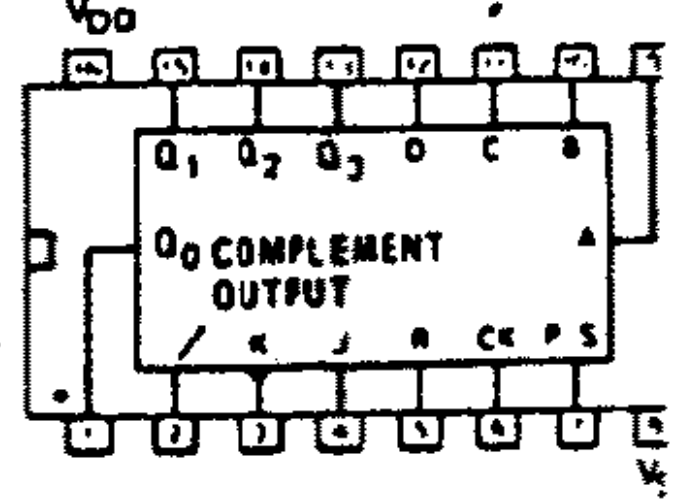
4020



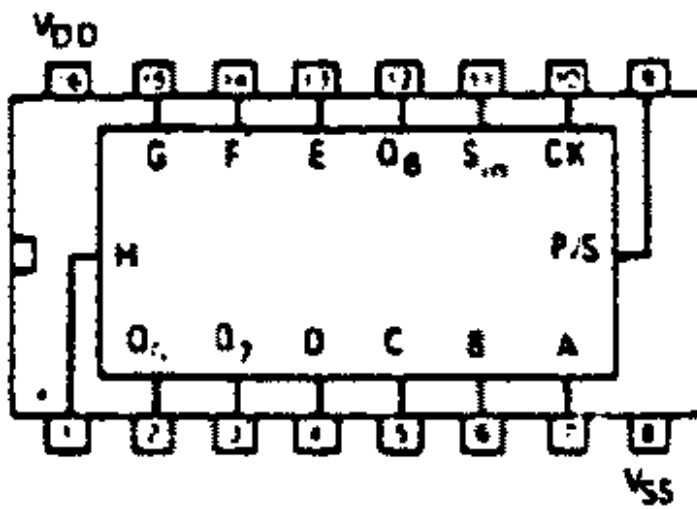
4032 4038



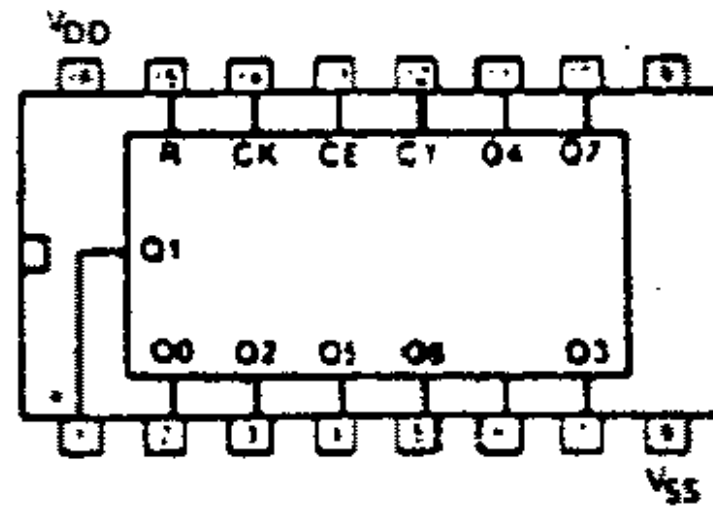
403



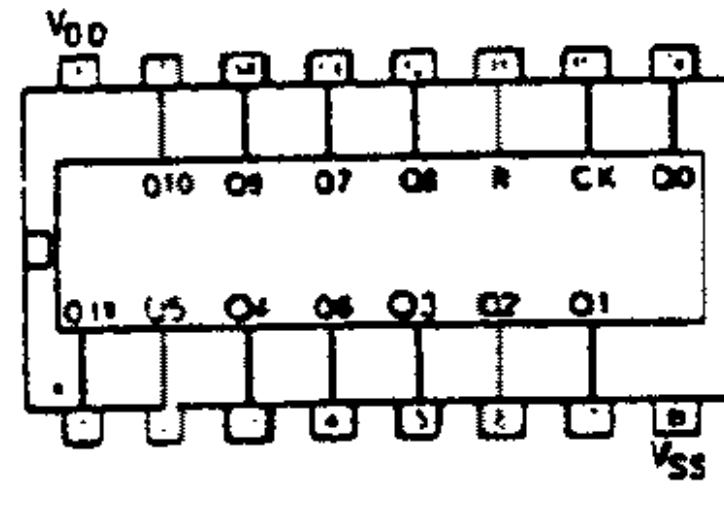
4021



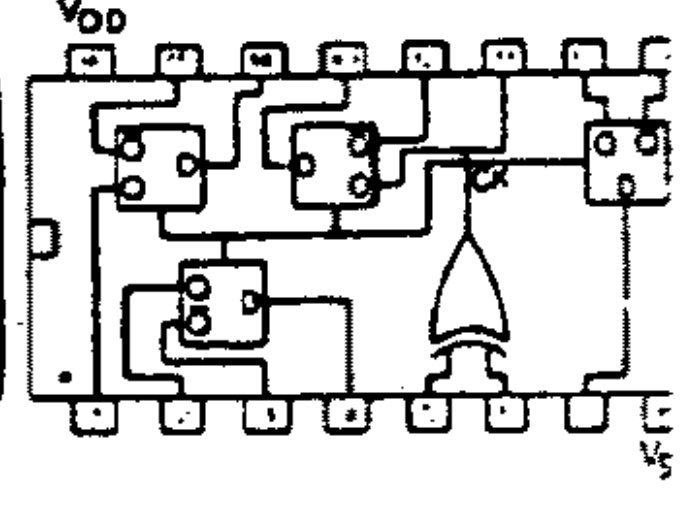
4022



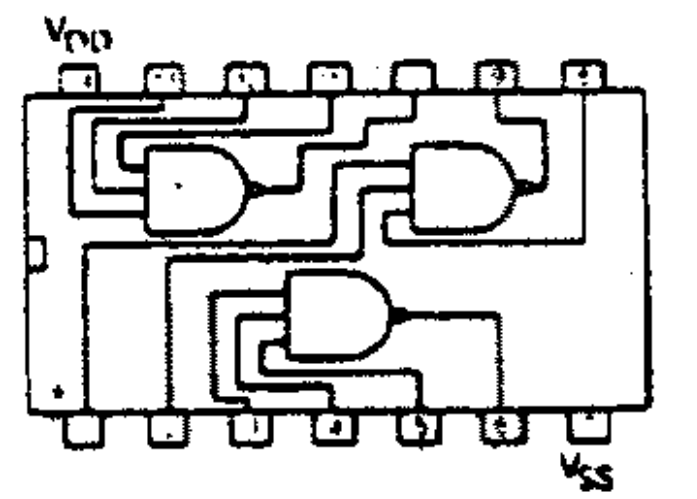
4040



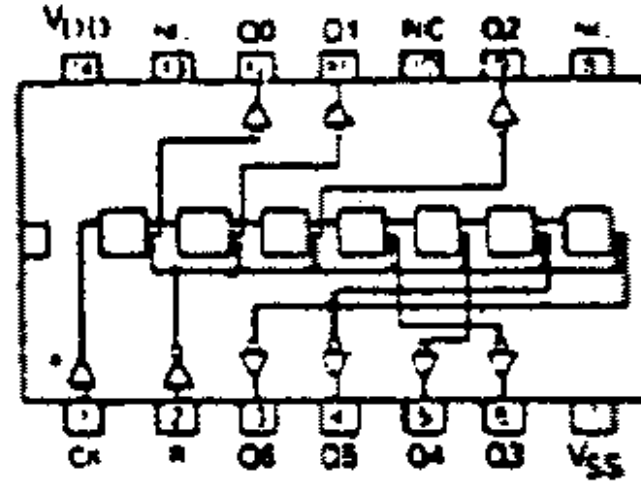
404



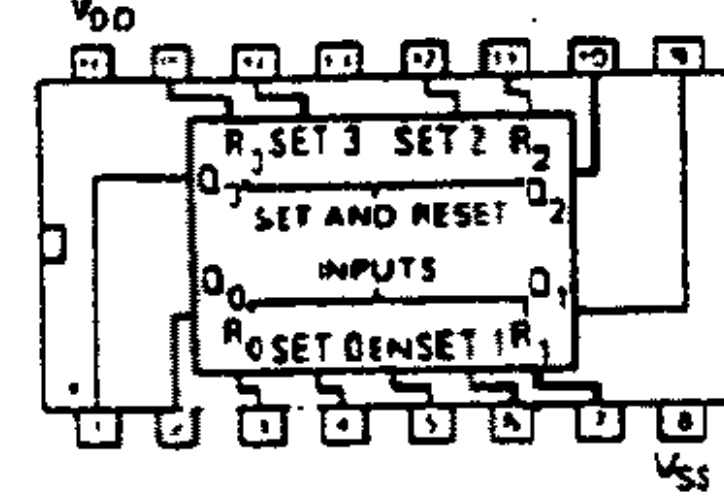
4023



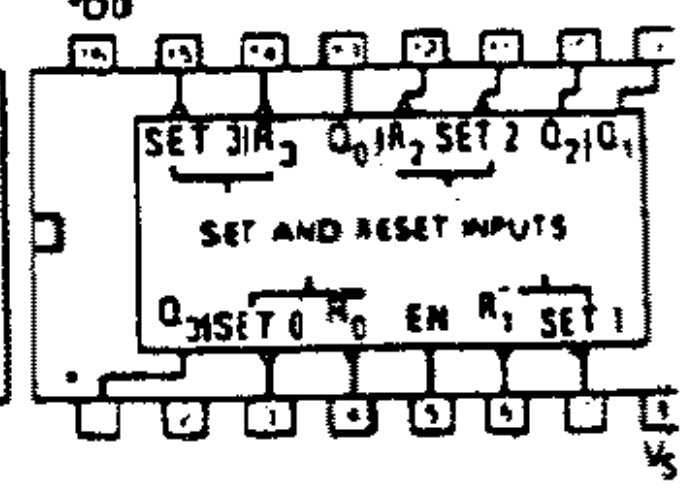
4024



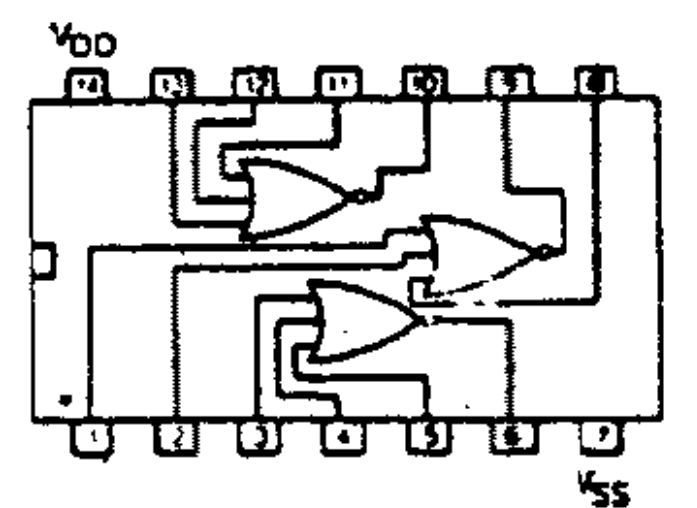
4043



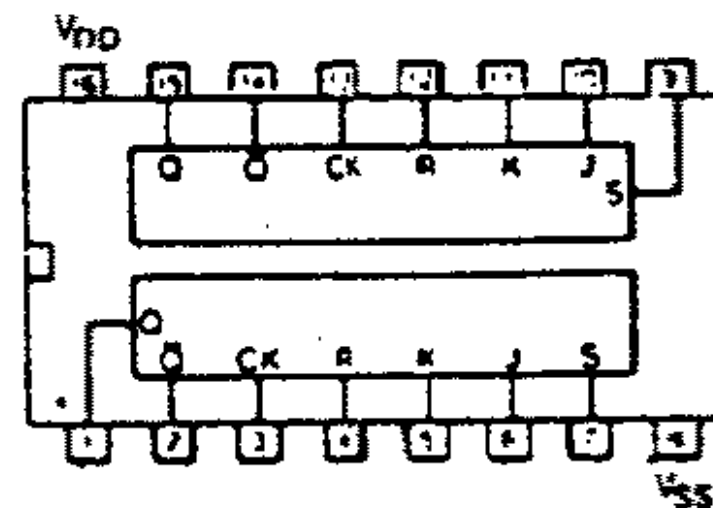
40



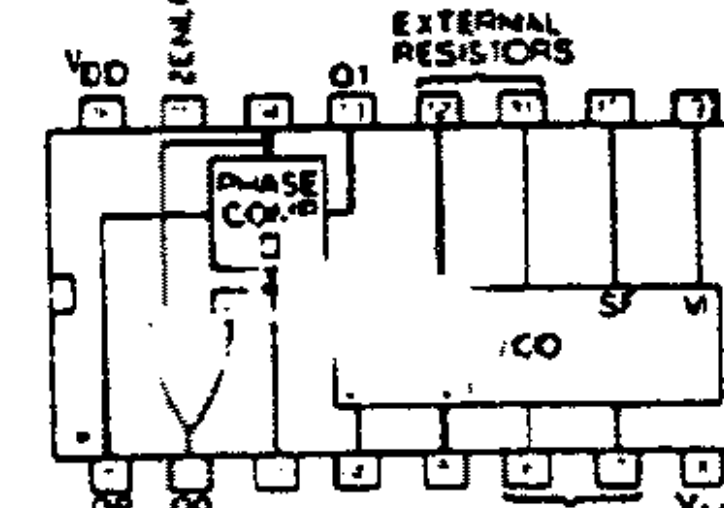
4025



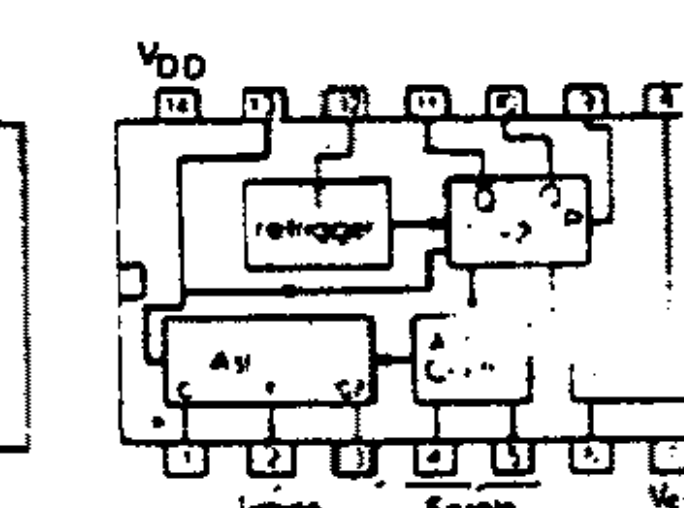
4027



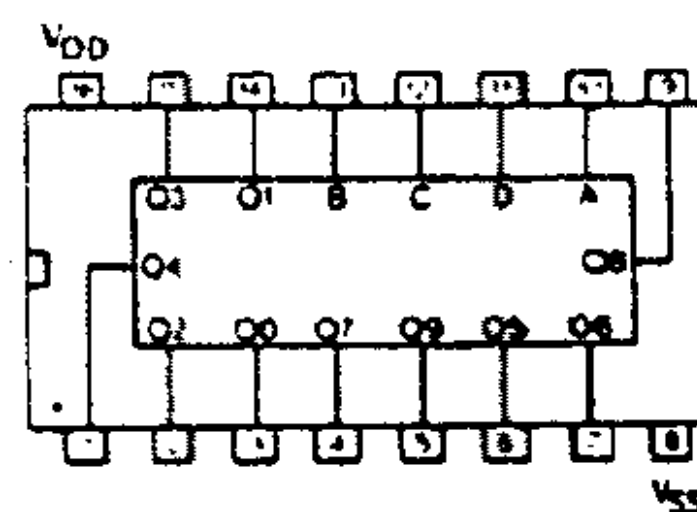
4046



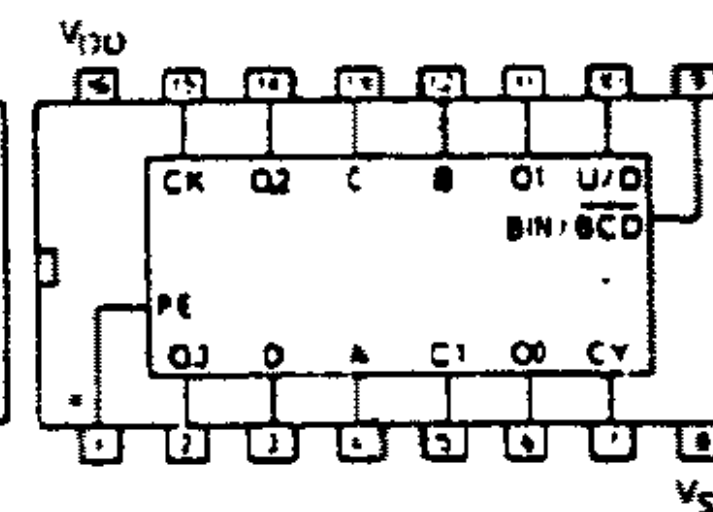
40



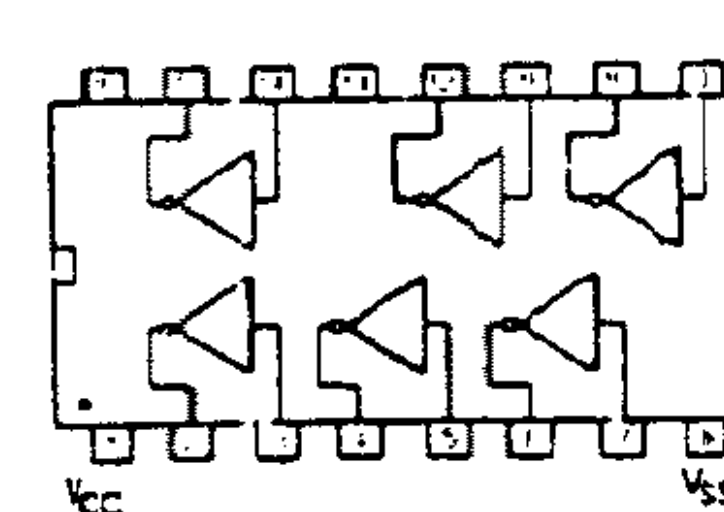
4028



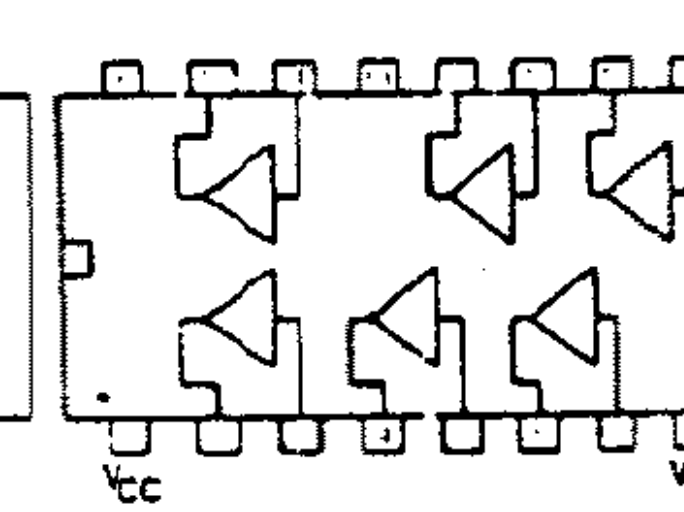
4029



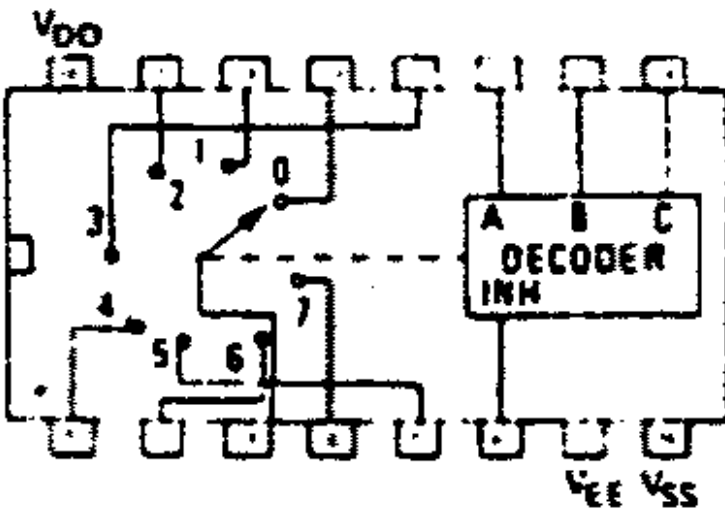
4049



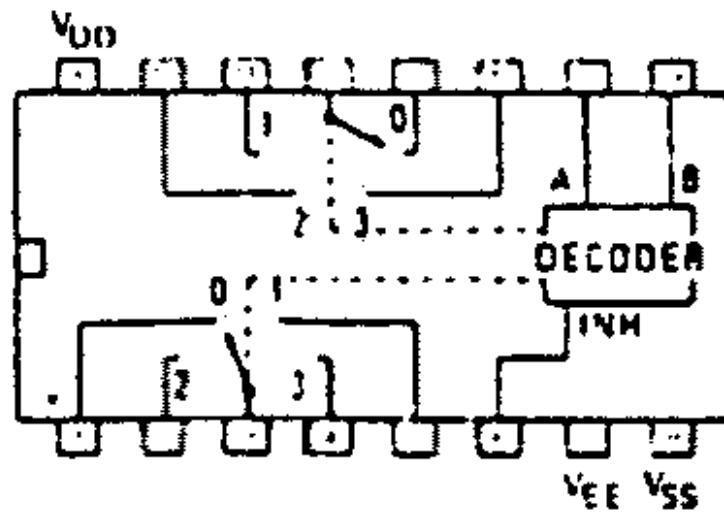
404



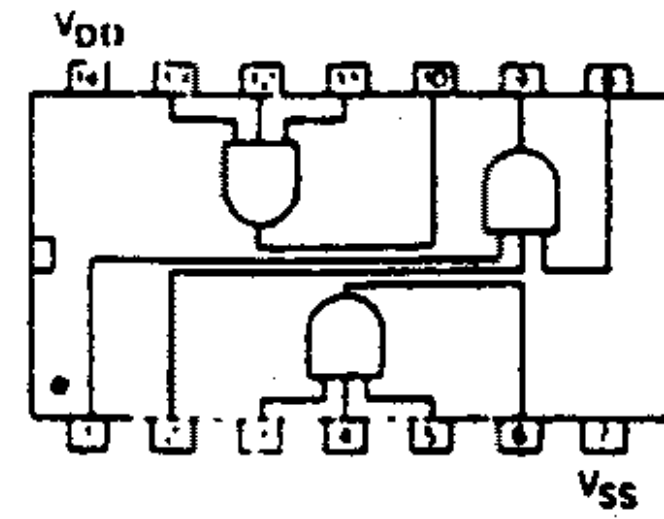
4051



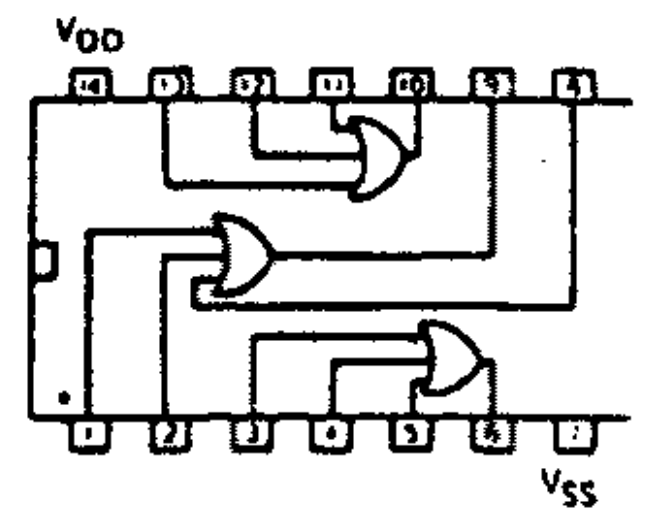
4052



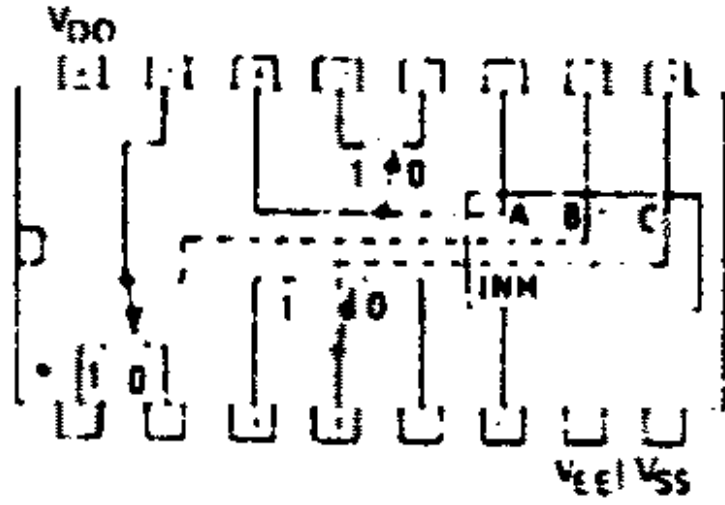
4073



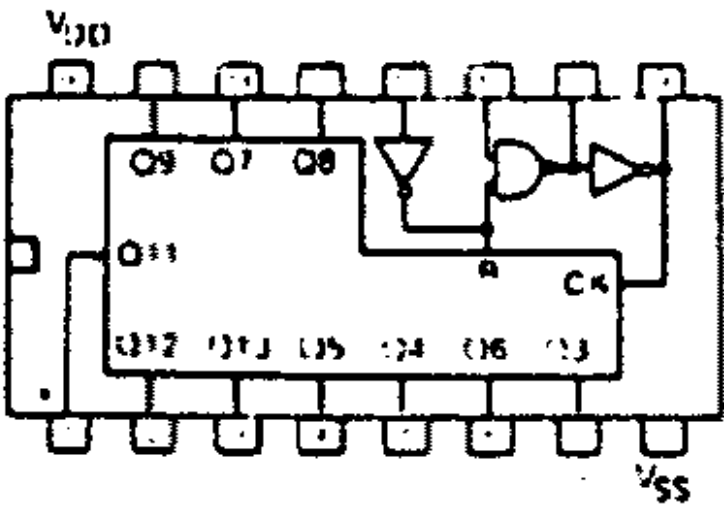
4075



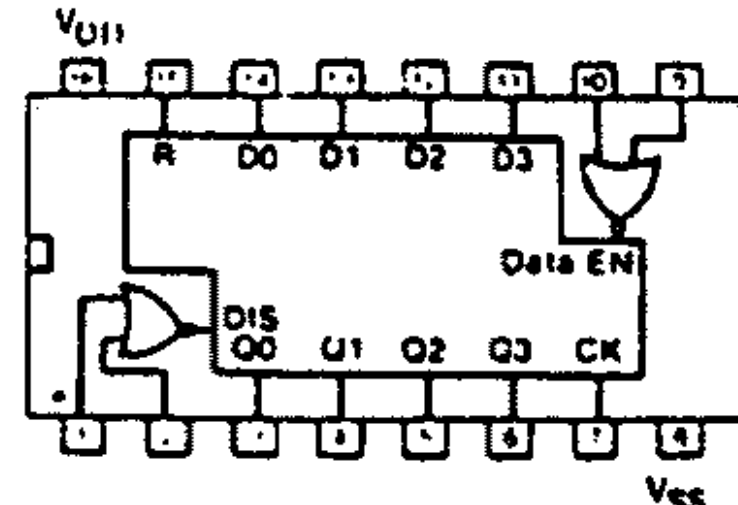
4053



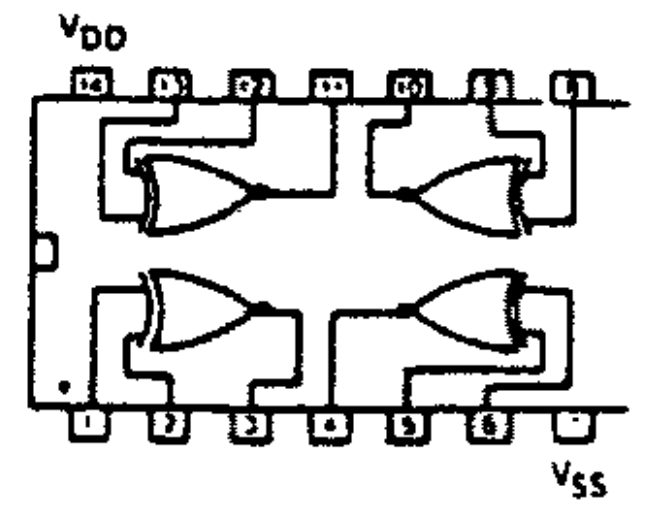
4060



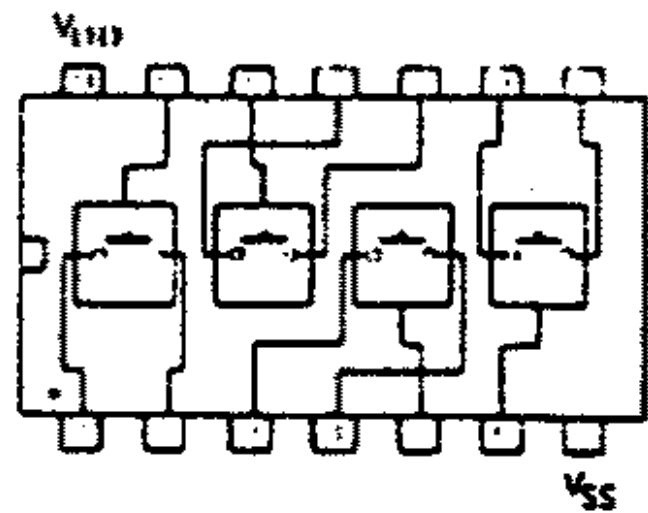
4076



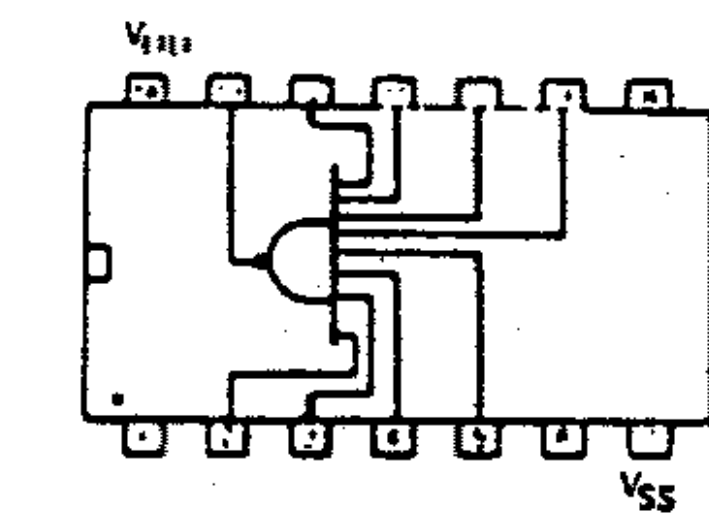
4077



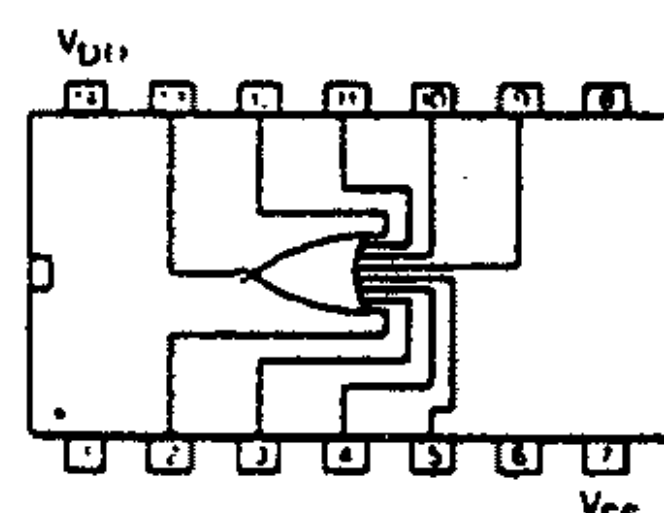
4066



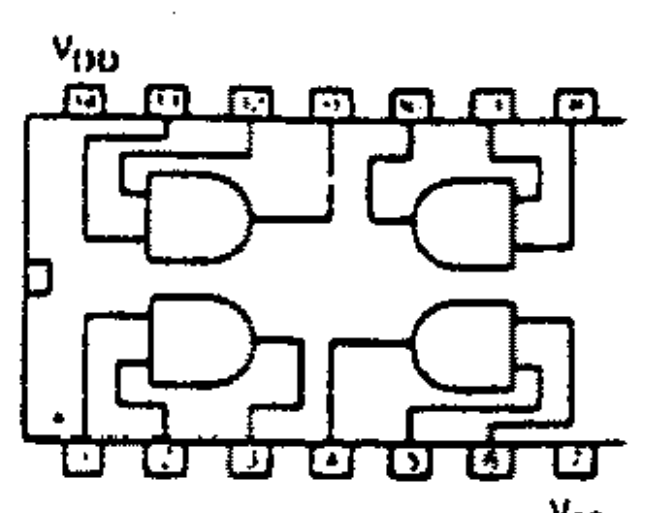
4068



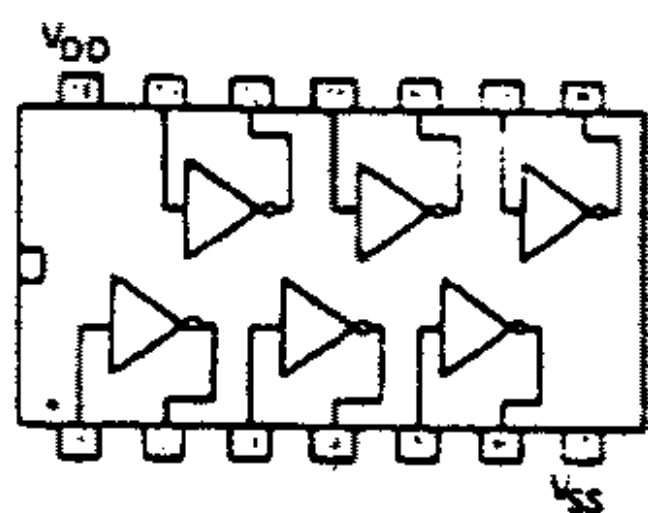
4078



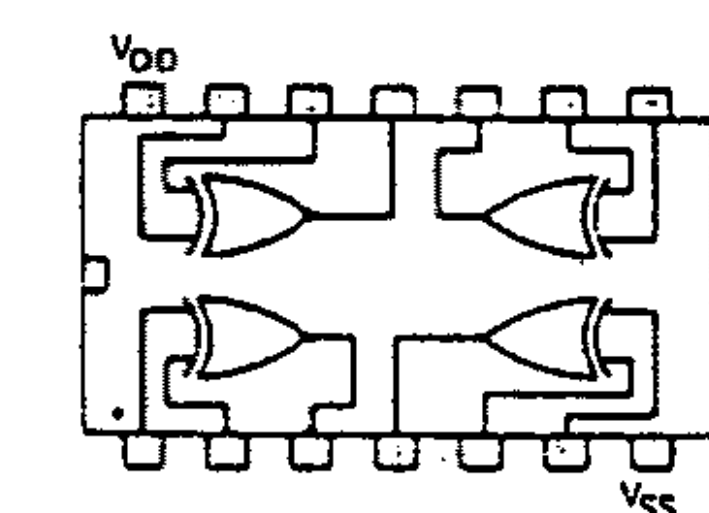
4081



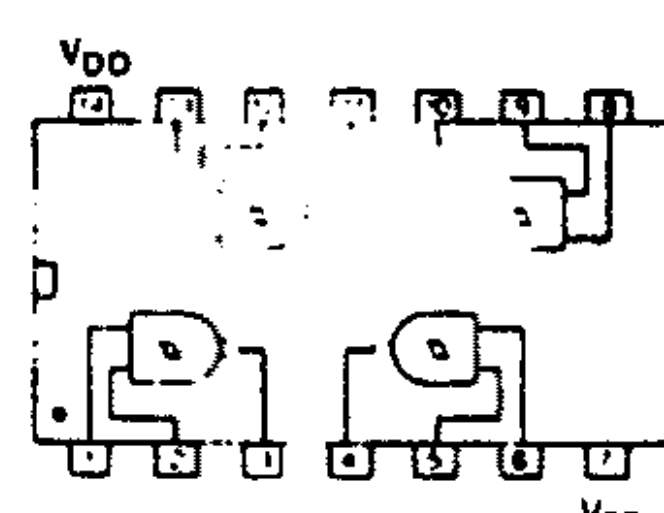
4069



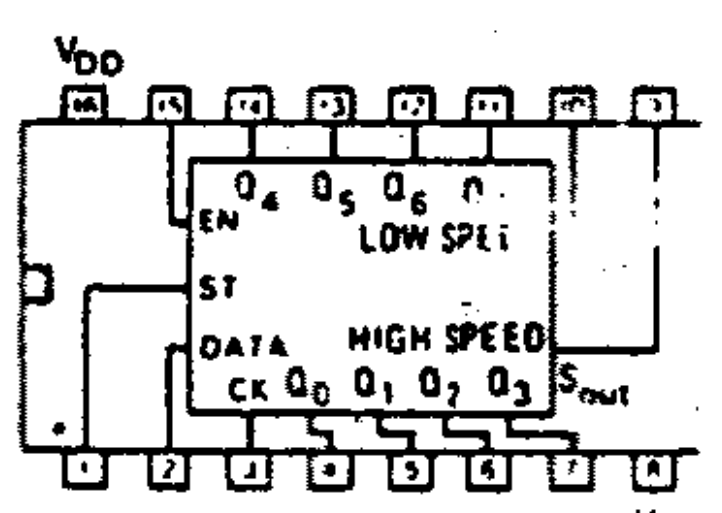
4070



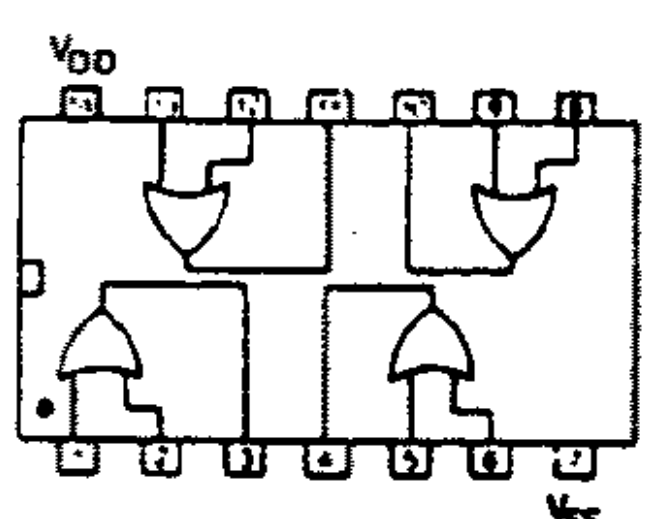
4093



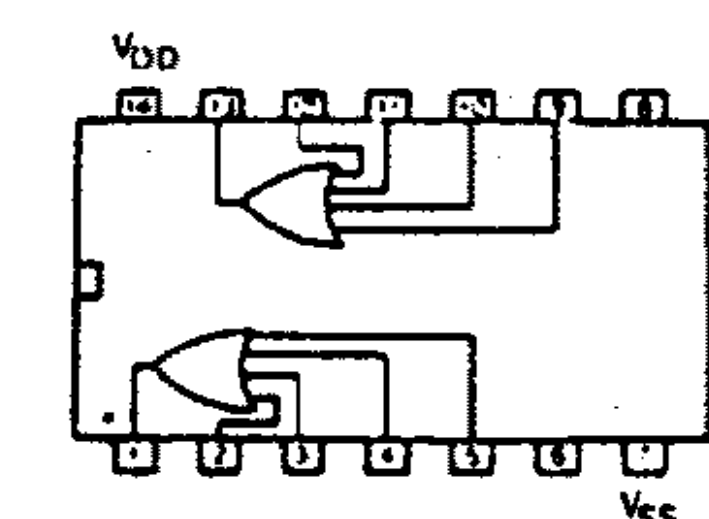
4094



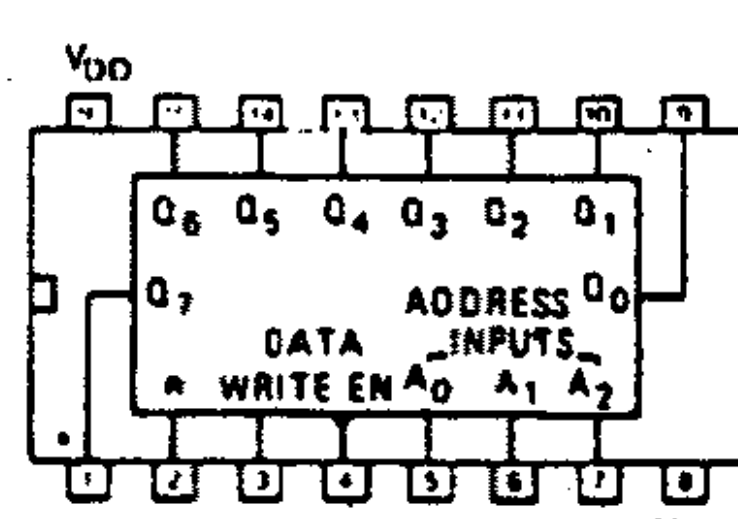
4071



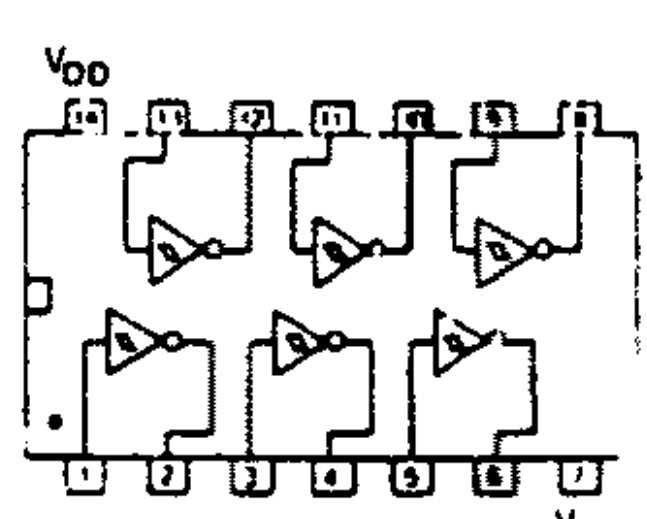
4072



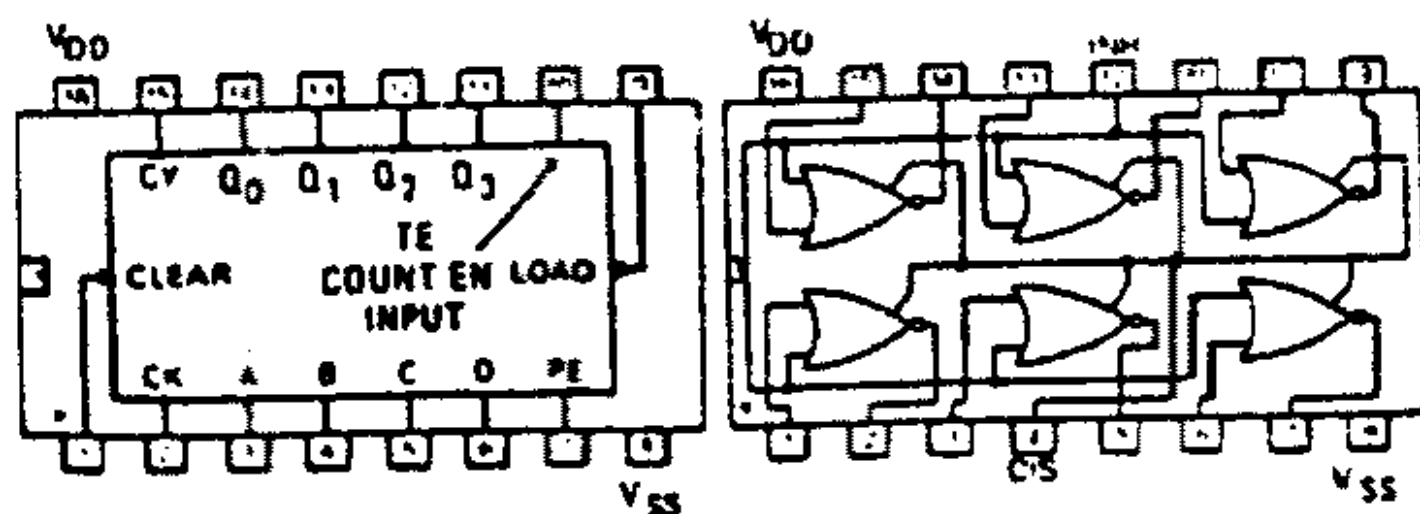
4099



4010

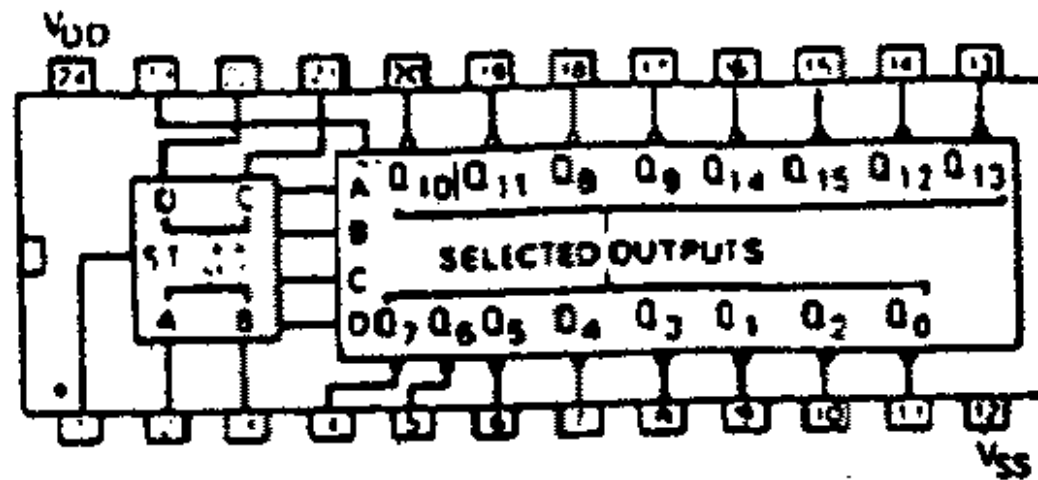


4160 4161 4162 4163

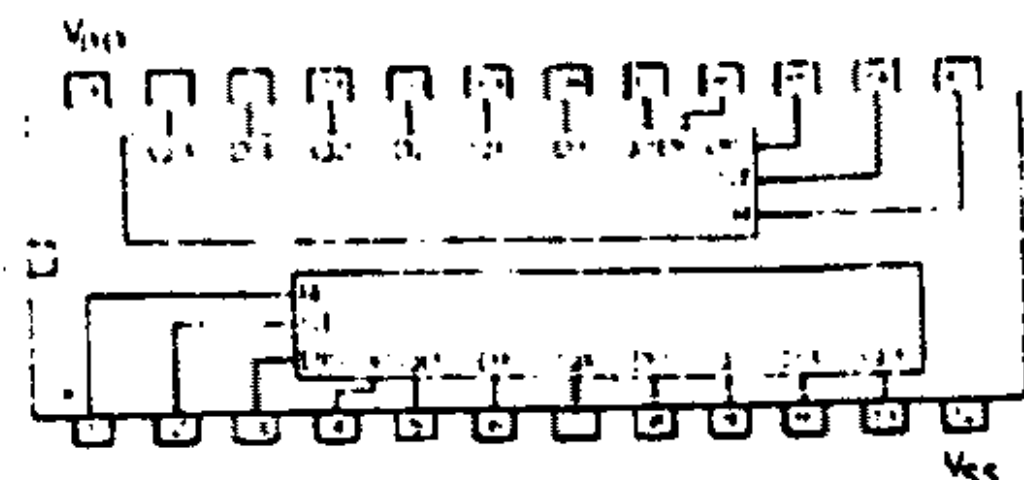


4502

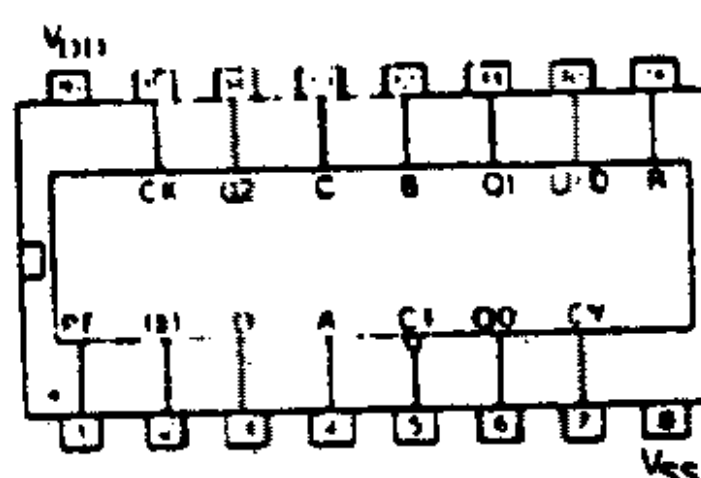
4515



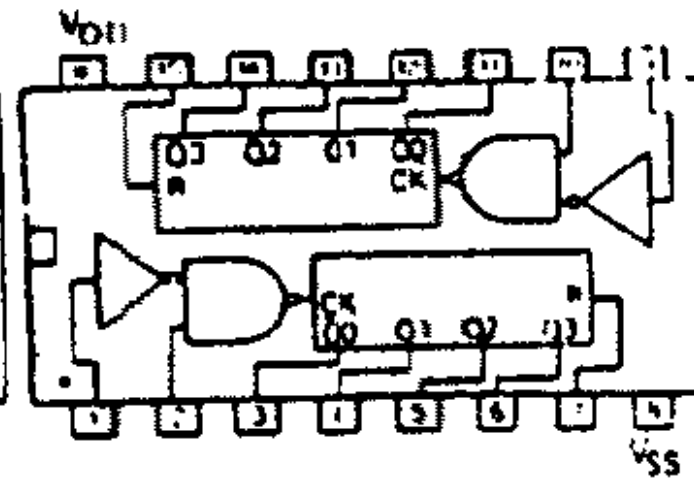
4508



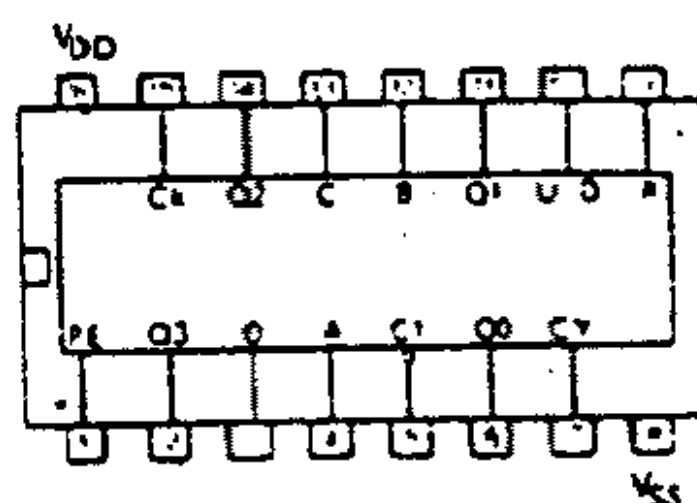
4516



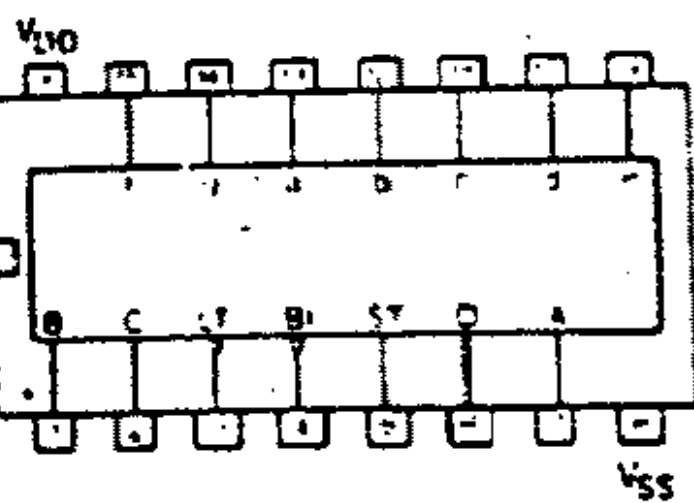
4518



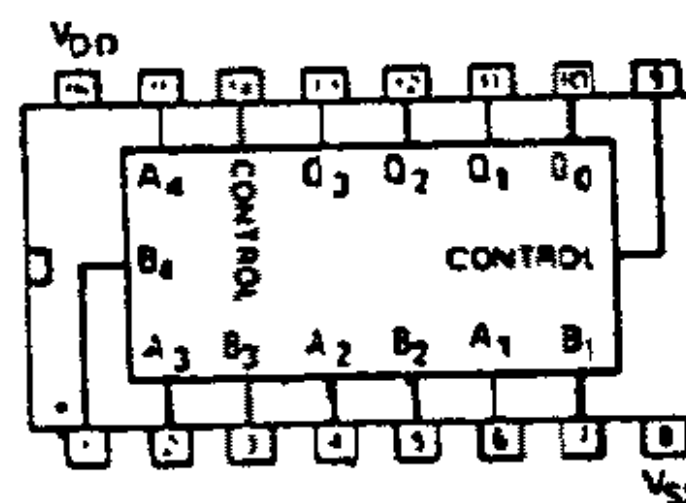
4510



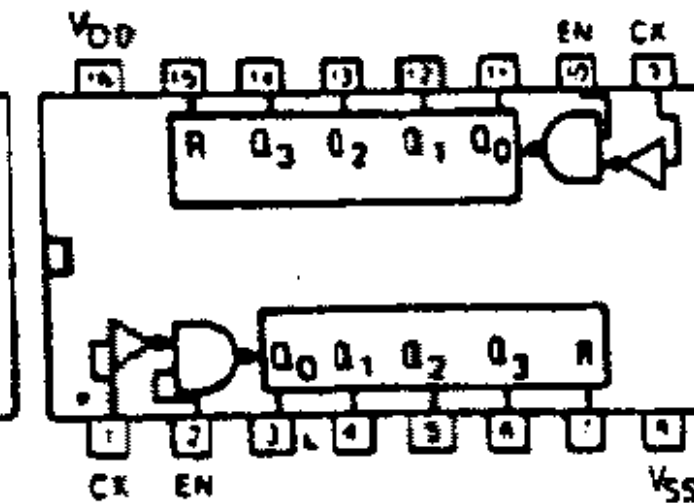
4511



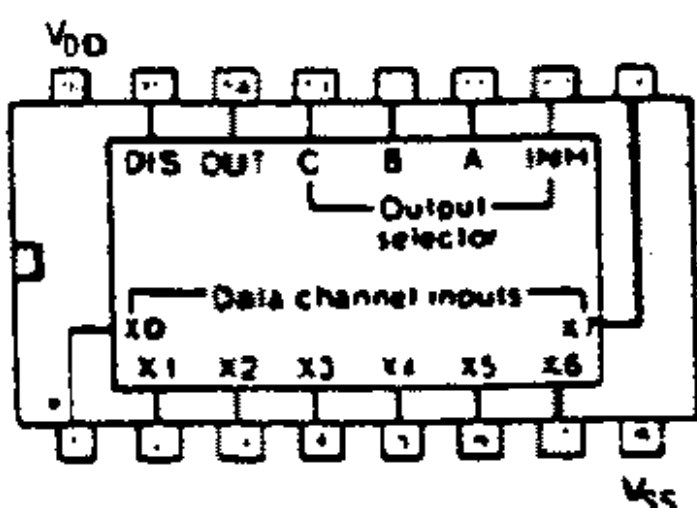
4519



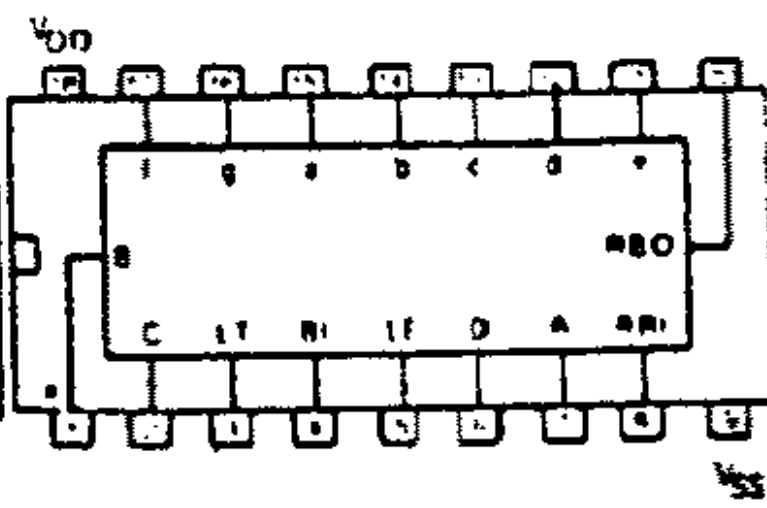
4520



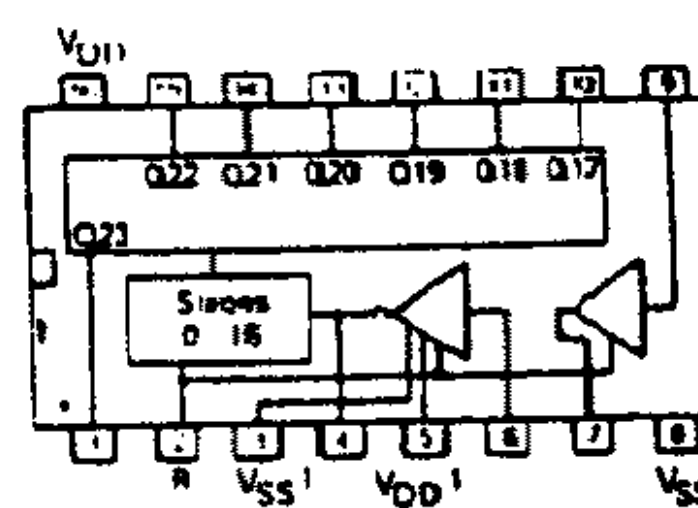
4512



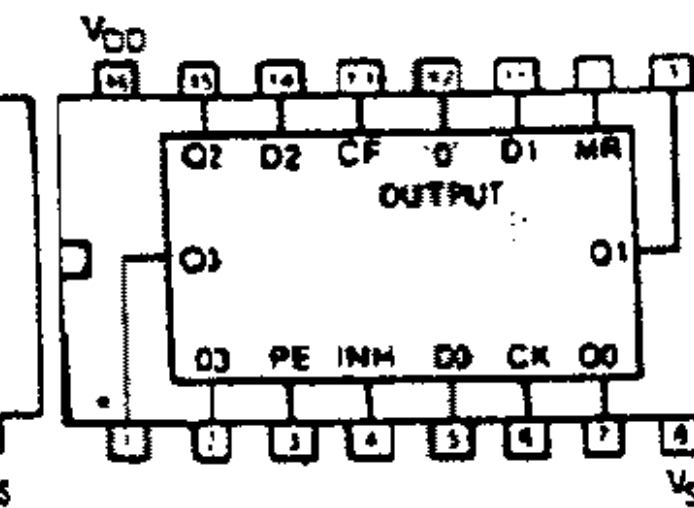
4513



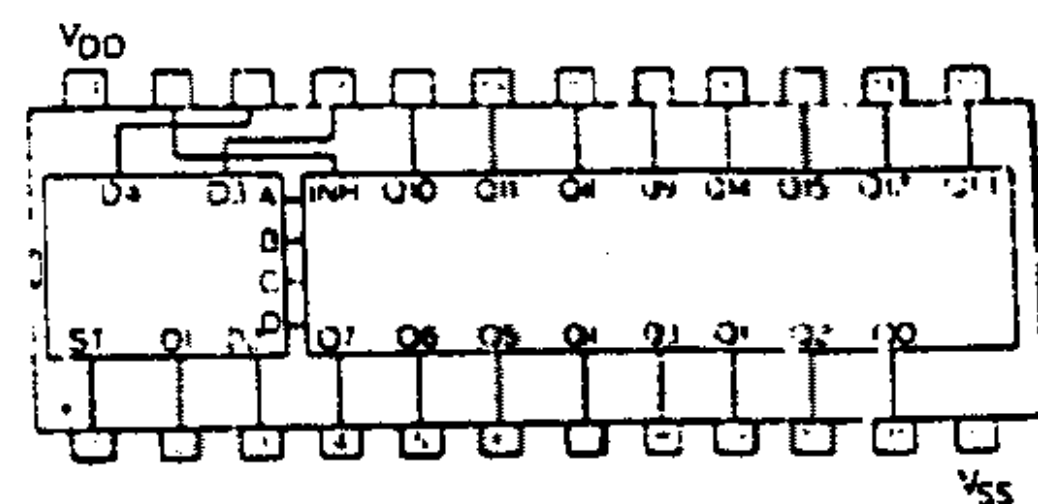
4521



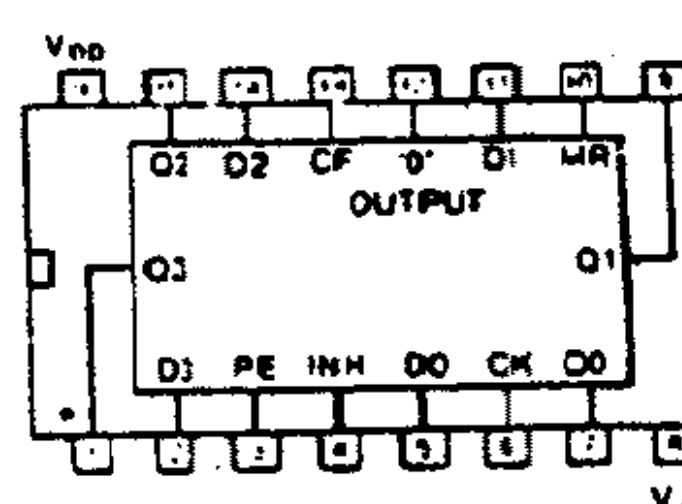
4522



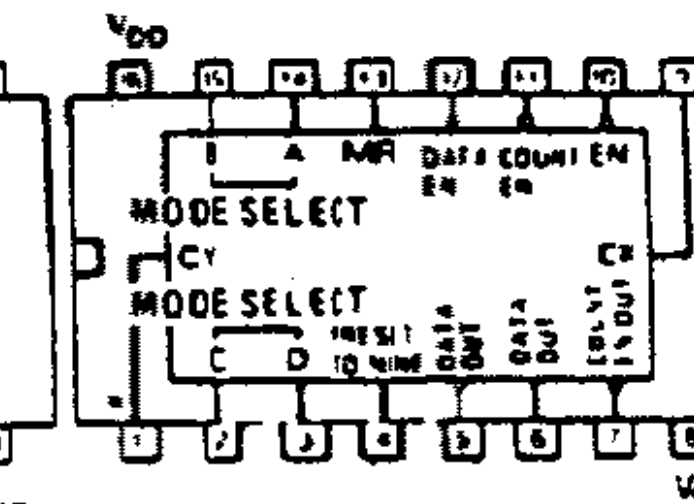
4514



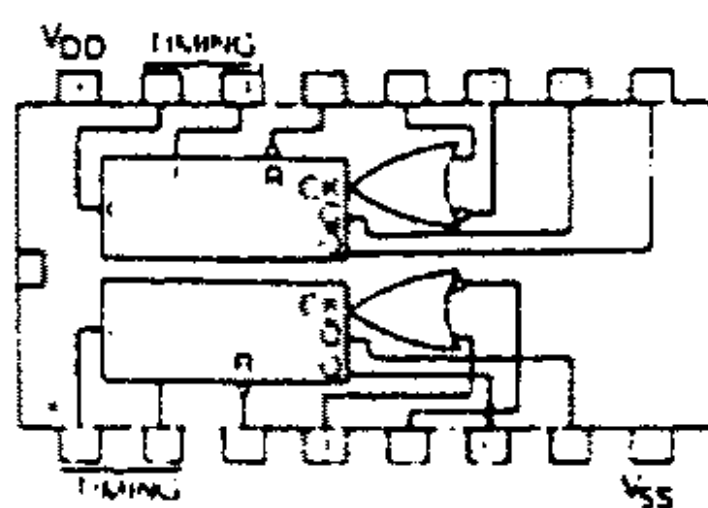
4526



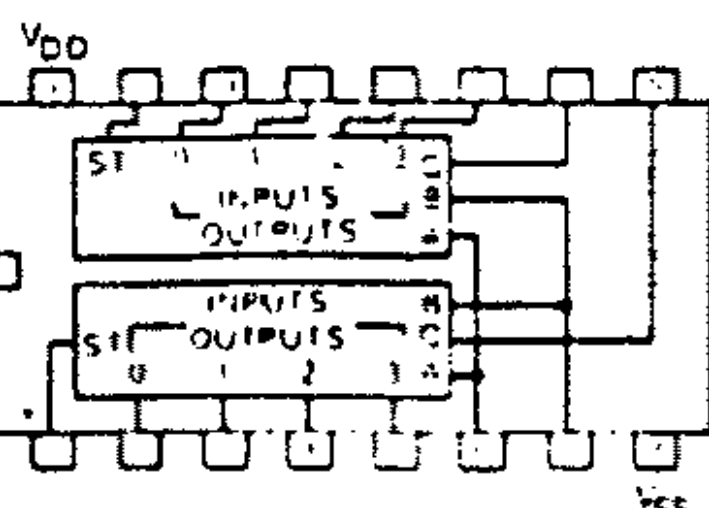
4527



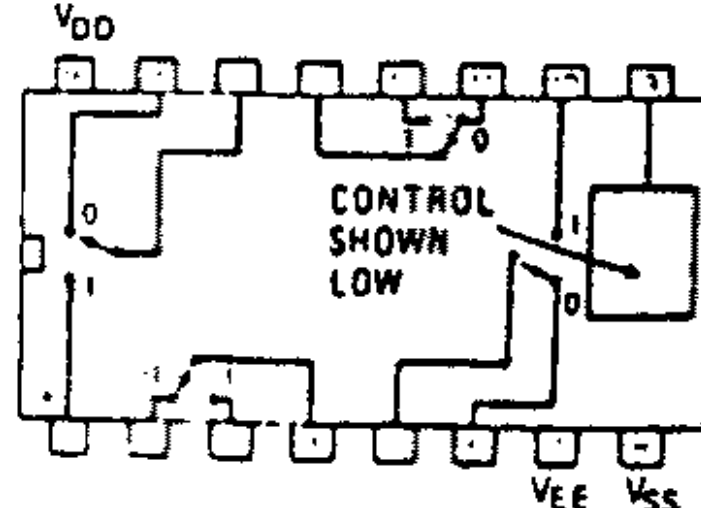
4528



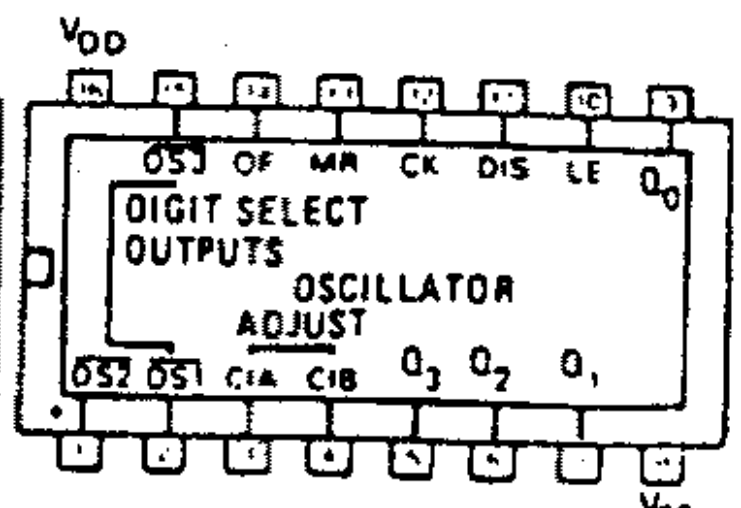
4529



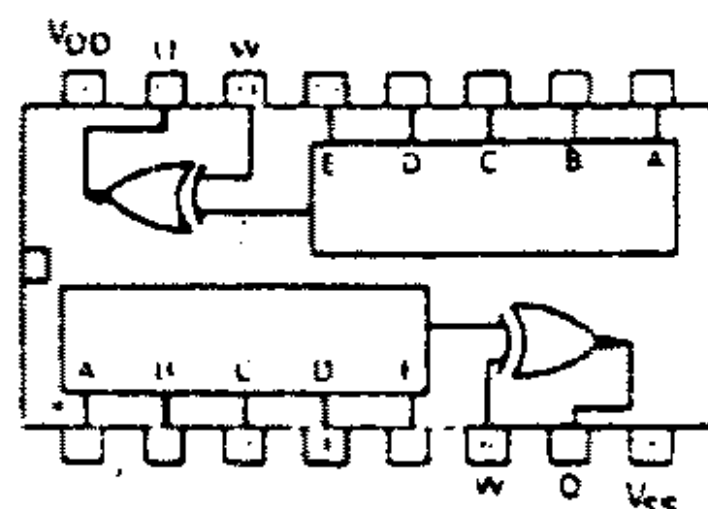
4551



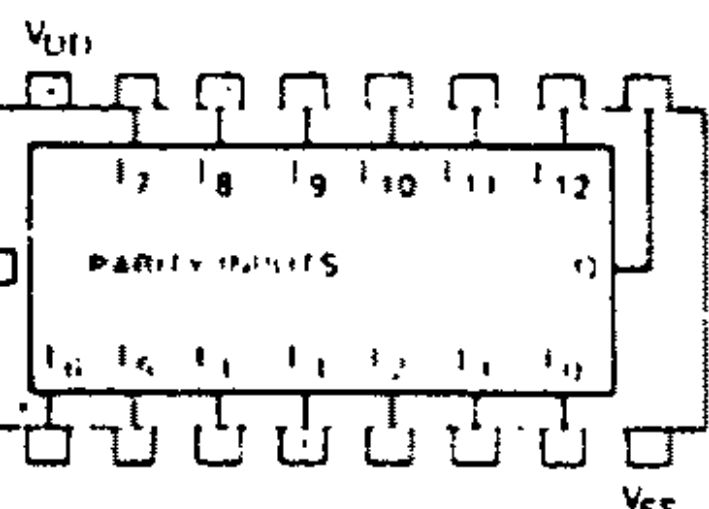
4553



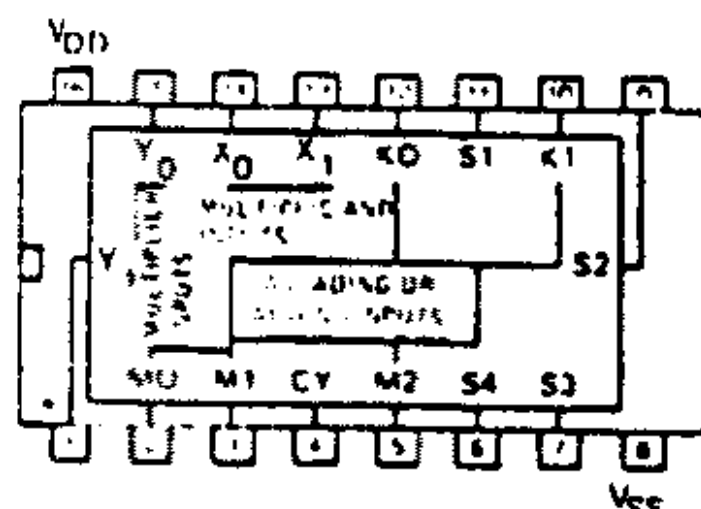
4530



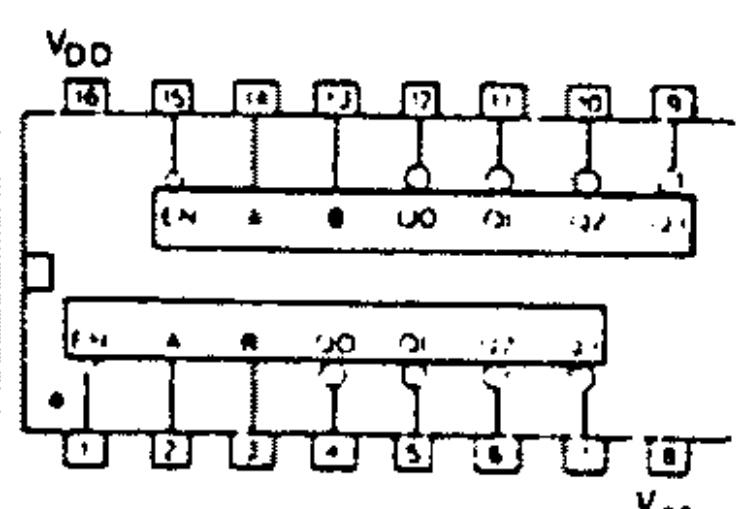
4531



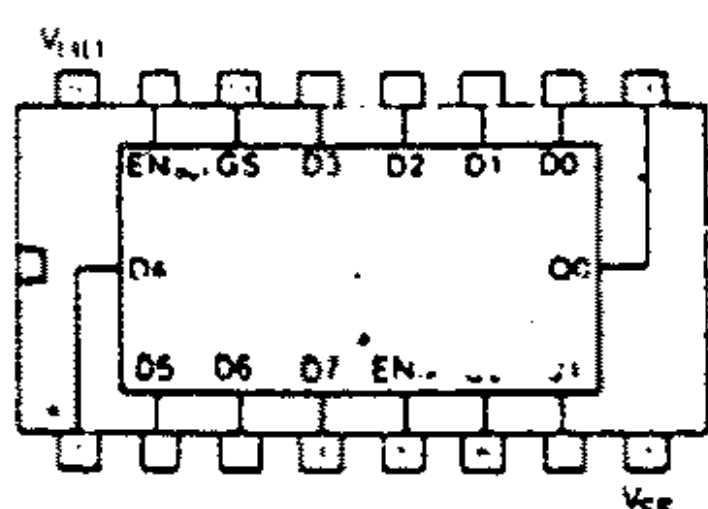
4554



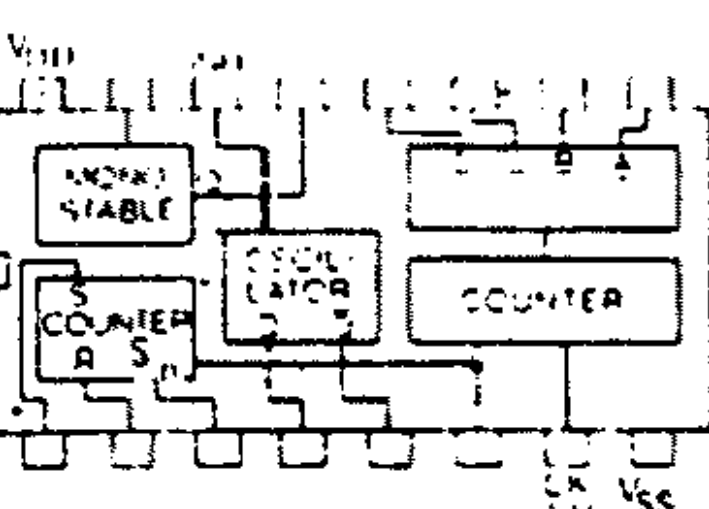
4556



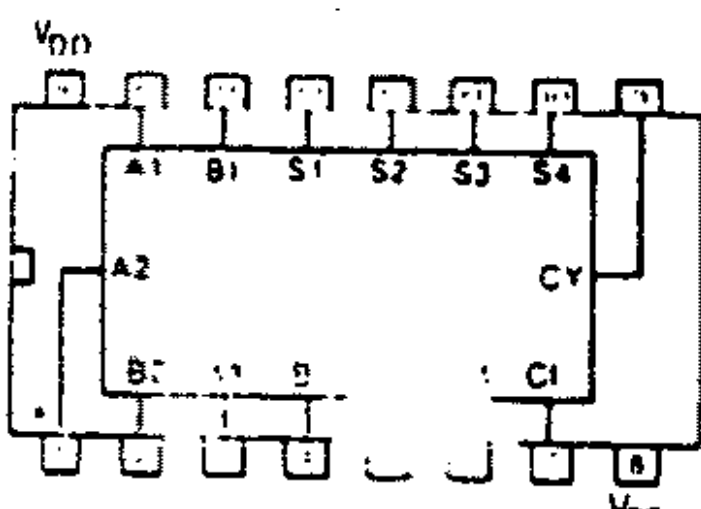
4532



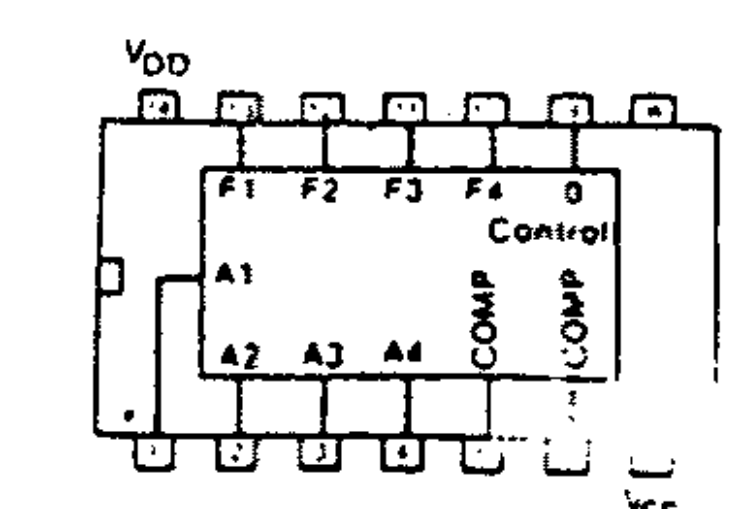
4536



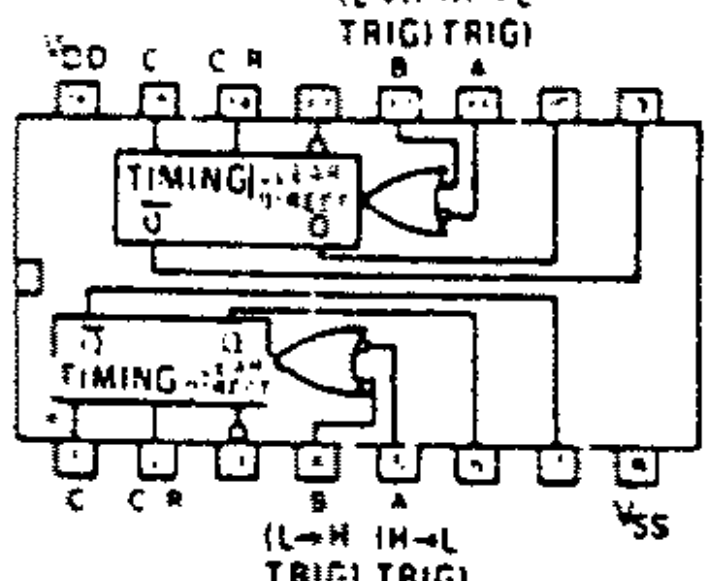
4560



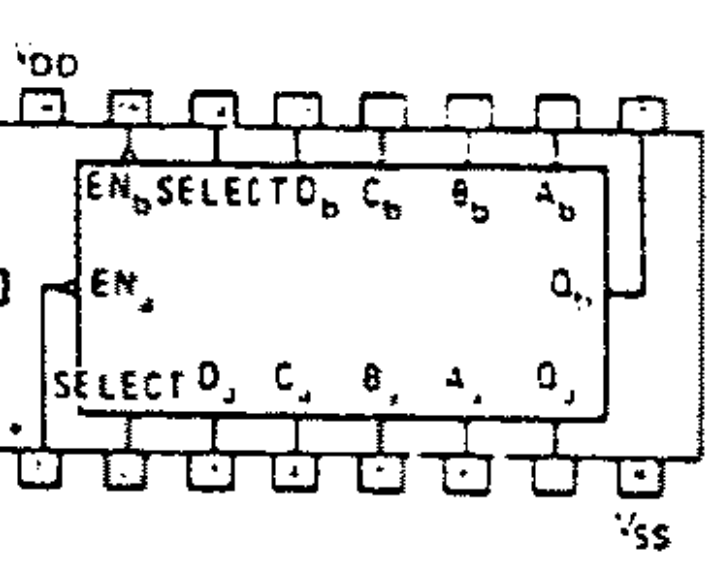
4561



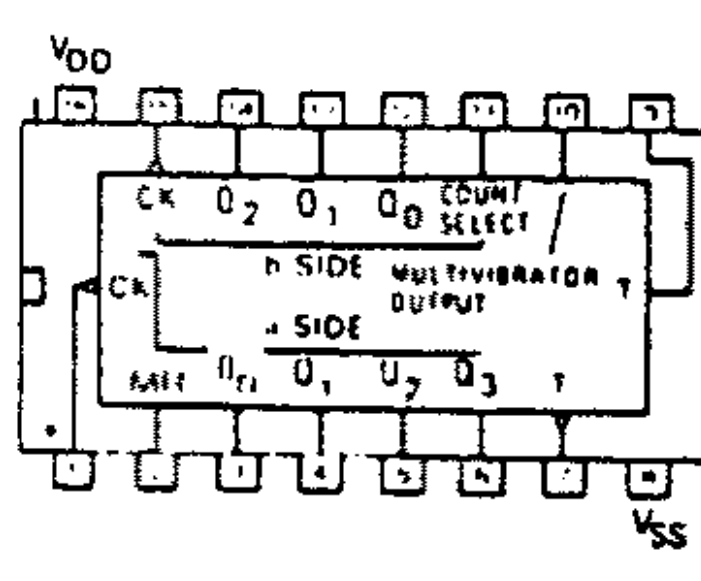
4538



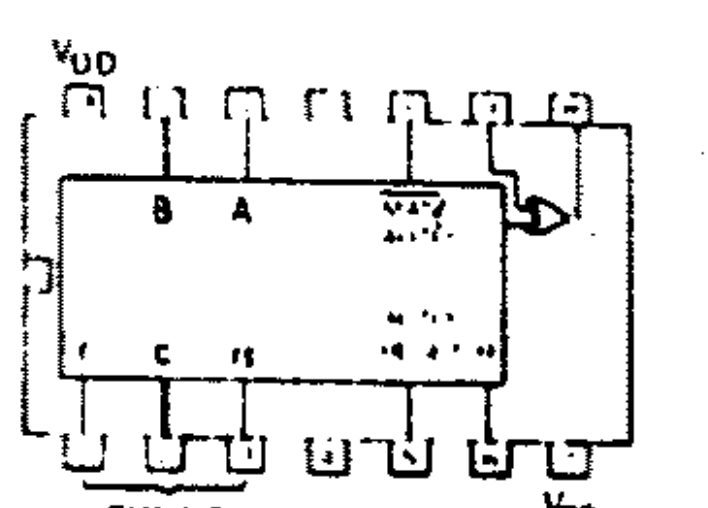
4539



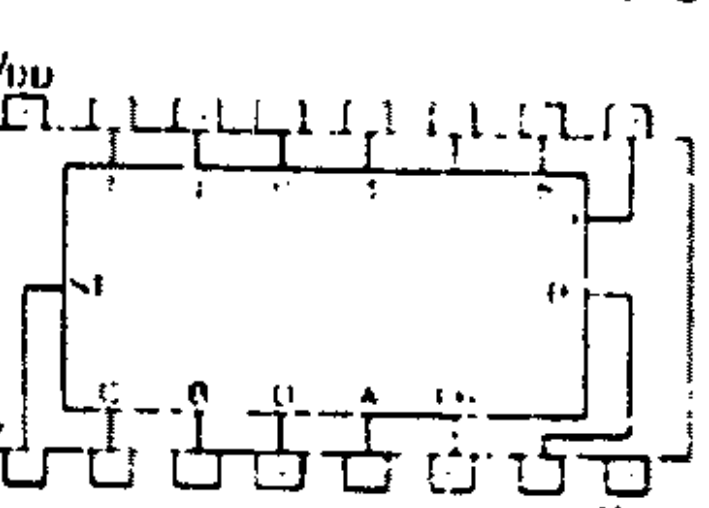
4566



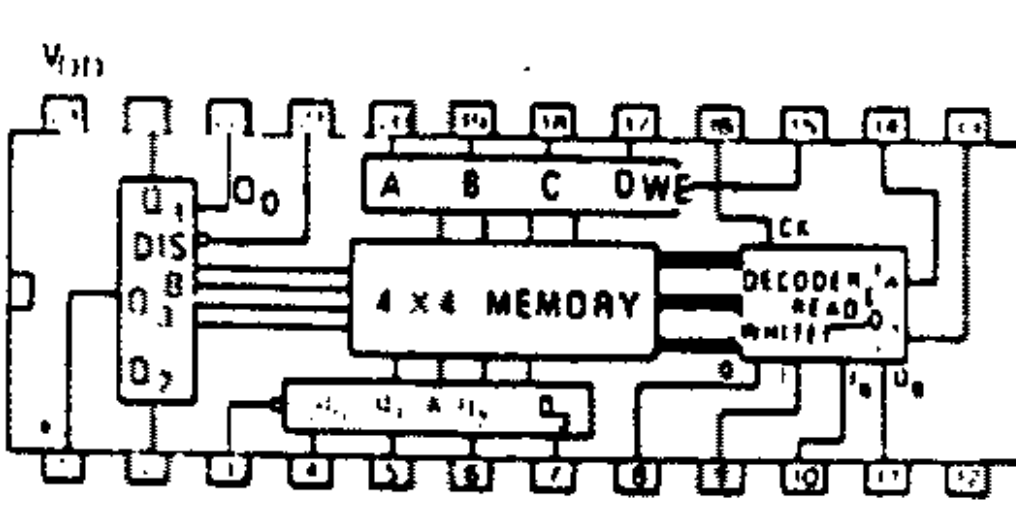
4541



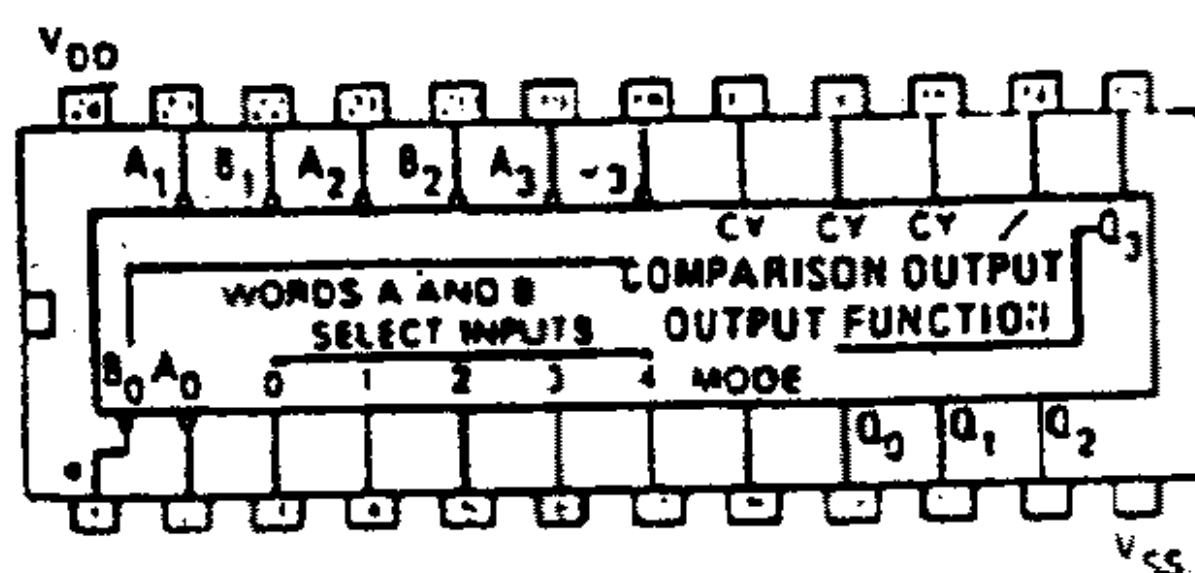
4543



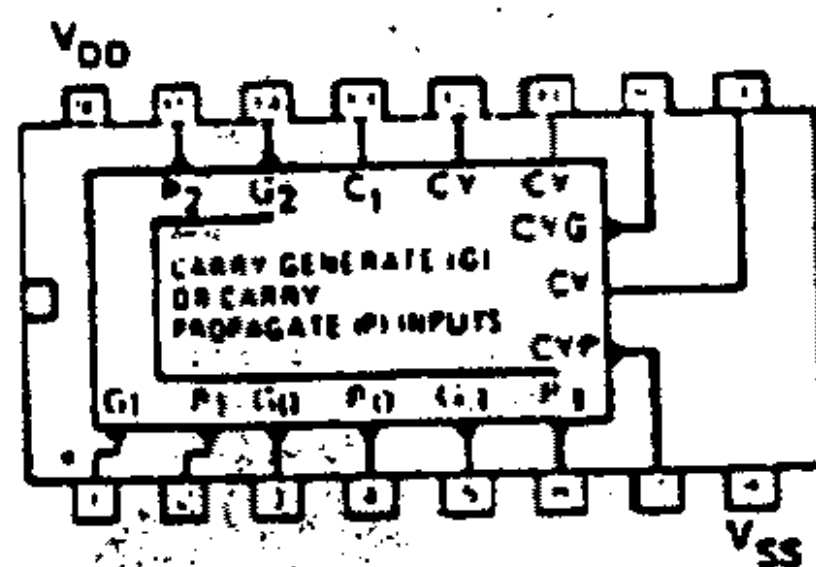
4580



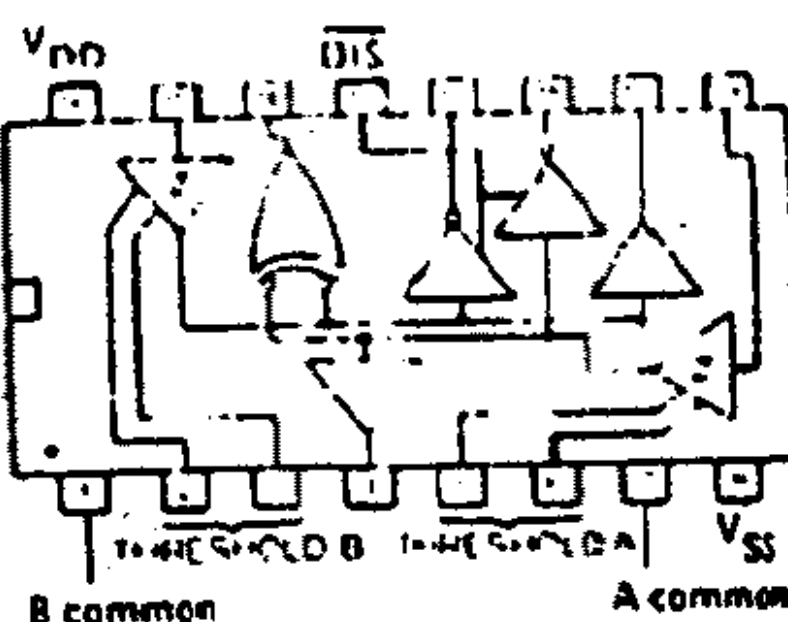
4581



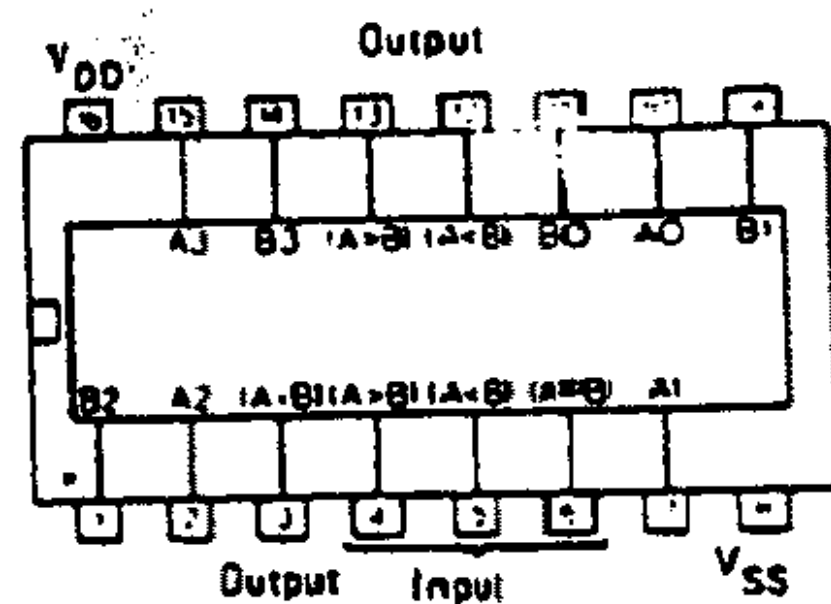
4582



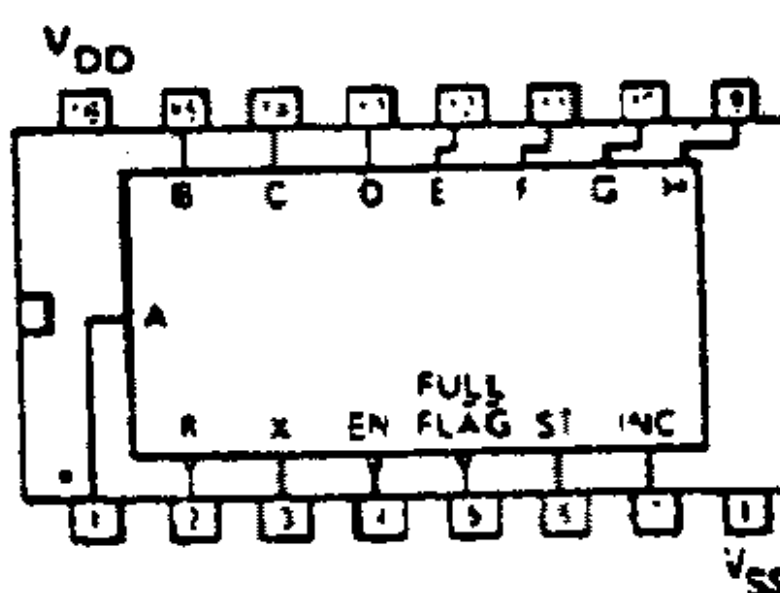
4583



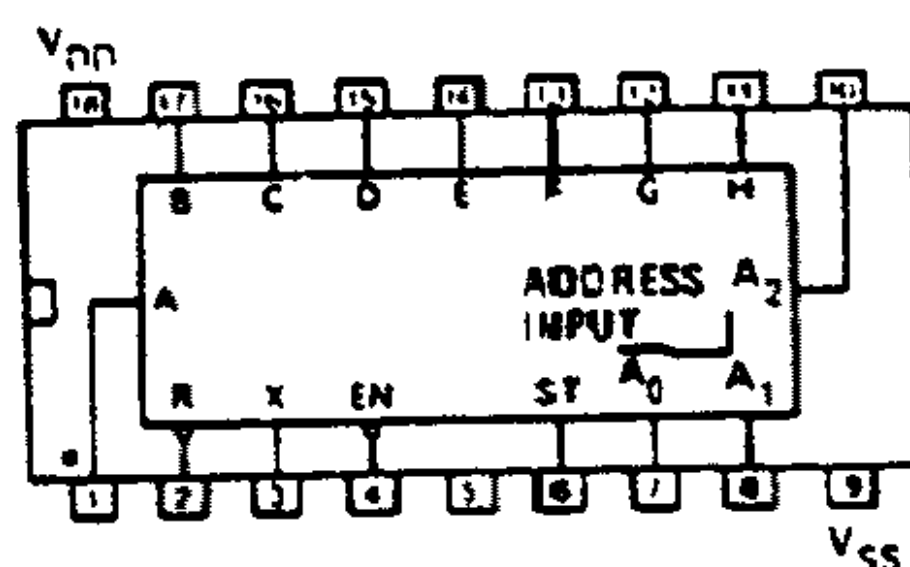
4585



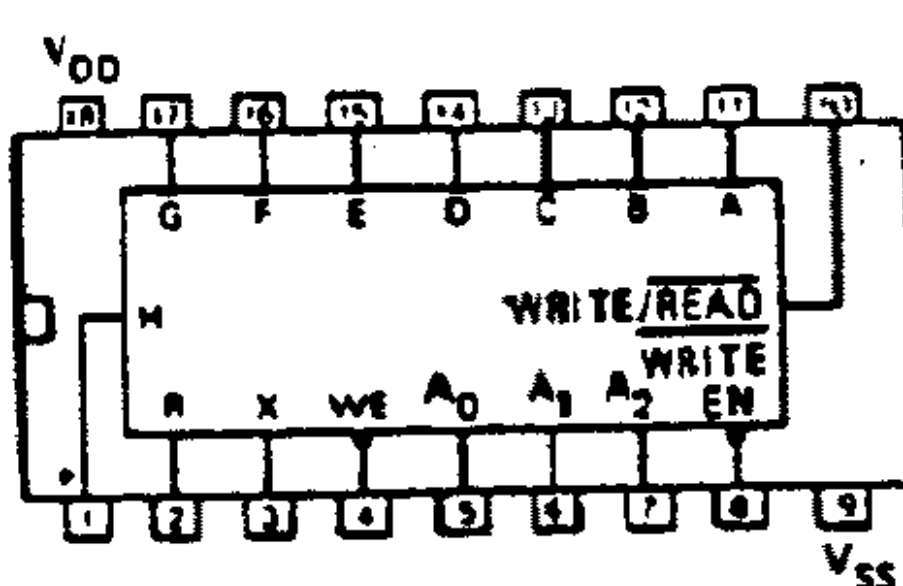
4597



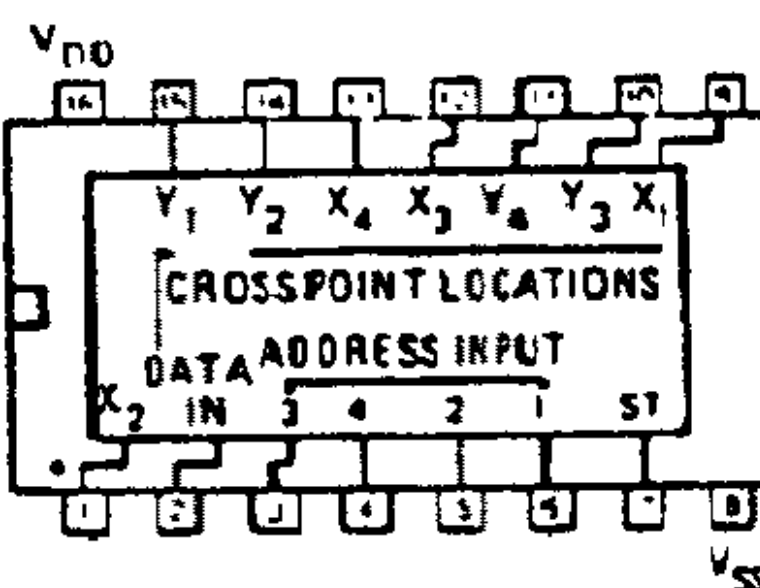
4598



4599



45100



TTL and CMOS letter symbols

I_m	High-level input current.
I_n	Low-level input current.
I_{OH}	High-level output current.
I_O	Off-state output current.

I_{sc}	Short-circuit output current.
I_{OH}	Supply current output(s) high.
I_{OL}	Supply current output(s) low.
f_{max}	Maximum clock frequency.
t_w	Average pulse width.
I_{DDQ}	Quiescent device current (CMOS).
I_{IL}	Low level output current.
I_{IH}	Input current.
I_{OZ}	High impedance state output current of a 3-state output.
I_{DDT}	Quiescent device current (TTL).
t_H	Hold time.
t_{OEH}	Output enable time of a 3-state output to high or low level
t_{OEL}	Output disable time of a 3-state output from high or low level
t_{pd}	Propagation delay time.
t_{PLH}	Transition time from low to high level.
t_{PLH}	Transition time from high to low level.
Q_0	Level of Q before the indicated steady-state input conditions were established.
\bar{Q}_0	Complement of Q_0 .
V_{OH}	High-level ?????? voltage.
V_{OL}	Low-level ?????? voltage.
V_{TH}	Positive-going threshold voltage.
V_{TL}	Negative-going threshold voltage.
V_{OH}	High-level output voltage.
V_{OL}	Low-level output voltage.
$V_{OH(on)}$	On-state output voltage.
$V_{OH(off)}$	Off-state output voltage.
V_{DD}	DC supply voltage (CMOS).
V_{CC}	DC supply voltage (TTL).
V_G	Ground (CMOS).
GND	Ground (TTL).
V_{in}	Input voltage.
T_s	Lead temperature when soldering.
θ_{JA}	Package dissipation.
T_{stg}	Storage temperature range.
T_{op}	Operating temperature range.
H	High level (steady State).
L	Low level (steady state).
\downarrow	Transition from high to low.
\uparrow	Transition from low to high level.
X	Irrelevant input level.
Z	High impedance state of a 3-state output.



One high level pulse.



One low level pulse.

Toggle
 Q_n

Each output changes to the complement of its previous level.
Level of Q before the most recent change.

المختويات

• مقدمة ٥

الفصل الأول :

• الأنظمة العددية ٧

الفصل الثاني :

• البوابات المنطقية والجبر ٤٥

الفصل الثالث :

• خرائط كارنو ١٠٥

الفصل الرابع :

• طرق تصميم الدوائر المنطقية ١٢١

الفصل الخامس :

• القلابات ٢٠٣

الفصل السادس :

• تصميم العدادات ٢٤٣

• ملحق ٢٧٩

هذا الكتاب "فن تصميم الدوائر الرقمية"، أردت من تأليفه تبسيط هذا العلم على الناطقين بلغة القرآن الكريم، حفظاً لأوقاتهم أن تهدر، وجهودهم أن تبدد في مطالعة المراجع الإنجليزية. ووضعت فيه خبرتي في تدريس هذا العلم لمدة تزيد عن 15 عاماً، وأكثر من الأمثلة طلباً للتسهيل، فرجاء من كل عبد لله استفاد من هذا الكتاب أن يخصني بدعوة صالحة بظاهر الغيب.

وأنصح جميع المهتمين والدارسين لمثل هذه العلوم التقنية الحديثة أن يبذلوا خبراتهم مهذبة منمقة لإخوانهم في مشارق الأرض ومغاربها، ولا يكنزون تلك المعلومات التي ستفنى في الدنيا قريباً عند انتهاء عصر النفط أو بفناء تلك العلوم نتيجة للتطور السريع لها، وحتى لا تضيع أوقات الكثير منا في اللهث وراء هذه العلوم طلباً لدنيا فانية.

تصميم : جمال خليفة

ISBN 978-977-287-809-7



9 789772 878097

دار الكتب العلمية للنشر والتوزيع

٥٠ شارع الشيخ ريحان - عابدين - القاهرة

٢٧٩٥٤٢٢٩ ☎

www.sbh-egypt.com

e-mail : sbh@link.net